

---

## INTRODUCCIÓN A LA ARQUITECTURA PENTIUM

El 19 de octubre de 1992, Intel anunció que la quinta generación de su línea de procesadores compatibles (cuyo código interno era el P5) llevaría el nombre Pentium en vez de 586 u 80586, como todo el mundo estaba esperando. Esta fue una estrategia de Intel para poder registrar la marca y así poder diferir el nombre de sus procesadores del de sus competidores (AMD y Cyrix principalmente).

Este microprocesador se presentó el 22 de marzo de 1993 con velocidades iniciales de 60 y 66 MHz (112 millones de instrucciones por segundo en el último caso), 3.100.000 transistores (fabricado con el proceso BICMOS (Bipolar-CMOS) de 0,8 micrones), caché interno de 8 KB para datos y 8 KB para instrucciones, verificación interna de paridad para asegurar la ejecución correcta de las instrucciones, una unidad de punto flotante mejorada, bus de datos de 64 bit para una comunicación más rápida con la memoria externa y, lo más importante, permite la ejecución de dos instrucciones simultáneamente. El chip se empaqueta en formato PGA (Pin Grid Array) de 273 pines.

Como el Pentium sigue el modelo del procesador 386/486 y añade unas pocas instrucciones adicionales pero ningún registro programable, ha sido denominado un diseño del tipo 486+. Esto no quiere decir que no hay características nuevas o mejoras que aumenten la potencia. La mejora más significativa sobre el 486 ha ocurrido en la unidad de punto flotante. Hasta ese momento, Intel no había prestado mucha atención a la computación de punto flotante, que tradicionalmente había sido el bastión de las estaciones de ingeniería. Como resultado, los coprocesadores 80287 y 80387 y los coprocesadores integrados en la línea de CPUs 486 DX se han considerado anémicos cuando se les compara con los procesadores RISC (Reduced Instruction Set Computer), que equipan dichas estaciones.

Todo esto ha cambiado con el Pentium: la unidad de punto flotante es una prioridad para Intel, ya que debía competir en el mercado de Windows NT con los procesadores RISC tales como el chip Alpha 21064 de Digital Equipment Corporation y el MIPS R4000 de Silicon Graphics. Esto puede ayudar a explicar por qué el Pentium presenta un incremento de 5 veces en el rendimiento de punto flotante cuando se le compara con el diseño del 486. En contraste, Intel sólo pudo extraer un aumento del doble para operaciones de punto fijo o enteros.

El gran aumento de rendimiento tiene su contraparte en el consumo de energía: 13 watt bajo la operación normal y 16 watt a plena potencia (3,2 amperes x 5 volt = 16 watt), lo que hace que el chip se caliente demasiado y los fabricantes de tarjetas madres (motherboards) tengan que agregar complicados sistemas de refrigeración.

Teniendo esto en cuenta, Intel puso en el mercado el 7 de marzo de 1994 la segunda generación de procesadores Pentium. Se introdujo con las velocidades de 90 y 100 MHz con tecnología de 0,6 micrones y posteriormente se agregaron las versiones de 120, 133, 150, 160 y 200 MHz con tecnología de 0,35 micrones. En todos los casos se redujo la tensión de alimentación a 3,3 volt. Esto redujo drásticamente el consumo de electricidad (y por ende el calor que genera el circuito integrado). De esta manera el chip más rápido (el de 200 MHz) consume lo mismo que el de 66 MHz. Estos integrados vienen con 296 pines. Además la cantidad de transistores subió a 3.300.000. Esto se debe a que se agregó circuitería adicional de control de clock, un controlador de interrupciones avanzado programable (APIC) y una interfaz para procesamiento dual (facilita el desarrollo de motherboards con dos Pentium).

En octubre de 1994, un matemático reportó en Internet que la Pentium tenía un error que se presentaba cuando se usaba la unidad de punto flotante para hacer divisiones (instrucción FDIV) con determinadas combinaciones de números. Por ejemplo:

**962 306 957 033 / 11 010 046 = 87 402,6282027341 (respuesta correcta).**

**962 306 957 033 / 11 010 046 = 87 399,5805831329 (Pentium fallada).**

El defecto se propagó rápidamente y al poco tiempo el problema era conocido por gente que ni siquiera tenía computadora.

Este bug se arregló en las versiones D1 y posteriores de los Pentium 60/66 MHz y en las versiones B5 y posteriores de los Pentium 75/90/100 MHz. Los Pentium con velocidades más elevadas se fabricaron posteriormente y no posee este problema.

En enero de 1997 apareció una tercera generación de Pentium, que incorpora lo que Intel llama tecnología MMX (MultiMedia eXtensions) con lo que se agregan 57 instrucciones adicionales. Están disponibles en velocidades de 66/166 MHz, 66/200 MHz y 66/233 MHz (velocidad externa/interna). Las nuevas características incluyen una unidad MMX y el doble de caché. El Pentium MMX tiene 4.500.000 transistores con un proceso CMOS-silicio de 0,35 micrones mejorado que permite bajar la tensión a 2,8 volt. Externamente posee 321 pines.

### **Dependencias de procedimiento**

Puede ocurrir un problema potencial con la ejecución debido a las muchas trayectorias que la secuencia de una instrucción puede tomar. La predicción de la trayectoria a tomar es el método que debe usarse aquí. El Pentium dibuja algo parecido a un mapa de carreteras de los lugares a donde es posible que se dirija la instrucción y lo usa para tratar de agilizar la ejecución de la instrucción. Intel afirma que esta característica, por sí sola, aumenta el rendimiento un 25%.

Sin predecir las trayectorias a tomar, si un procesador superescalar doble estuviera ocupado procesando instrucciones en ambas vías de acceso y se encontrara una instrucción de salto que cambiara la secuencia de ejecución de la instrucción, ambas vías y el buffer de prebúsqueda de instrucción tendrían que borrarse y cargarse con nuevas instrucciones, lo que retrasaría al procesador. Con la predicción de la trayectoria a tomar, el procesador precarga las instrucciones de una dirección de destino que haya sido pronosticada de un juego alterno de buffers. Esto le da al procesador una ventaja para reducir los conflictos y las demoras. El resultado es una mejor utilización de los recursos del procesador.

Hay dos tipos de instrucciones de salto: condicional e incondicional. Un salto incondicional siempre lleva el flujo de la instrucción a una nueva dirección de destino y siempre se ejecuta. Una situación más incómoda es el salto condicional donde se puede o no desviar el flujo del programa de acuerdo a los resultados de una comparación o código de condición y puede incluir varios tipos de instrucciones. Cuando no se ejecuta un salto condicional, el programa sigue ejecutando la próxima instrucción de la secuencia. Muchos programas tienen de un 10% a un 20% de instrucciones de salto condicional y hasta un 10% de saltos incondicionales. El porcentaje de veces que se ejecuta un salto condicional varía de programa a programa, pero es de un promedio de un 50%. Las instrucciones de lazo o de repetición hacen que se tomen decisiones frecuentemente, hasta el 90% del tiempo en algunos casos. Un buen sistema de predicción de decisiones escogerá las trayectorias correctas más del 80% del tiempo. Físicamente, la unidad de predicción de decisiones (BPU) está situada al lado de la vía de acceso, y revisa con anticipación el código de la instrucción para determinar las conexiones de las decisiones. El orden es algo así: La BPU inspecciona las instrucciones en la etapa de prebúsqueda, y si la lógica de predicción de decisiones predice que se va a realizar el salto, se le indica inmediatamente a la unidad de prebúsqueda (PU) que comience a buscar instrucciones de la dirección de destino de la

dirección que se predijo. De forma alterna, si se determinó que no se iba a tomar la decisión, no se perturba la secuencia original de prebúsqueda. Si la trayectoria pronosticada resulta ser errónea, se vacía la vía de acceso y los buffers alternos de prebúsqueda, y se recomienza la prebúsqueda desde la trayectoria correcta. Se paga una penalidad de tres o cuatro ciclos de reloj por predecir una trayectoria de forma errónea.

El Pentium usa un buffer de decisión de destino (BTB) como su mecanismo. El BTB incluye tres elementos por cada entrada: la dirección de la instrucción de salto, la dirección de destino de la instrucción y los bits de historia. Se usa una tabla de hasta 256 entradas para predecir los resultados de las decisiones. El flujo está basado, y se administra directamente desde la vía U. Se usa la dirección de la vía U para la dirección de la instrucción de decisión del BTB, aún si la decisión está realmente en la vía V. Hay dos bits de historia que informan si se tomó la decisión anterior o no. El resultado es un procesador que corre con suavidad y que a menudo sabe lo que hará antes de completar la tarea.

### 3.6.3.- Ejecución de punto flotante en el Pentium

Se ha reconstruido por completo la unidad de punto flotante (FPU), a partir de la de los 386 y 486 y ahora tiene algunas de las características de los RISC. Hay ocho etapas de vía y las cinco primeras se comparten con la unidad de enteros. La unidad cumple con la norma IEEE-754, usa algoritmos más rápidos y aprovecha la arquitectura con vías para lograr mejoras de rendimiento de entre 4 y 10 veces, dependiendo de la optimización del compilador.

### Ahorro de energía

El Pentium usa un modo de administración de sistema (SMM) similar al que usa el 486 SL, que permite que los ingenieros diseñen un sistema con bajo consumo. La interrupción de administración del sistema activa el SMM por debajo del nivel del sistema operativo o de la aplicación. Se guarda toda la información sobre el estado de los registros para después restaurarla, y se ejecuta el código manejador de SMM desde un espacio de direcciones totalmente separado, llamado RAM de administración del sistema (SMRAM). Se sale del SMM ejecutando una instrucción especial (RSM). Esto lleva al CPU de nuevo al mismo punto en que estaba cuando se llamó al SMM. Algunos procesadores (100 MHz o más lentos) presentan problemas en este modo.

### Nuevas instrucciones del microprocesador Pentium

Son las siguientes:

- **CMPXCHG8B reg, mem64 (Compare and Exchange 8 Bytes):** Compara el valor de 64 bits ubicado en EDX:EAX con un valor de 64 bits situado en memoria. Si son iguales, el valor en memoria se reemplaza por el contenido de ECX:EBX y el indicador ZF se pone a uno. En caso contrario, el valor en memoria se carga en EDX:EAX y el indicador ZF se pone a cero.
- **CPUID (CPU Identification):** Le informa al software acerca del modelo de microprocesador en que está ejecutando. Un valor cargado en EAX antes de ejecutar esta instrucción indica qué información deberá retornar CPUID. Si EAX = 0, se cargará en dicho registro el máximo valor de EAX que se podrá utilizar en CPUID (para el Pentium este valor es 1). Además, en la salida aparece la cadena de identificación del fabricante contenido en EBX, ECX y EDX. EBX contiene los primeros cuatro caracteres, EDX los siguientes cuatro, y ECX los últimos cuatro. Para los procesadores Intel la cadena es "GenuineIntel". Luego de la ejecución de CPUID con EAX = 1, EAX[3:0] contiene la identificación de la revisión del microprocesador, EAX[7:4] contiene el modelo (el primer modelo está indicado como 0001b) y EAX[11:8] contiene la familia (5 para el Pentium). EAX[31:12], EBX y ECX están reservados. El procesador pone el registro de

características en EDX a 1BFh, indicando las características que soporta el Pentium. Un bit puesto a uno indica que esa característica está soportada. La instrucción no afecta los indicadores.

- **RDMSR (Read from Model-Specific Register):** El valor en ECX especifica uno de los registros de 64 bits específicos del modelo del procesador. El contenido de ese registro se carga en EDX:EAX. EDX se carga con los 32 bits más significativos, mientras que EAX se carga con los 32 bits menos significativos.
- **RDTSC (Read from Time Stamp Counter):** Copia el contenido del contador de tiempo (TSC) en EDX:EAX (el Pentium mantiene un contador de 64 bits que se incrementa por cada ciclo de reloj). Cuando el nivel de privilegio actual es cero el estado del bit TSD en el registro de control CR4 no afecta la operación de esta instrucción. En los anillos 1, 2 ó 3, el TSC se puede leer sólo si el bit TSD de CR4 vale cero.
- **RSM (Resume from System Management Mode):** El estado del procesador se restaura utilizando la copia que se creó al entrar al modo de manejo del sistema (SMM). Sin embargo, los contenidos de los registros específicos del modelo no se afectan. El procesador sale del SMM y retorna el control a la aplicación o sistema operativo interrumpido. Si el procesador detecta alguna información inválida, entra en el estado de apagado (shutdown).
- **WRMSR (Write to Model-Specific Register):** El valor en ECX especifica uno de los registros de 64 bits específicos del modelo del procesador. El contenido de EDX:EAX se carga en ese registro. EDX debe contener los 32 bits más significativos, mientras que EAX debe contener los 32 bits menos significativos.

### PERFORMANCE MMX

Mayor cantidad de colores, imágenes más nítidas, sonido estereofónico, comunicaciones múltiples, sesiones más rápidas, etc., son algunas de las promesas MMX. En pruebas ya realizadas, el procesador Pentium MMX ha demostrado entre un 10% y 20% de superioridad en velocidad de procesamiento de aplicaciones estándares (las que no hacen uso de las instrucciones MMX, sino simplemente aprovechan las mejoras estructurales internas), sobre los procesadores Pentium convencionales. Esto sin duda se debe al nuevo cache, más grande como también a las capacidades de predicción de ramificación.

Pero con aplicaciones que hacen uso de características multimediales, el Pentium MMX es un 60% más rápido que sus parientes Pentium no MMX. El ICOMP es una métrica propia de Intel, que significa: Índice Comparativo de Rendimiento de Microprocesadores Intel - Intel Comparative Microprocessor Performance index. Este índice está también desarrollado que maneja y controla de manera plena todos los aspectos de los microprocesadores.

### VENTAJAS DEL PENTIUM

Las ventajas que aporta son:

**Supersegmentación con 14 etapas.** Técnicas de predicción de saltos condicionales para evitar introducir demasiadas burbujas.

**Arquitectura superescalar.** Dos cauces de datos, en un ciclo se ejecutan más de una instrucción.

**Aumento de cache.** Caché de primer nivel (L1) y cache de segundo nivel (L2). La caché L1 se divide en dos partes independientes para datos para instrucciones de 8 KB cada una, con lo que es posible acceder a un dato y una instrucción en paralelo.

El chip se empaqueta en **formato PGA** (Pin Gris Array) de 273 pines.

## UNIDADES FUNCIONALES

Las siete unidades funcionales que aportan características específicas e innovadoras al procesador consiguiendo altas prestaciones, compatibilidad y mantenimiento de la integridad de los datos son:

**Unidad de enteros Superescalar:** consiste en dos unidades de enteros de 32 bits que operan en paralelo.

**Unidades de memoria caché:** están subdivididas en dos memorias caché independientes, una para datos y otra para instrucciones.

**Unidad de interconexión con el bus:** presenta un bus de datos de 64 bits con lo que se obtiene una velocidad de transferencia de 538 Mbytes/s.

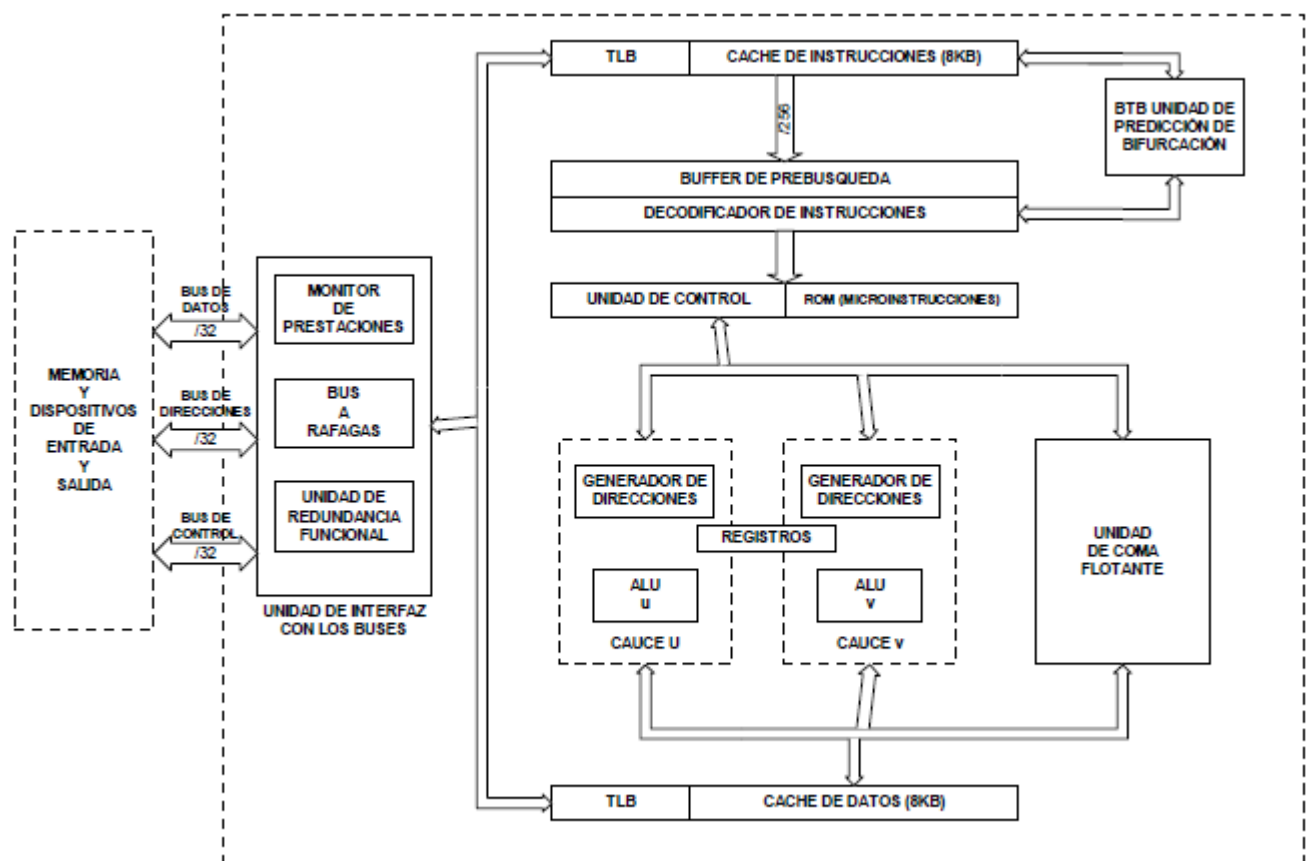
**Monitor de prestaciones:** consta de una serie de controladores internos y unidades de rastreo para evitar que se pierda gran cantidad de tiempo en ciertas rutinas o secciones de código.

**Unidad de redundancia funcional:** consiste en una serie de técnicas para asegurar la integridad de los datos.

**Unidad de predicción de bifurcaciones:** consta de una caché específica encargada de hacer una predicción dinámica de los saltos condicionales.

**Unidad de coma flotante:** ha sido mejorada respecto del 486 incorporando un cauce segmentado de instrucciones de 8 etapas.

**Vías de acceso múltiple:** proporcionan una arquitectura superescalar que tiene la habilidad de ejecutar más de una instrucción por cada ciclo de reloj.



Arquitectura interna del Pentium.

Otras mejoras del Pentium son:

- Para mejorar la transferencia de datos del tamaño de bus de datos se incrementó a 64 bits.
- El tamaño de los datos y los caches L1 de código se duplicó en los procesadores Pentium con tecnología MMX.
- Intel Pentium utiliza la predicción de saltos para mejorar la eficacia de la arquitectura de canalización.
- Muchos Pentium podrían trabajar en sistemas de procesador dual.
- Para reducir el consumo de energía de la CPU el voltaje principal se redujo en todos los Pentium MMX.
- Fue producida para computadoras móviles, de escritorio, y procesadores integrados.
- Las características de administración de energía y el Sistema en Modo de Administrador (SMM) se convirtieron en una característica estándar del procesador.

Las versiones posteriores de los procesadores Pentium; Pentium MMX incluye 57 nuevas instrucciones. Estas instrucciones pueden utilizarse para acelerar el procesamiento de aplicaciones multimedia y de comunicación. Al igual que los procesadores Pentium, la CPU MMX Pentium también se produjeron en tres versiones diferentes de sobremesa, móviles y procesadores integrados.

### **Intel Pentium II**

Intel Pentium II se basa en la sexta generación de procesadores x86. La línea de procesadores Intel Pentium II se compone de 6 familias diferentes:

- Pentium Pro - versión de alto desempeño. La familia Pentium Pro fue sustituida por la familia de Pentium II Xeon.
- Pentium II - de la familia de escritorio.
- Mobile Pentium II - versión móvil de procesador Pentium II.
- Pentium II Xeon - versión de alto rendimiento.
- Desktop Celeron - versión de bajo costo.
- Mobile Celeron - versión móvil de procesador Intel Celeron.

### **Intel Celeron**

Todos los procesadores Intel Celeron se basaron en el paquete PPGA en el núcleo de Mendocino. Mendocino fue el primer núcleo Intel x86 con caché de nivel 2 integrada con el núcleo. En el núcleo había sólo 128 KB de caché de nivel 2, pero de menor tamaño de caché, fue parcialmente compensado por una mayor velocidad de memoria caché que se ejecuta dos veces más rápido que el Pentium II nivel 2 de caché. El núcleo de Mendocino no requieren chips de memoria de caché externa, por lo que podría caber en las pequeñas y baratas del paquete Plastic Pin Grid Array (PPGA). Para trabajar con el paquete PPGA Celeron Intel diseñó sockets de 370 pines, o PGA370.

### **Intel Timna.**

La familia de microprocesadores Timna fue anunciado por Intel en 1999. Timna fue planeado como un microprocesador de bajo costo con gráficos integrados y la unidad de controlador de memoria diseñado para trabajar con la memoria Rambus. Como el precio de la memoria Rambus no bajo, Intel decidió utilizar un chip de puente (Memoria de Traducción Hub o MTH), que ya se usaba con el chipset Intel 820, para enlazar con el controlador de memoria Rambus de memoria SDRAM menos costosa. Cuando un grave error fue descubierto en el diseño MTH en el primer semestre de 2000,



Intel recordó el MTH y la liberación Timna retrasado hasta el primer trimestre de 2001. Después de eso, la empresa comenzó el rediseño del integrado a partir de cero, pero debido a los continuos problemas con el recientemente renovado MTH, la familia de Timna fue cancelada el 29 de septiembre de 2000

### Intel Pentium III

Familia de microprocesadores Pentium III fue una actualización evolutiva de los Pentium II. El primer núcleo Pentium III, Katmai, presentó el conjunto de instrucciones SSE, que permitió que las aplicaciones procesaran hasta cuatro números de un solo punto flotante de precisión a la vez. Otros núcleos de Pentium III añaden otras características, como 256 y 512 KB memoria caché L2 y el menor tamaño del paquete. Durante su vida, el núcleo de los microprocesadores Pentium III fue reducido en dos ocasiones de 0,25 micras a 0,18 micras, y luego a 0,13 micras.

Al igual que la generación anterior de procesadores x86, la familia de Pentium III consta una familia de los cuales están:

- Pentium III Xeon .- Versión de alto rendimiento.
- Los procesadores de escritorio Pentium III .- Equipos de escritorio.
- Desktop Celeron .- Versión de bajo costo.
- Mobile Pentium III y Pentium III Mobile M.- Versiones móviles del procesador Pentium III.
- Mobile Celeron .- Versión móvil de procesador Intel Celeron.

### Intel Pentium IV

Los microprocesadores Intel Pentium IV se basaron en la nueva micro arquitectura NetBurst, que difiere significativamente de la arquitectura P6 micro utilizado en la familia de procesadores Intel Pentium II / Pentium III. Una de las características clave del procesador Pentium IV es la tecnología Hyper-Threadind, que era dos veces más que en la generación anterior de procesadores Pentium. Mientras que las tuberías ya son menos eficaces que los más cortos, que permiten a la CPU para llegar a frecuencias más altas, y así aumentar el rendimiento de la CPU. Para mejorar la eficiencia de la tubería muy profunda, los procesadores Pentium IV incluyeron otras características como: Execution Trace Cache, Advanced Transfer Cache, Enhanced predicción de saltos, Quad Data Rate bus y la tecnología Hyper-Threading. Las versiones posteriores de los procesadores Pentium IV también se incluye el conjunto de instrucciones SSE3 y un conjunto completo de instrucciones de 64 bits (EM64T).

Intel Pentium 4 de la familia de microprocesadores consiste en las siguientes familias:

- Xeon y Xeon MP - Versiones de alto rendimiento.
- Pentium IV - Fondos de la CPU.
- Mobile Pentium IV y Mobile Pentium IV-M - Versiones móviles de la CPU.
- Celeron - Versión de bajo costo.
- Mobile Celeron - Versión móvil del bajo costo del procesador Pentium IV.

Todos los procesadores Pentium IV de marca tienen un solo núcleo de la CPU. Microprocesadores de doble núcleo basado en la microarquitectura NetBurst se marca como Pentium D.

Mobile Pentium IV fue la última generación de microprocesadores móviles con microarquitectura NetBurst. Los microprocesadores móviles se basan en dos núcleos de procesador Intel Pentium 4 Northwood y Prescott. A pesar de estos procesadores tenía el mismo poder características de ahorro de los microprocesadores Pentium 4M, el consumo de energía de estos procesadores fue

significativamente más alto que la de procesadores Mobile Pentium 4 M. De hecho, el consumo de energía de Prescott-Mobile Pentium 4 tuvo un consumo de energía tan alto, que difícilmente podría ser considerado un procesador para computadoras portátiles.

### **Pentium D**

La primera generación de procesadores Pentium D fue construido en el núcleo Smithfield, que era esencialmente dos Prescott Pentium 4 en un solo paquete. Como era de esperar, muchas características del procesador Pentium D fueron los mismos que en la línea del procesador Pentium 4. En cada núcleo del Pentium D había un rastro de caché de instrucción, con aproximadamente 12 mil micro operaciones, de nivel 16 de 1 KB de caché de datos y 1 MB de nivel 2 de caché. El procesador Pentium D con el núcleo de Smithfield se ofrecían en las frecuencias de hasta 3,2 GHz y que el consumo de energía era notablemente superior al procesador Pentium 4. Los microprocesadores Pentium D fueron fabricados en la tierra del paquete LGA 775, y que por lo general compatible con socket 775.

### **Intel Core Solo.**

De la familia de microprocesadores Intel Core Solo, es una familia de procesadores de núcleo único, basados en la mejora de móviles (Pentium M). Los microprocesadores Core Solo tiene todas las características de base de los Pentium M Dothan: 32 KB de instrucciones y datos de caché de nivel 1, nivel 2 de caché de 2 MB, soporte para instrucciones SSE y SSE2, y el ahorro notable de energía. Los Microprocesadores Core Solo también incluyen la tecnología de virtualización y soporte para las instrucciones SSE3.

### **Intel Core Duo.**

Intel Core Duo es una familia de procesadores dual-core móvil basándose en la microarquitectura de los procesadores para móviles (Pentium M). Core Duo integra dos núcleos, mientras que cada núcleo tiene su propio nivel de 32 KB, uno de los núcleos como administrador de instrucciones y otro de ellos como los datos de caché, ambos comparten los mismos núcleos de 2 MB de caché de nivel. Las nuevas características de los microprocesadores Core Duo son el conjunto de instrucciones SSE3 y tecnología de virtualización.

### **Intel Core 2 Duo**

La última generación de procesadores Intel compatibles con x86, de la familia de microprocesadores Core 2 Duo, fue presentado el 27 de julio del 2006. Los procesadores Core 2 Duo incluyen dos núcleos, cada núcleo tiene 32 KB de datos de nivel 1 y 32 KB de código caché en nivel 1. El CPU Core 2 Duo funciona a menor frecuencia que los procesadores Pentium IV, pero ofrecen un rendimiento excelente gracias a la arquitectura más eficiente:

El núcleo de cada procesador puede ejecutar hasta 4 instrucciones por ciclo.

Caché L2 compartida permite a la misma copia de los datos a ser utilizados por ambos núcleos. Otra ventaja de caché en nivel 2 compartida es que el núcleo más cargado puede usar más cantidad de caché en nivel 2 hasta el tamaño de la caché.

Las instrucciones SSE de 128 bits se pueden ejecutar al ritmo sostenido de un 128-bits de instrucciones por ciclo.



La arquitectura Core 2 Duo incluye otras funciones que mejoran el rendimiento. Una de estas características es una "macrofusion". Esta característica permite que el procesador pueda cargar y ejecutar pares de instrucciones comunes como una instrucción.

En general, a pesar de la menor frecuencia del procesador, el rendimiento del Core 2 Duo de la familia es mucho mayor que el rendimiento del Pentium IV. Core 2 Duo E6600 y procesadores E6700 tienen una potencia de diseño térmico de 65 vatios, mientras que es menos eficiente el Pentium iv Extreme Edition a 3,73 GHz que tiene potencia de diseño térmico de 115 vatios.

### **Intel Atom**

Los primeros miembros de esta familia, Z 5XX CPU, se introdujeron en abril de 2008. Los microprocesadores Intel Atom tienen las siguientes características:

- 32 KB de caché de instrucciones y 24 KB de datos almacena en caché.
- 512 KB nivel 2 de caché.
- Bombeo cuaternario desde un lado del bus, funcionando de manera efectiva a 400 o 533 Mhz.
- Soporte para todas las extensiones SIMD hasta SSE3 y de consulta SSE3.

Algunos procesadores Atom también incluye las tecnologías de virtualización y HyperThreading. Hasta septiembre del 2008 sólo dos procesadores podían funcionar en modo de 64 bits.

Diseñado para el consumo de energía muy bajo, los procesadores Atom incorporan muchas características de baja potencia utilizados en la base 2 de microprocesadores, como C1, C2, C4 y de los Estados C6, la tecnología Enhanced SpeedStep y el tamaño de caché dinámico. Asimismo, los procesadores utilizan el poder de muchas nuevas características de ahorro, la sincronización del reloj, de energía, y otros. Como resultado, las CPUs Atom tienen mucha menor potencia de diseño térmico (TDP) de la generación anterior de microprocesadores de ultra-baja potencia. Todos los microprocesadores Atom son fabricadas en pequeño factor de forma de micro paquete FCBGA 13mm x 14mm para la serie Z 5XX y 22mm x 22mm para todos los demás.

### **Intel Core i5**

Intel Core i5, previsto para ser lanzado en septiembre de 2009, es una familia de procesadores con un rendimiento de nivel medio en comparación con el Core i7. Los procesadores i5 incluyen características que podemos encontrar en las CPUs Core i7 Nehalem; matriz única de cuatro centrales de diseño, en chip controlador de memoria DDR3, el protocolo punto a punto utilizado para comunicarse con dispositivos de entrada/salida, 256 KB nivel 2 de caché (por núcleo), 8 de nivel 3 MB de caché de instrucciones SSE4, y soporte para características tales como la tecnología de virtualización y la tecnología Turbo Boost.

Los microprocesadores son de doble controlador de memoria de canal en lugar de triple controlador de canal en Nehalem CPU. Los procesadores i5 no son compatibles con tecnología Hyper-Threading. Los microprocesadores Intel Core i5 están empaquetados en un arreglo de red en tierra (LGA del inglés Land Grid Array), y requieren placas madres socket 1156.