

FUNDAMENTOS DE SISTEMAS DIGITALES

Novena Edición

THOMAS L. FLOYD

Traducción

Vuelapluma

Revisión Técnica

Eduardo Barrera López de Turiso

Departamento de Sistemas Electrónicos y de Control

Universidad Politécnica de Madrid



Madrid ● México ● Santa Fe de Bogotá ● Buenos Aires ● Caracas ● Lima
Montevideo ● San Juan ● San José ● Santiago ● São Paulo ● White Plains ●

7

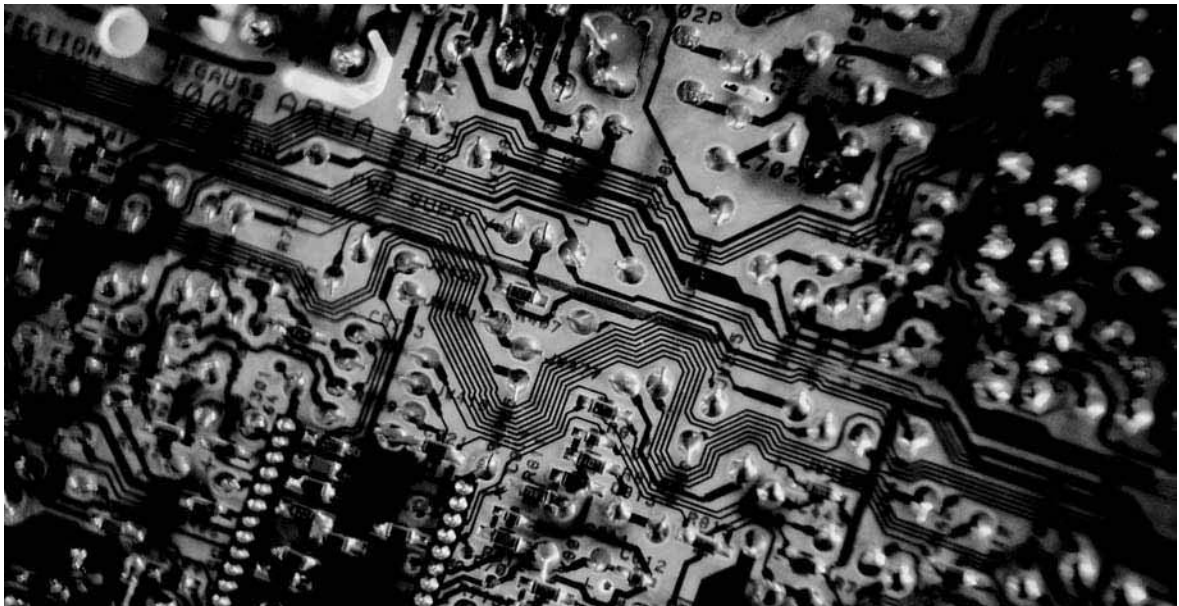
LATCHES, FLIP-FLOPS Y TEMPORIZADORES

CONTENIDO DEL CAPÍTULO

- 7.1 Latches
- 7.2 Flip-flops disparados por flanco
- 7.3 Características de funcionamiento de los flip-flops
- 7.4 Aplicaciones de los flip-flops
- 7.5 Monoestables
- 7.6 El temporizador 555
- 7.7 Localización de averías
- ■ ■ Aplicación a los sistemas digitales

OBJETIVOS DEL CAPÍTULO

- Utilizar puertas lógicas para construir latches básicos.
- Explicar la diferencia entre un latch S-R y un latch D.
- Conocer las diferencias entre un latch y un flip-flop.
- Explicar en qué se diferencian los flip-flops S-R, D y J-K.
- Comprender el significado de: retardo de propagación, tiempo de establecimiento (*setup time*),



tiempo de mantenimiento (*hold time*), frecuencia máxima de funcionamiento, ancho mínimo del impulso de reloj y disipación de potencia en las aplicaciones de los flip-flops.

- Emplear flip-flops en aplicaciones sencillas.
- Explicar en qué se diferencian los monoestables redispalables y no redispalables.
- Conectar un temporizador 555 para operar como multivibrador aestable o como monoestable.
- Localizar las averías en circuitos básicos de flip-flops.

PALABRAS CLAVE

- Latch
- Biestable
- SET
- RESET
- Reloj
- Flip-flop disparado por flanco
- Síncrono
- Flip-flop D
- Flip-flop J-K
- Bascular
- Inicialización (*Preset*)
- Borrado (*Clear*)
- Tiempo de retardo de propagación
- Tiempo de establecimiento
- Tiempo de mantenimiento
- Disipación de potencia
- Monoestable
- Temporizador
- Aestable

INTRODUCCIÓN

En este capítulo se inicia el estudio de los fundamentos de la lógica secuencial. Se cubren los circuitos biestables, monoestables y los dispositivos lógicos aestables, denominados *multivibradores*. Los dispositivos biestables se dividen en dos categorías: flip-flops y latches. Los biestables poseen dos estados estables, denominados SET (activación) y RESET (desactivación), en los cuales se pueden mantener indefinidamente, lo que les hace muy útiles como dispositivos de almacenamiento. La diferencia básica entre latches y flip-flops es la manera en que cambian de un estado a otro. Los flip-flops son los bloques básicos de construcción de los contadores, registros y otros circuitos de control secuencial, y se emplean también en ciertos tipos de memorias. El multivibrador monoestable, normalmente denominado monoestable, tiene un único estado estable. Un monoestable genera un único impulso de anchura controlada cuando se activa o dispara. El multivibrador aestable no tiene ningún estado estable y se emplea principalmente como oscilador, es decir, como generador de señales automantenido. Los osciladores de impulsos se emplean como fuentes de señales de temporización en los sistemas digitales.

DISPOSITIVOS LÓGICOS DE FUNCIÓN FIJA

74XX74	74XX279	74XX122
555	74121	74XX75
74XX112		

■■■ APLICACIÓN A LOS SISTEMAS DIGITALES

La aplicación a los sistemas digitales continúa con el sistema de control de semáforos del Capítulo 6. Este capítulo se ocupa del circuito de temporización del sistema que genera la señal de reloj, del intervalo de temporización largo para las luces rojas y verdes y del intervalo de temporización corto para las luces ámbar. El reloj se emplea como señal básica de temporización, que hace que la lógica secuencial del sistema pase a través de sus estados. La lógica secuencial se desarrollará en el Capítulo 8.

7.1 LATCHES

El *latch* (cerrojo) es un tipo de dispositivo de almacenamiento temporal de dos estados (biestable), que se suele agrupar en una categoría diferente a la de los flip-flops. Básicamente, los latches son similares a los flip-flops, ya que son también dispositivos de dos estados que pueden permanecer en cualquiera de sus dos estados gracias a su capacidad de realimentación, lo que consiste en conectar (realimentar) cada una de las salidas a la entrada opuesta. La diferencia principal entre ambos tipos de dispositivos está en el método empleado para cambiar de estado.

Al finalizar esta sección, el lector deberá ser capaz de:

- Explicar el funcionamiento de un latch S-R básico.
- Explicar el funcionamiento de un latch S-R con entrada de habilitación.
- Explicar el funcionamiento de un latch D con entrada de habilitación.
- Implementar un latch S-R o D mediante puertas lógicas.
- Describir los latches cuádruples 74LS279 y 74LS75.

El latch S-R (SET-RESET)

Un latch es un tipo de dispositivo lógico **biestable** o **multivibrador**. Un latch S-R (Set-Reset) con entrada activa a nivel ALTO se compone de dos puertas NOR acopladas, tal como se muestra en la Figura 7.1(a); un latch \bar{S} - \bar{R} con entrada activa a nivel BAJO está formado por dos puertas NAND conectadas tal como se muestra en la Figura 7.1(b). Observe que la salida de cada puerta se conecta a la entrada de la puerta opuesta. Esto origina la **realimentación** (*feedback*) regenerativa característica de todos los latches y flip-flops.

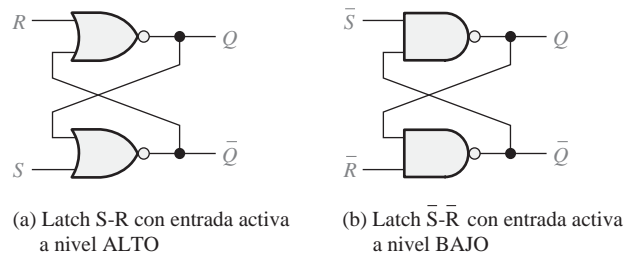


FIGURA 7.1 Dos versiones del latch S-R (SET-RESET).

Para explicar el funcionamiento del latch, vamos a utilizar el latch \bar{S} - \bar{R} de puertas NAND de la Figura 7.1(b). Este latch lo hemos vuelto a dibujar en la Figura 7.2, utilizando puertas negativa-OR equivalentes, debido a que los niveles BAJOS de las líneas \bar{S} y \bar{R} son las entradas de activación.



NOTAS INFORMÁTICAS

Los dispositivos *latch* algunas veces se utilizan en sistemas informáticos para multiplexar datos sobre un bus. Por ejemplo, los datos que se introducen en una computadora desde una fuente externa tienen que compartir el bus de datos con datos procedentes de otras fuentes. Cuando el bus de datos no está disponible para la fuente externa, los datos existentes deben almacenarse temporalmente y para ello pueden colocarse *latches* entre la fuente externa y el bus de datos. Cuando el bus de datos no está disponible para la fuente externa, los *latches* deben desconectarse del bus utilizando un método conocido como tri-estado. Cuando el bus de datos vuelve a estar disponible, los datos externos pasan a través de los *latches*, lo que da lugar al uso del término *latch transparente*. El *latch* tipo D realiza esta función y cuando se activa, los datos que hay en su entrada aparecen en la salida del mismo modo que si se tratara de una conexión directa. Los datos de entrada se almacenan tan pronto como el *latch* se desactiva.

El latch de la Figura 7.2 tiene dos entradas, \bar{S} y \bar{R} , y dos salidas Q y \bar{Q} . Asumimos que las dos entradas y la salida Q están a nivel ALTO. Dado que la salida Q se realimenta a una entrada de la puerta G_2 y que la entrada \bar{R} está a nivel ALTO, la salida de G_2 tiene que ser un nivel BAJO. Esta salida a nivel BAJO está acoplada de nuevo a una entrada de la puerta G_1 , asegurando así que su salida sea un nivel ALTO.

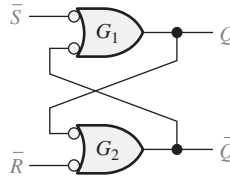


FIGURA 7.2 Equivalente con puertas negativa-OR para el latch $\bar{S}-\bar{R}$ de puertas NAND de la Figura 7.1(b).

▲ *Un latch puede permanecer en uno de dos estados, SET o RESET.*

Cuando la salida Q está a nivel ALTO, el latch se encuentra en estado **SET** y permanecerá indefinidamente en él hasta que se aplique un nivel BAJO a la entrada \bar{R} . Si tenemos un nivel BAJO en la entrada \bar{R} y un nivel ALTO en \bar{S} , la salida de la puerta G_2 se pone forzosamente a nivel ALTO. Este nivel ALTO en la salida \bar{Q} se realimenta a una de las entradas de G_1 y, dado que la entrada \bar{S} está a nivel ALTO, la salida de G_1 se pone a nivel BAJO. Este nivel BAJO en la salida Q se realimenta a una de las entradas de G_2 , asegurando que la salida \bar{Q} permanezca a nivel ALTO incluso cuando se elimine el nivel BAJO de la entrada \bar{R} . Cuando la salida Q es un nivel BAJO, el latch se encuentra en estado **RESET**. Ahora el latch permanece indefinidamente en este estado hasta que se aplique un nivel BAJO en la entrada \bar{S} .

En operación normal, las salidas de un latch son siempre complementarias una de la otra:

Cuando Q está a nivel ALTO, \bar{Q} está a nivel BAJO y cuando Q está a nivel BAJO, \bar{Q} está a nivel ALTO.

▲ *SET indica que la salida Q está a nivel ALTO.*

Se produce una condición de funcionamiento no válida en un latch $\bar{S}-\bar{R}$ con entradas activas a nivel BAJO, cuando se aplican simultáneamente niveles bajos a las dos entradas, \bar{S} y \bar{R} . Mientras que se mantengan las dos entradas a nivel BAJO, las dos salidas Q y \bar{Q} deberían forzosamente estar a nivel ALTO, lo que viola la condición de complementariedad de las salidas. Además, si se eliminan simultáneamente los niveles BAJOS, las dos salidas van a tender al nivel BAJO y, dado que siempre va a existir un cierto retraso de propagación de la señal eléctrica a través de las puertas, una de las puertas dominará en la transición a nivel BAJO. Esto hará que la salida de la puerta más lenta permanezca a nivel ALTO. Cuando se produce esta situación, no se puede predecir el siguiente estado del latch.

▲ *RESET indica que la salida Q está a nivel BAJO.*

La Figura 7.3 ilustra el funcionamiento del latch $\bar{S}-\bar{R}$ con entradas activas a nivel BAJO, para cada una de las cuatro posibles combinaciones de los niveles de entrada. Las primeras tres combinaciones son válidas, no así la última. La Tabla 7.1 resume en forma de tabla de verdad el funcionamiento lógico. El funcionamiento del latch construido con puertas NOR con entradas activas a nivel ALTO de la Figura 7.1(a) es similar, pero requiere el uso de niveles lógicos opuestos.

Los símbolos lógicos para ambos tipos de latches, con entradas activas a nivel ALTO y a nivel BAJO, se muestran en la Figura 7.4.

El Ejemplo 7.1 ilustra cómo un latch $\bar{S}-\bar{R}$ con entradas activas a nivel BAJO responde a las condiciones de entrada. Los niveles BAJOS se aplican a las entradas siguiendo una determinada secuencia y se observa la señal de salida Q resultante. La condición $\bar{S} = 0, \bar{R} = 0$ no se contempla, ya que origina un modo de funcionamiento no válido del latch, lo que es un gran inconveniente en cualquier latch de tipo SET-RESET.

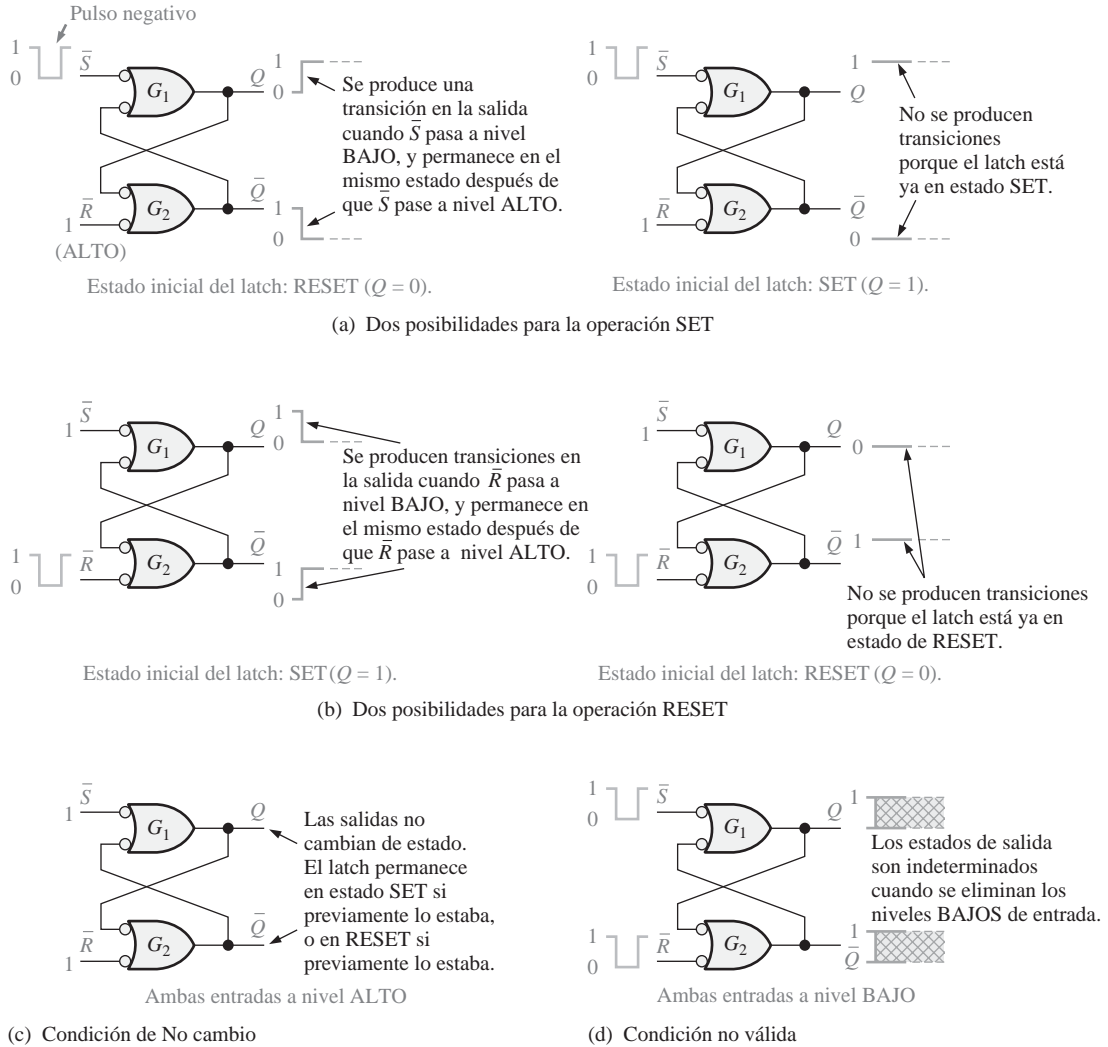


FIGURA 7.3 Los tres modos básicos de funcionamiento del latch $\bar{S}-\bar{R}$ (SET, RESET y No cambio) y la condición no válida.

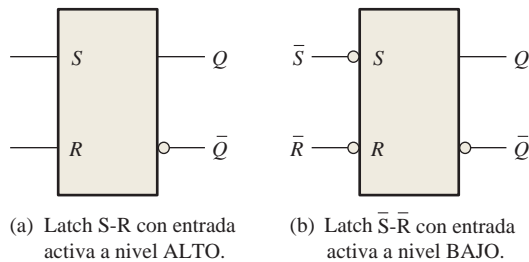


FIGURA 7.4 Símbolos lógicos para los latches S-R y $\bar{S}-\bar{R}$.

Entradas		Salidas		Comentarios
\bar{S}	\bar{R}	Q	\bar{Q}	
1	1	NC	NC	No cambio. El latch permanece en el estado que estaba.
0	1	1	0	Latch en estado SET.
1	0	0	1	Latch en estado RESET.
0	0	1	1	Condición no válida

TABLA 7.1 Tabla de verdad para un latch $\bar{S}-\bar{R}$ con entrada activa a nivel BAJO.

EJEMPLO 7.1

Si se aplican las formas de onda \bar{S} y \bar{R} de la Figura 7.5(a) a las entradas del latch de la Figura 7.4(b), determinar la forma de onda que se observará en la salida Q . Suponer que Q se encuentra inicialmente a nivel BAJO.

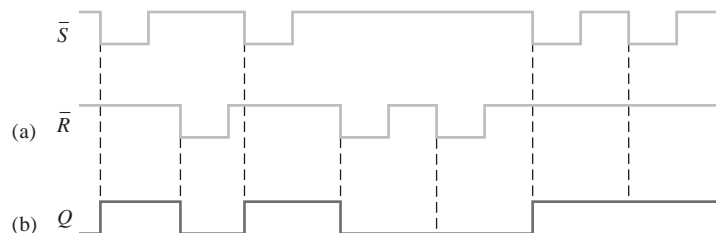


FIGURA 7.5

Solución

Véase la Figura 7.5(b)

Problema relacionado* Determinar la salida Q de un latch S-R con entradas activas a nivel ALTO si se invierten las formas de onda de la Figura 7.5(a) y se aplican a las entradas.

* Las respuestas se encuentran al final del capítulo.

Aplicación

El latch como eliminador del rebote de los contactos. Un buen ejemplo de aplicación de un latch $\bar{S}-\bar{R}$ consiste en la eliminación del “rebote” producido por los contactos de un interruptor mecánico. Cuando el polo de un interruptor choca con el contacto de cierre del interruptor, vibra o rebota varias veces hasta que, finalmente, se consigue un contacto firme. Aunque estos rebotes son mínimos, producen unos picos de tensión que pueden ser inadmisibles en un sistema digital. Esta situación se ilustra en la Figura 7.6(a).

Se puede utilizar un latch $\bar{S}-\bar{R}$ para eliminar los efectos de los rebotes del interruptor, como se muestra en la Figura 7.6(b). El interruptor se encuentra normalmente en la posición 1, manteniendo la entrada \bar{R} a nivel BAJO y al latch en estado RESET. Cuando el interruptor pasa a la posición 2, \bar{R} pasa a nivel ALTO debido a la resistencia de *pull-up* conectada a V_{CC} y \bar{S} pasa a nivel BAJO cuando se produce el primer contacto. Aunque \bar{S} permanece a nivel BAJO durante un breve espacio de tiempo antes de que el interruptor rebote, este tiempo es suficiente para activar (SET) el latch. Cualquier otro pico de tensión aplicado posteriormen-

te a la entrada \bar{S} , debido al rebote del interruptor, no va a afectar al latch, y éste permanecerá en el estado SET. Téngase en cuenta que la salida Q del latch proporciona una transición limpia del nivel BAJO al nivel ALTO, por lo que se eliminan los picos de tensión causados por el rebote de los contactos. De forma similar, se produce una transición limpia de nivel ALTO a nivel BAJO cuando el interruptor vuelve a la posición 1.

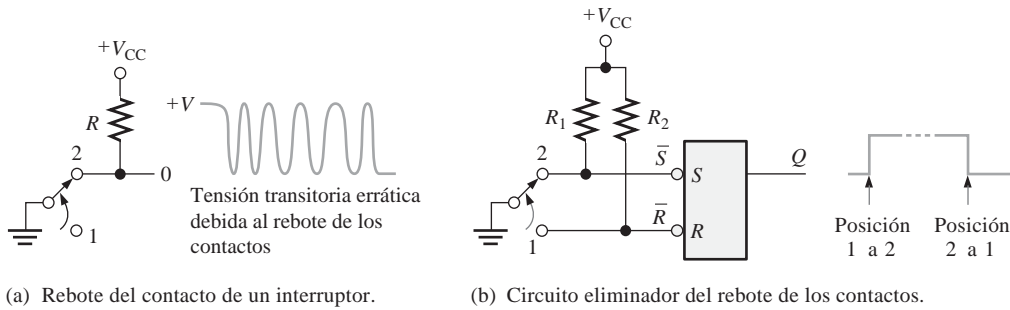
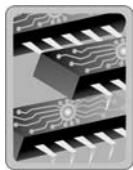


FIGURA 7.6 Utilización del latch $\bar{S}-\bar{R}$ para eliminar el rebote de los contactos de un interruptor.

LATCH SET-RESET 74LS279



El 74LS279 es un cuádruple latch $\bar{S}-\bar{R}$ representado por el diagrama lógico de la Figura 7.7(a) y cuyo diagrama de pines es el mostrado en la parte b de la misma figura. Observe que dos de los latches tienen dos entradas \bar{S} .

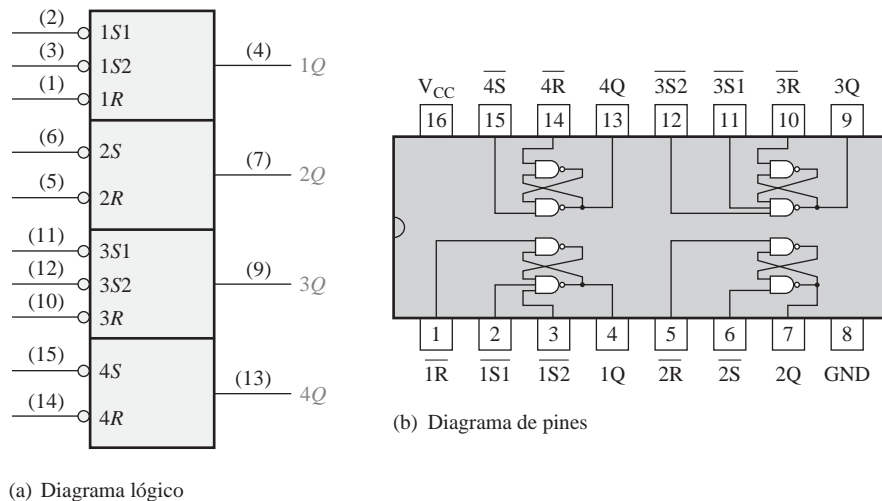


FIGURA 7.7 El cuádruple latch $\bar{S}-\bar{R}$ 74LS279.

El latch S-R con entrada de habilitación

El diagrama y el símbolo lógico de un latch con entrada de habilitación se muestran en la Figura 7.8. Las entradas S y R controlan el estado al que va a cambiar el latch cuando se aplica un nivel ALTO a la entrada

de habilitación (*EN, enable*). El latch no cambia de estado hasta que la entrada *EN* esté a nivel ALTO pero, mientras que permanezca en este estado, la salida va a ser controlada por el estado de las entradas *S* y *R*. En este circuito, el estado no válido del latch se produce cuando las dos entradas *S* y *R* están simultáneamente a nivel ALTO.

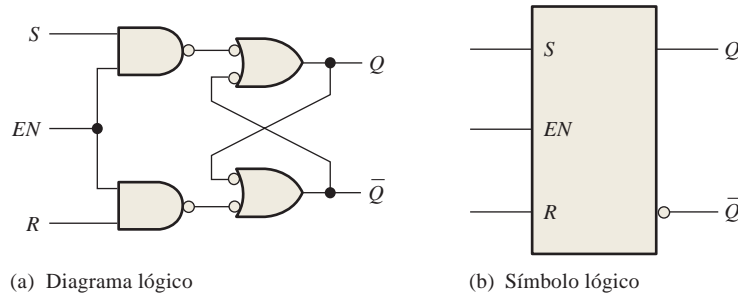


FIGURA 7.8 Latch S-R con entrada de habilitación.

EJEMPLO 7.2

Determinar la forma de onda de salida *Q*, si se aplican las señales de entrada mostradas en la Figura 7.9(a) a un latch S-R con entrada de habilitación, que se encuentra inicialmente en estado de RESET.

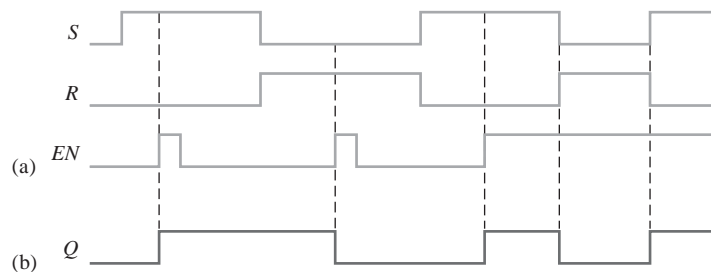


FIGURA 7.9

Solución

La forma de onda *Q* se muestra en la Figura 7.9(b). Siempre que *S* está a nivel ALTO y *R* a nivel BAJO, un nivel ALTO en la entrada *EN* hace que el latch se ponga en estado SET. Siempre que *S* está a nivel BAJO y *R* a nivel ALTO, un nivel ALTO en la entrada *EN* hace que el latch se ponga en estado RESET.

Problema relacionado

Determinar la salida *Q* de un latch S-R con entrada de habilitación, si se invierten las entradas *S* y *R* de la Figura 7.9(a).

El latch D con entrada de habilitación

Existe otro tipo de latch con entrada de habilitación que se denomina latch D. Se diferencia del latch S-R en que sólo tiene una entrada, además de la de habilitación, *EN*. Esta entrada recibe el nombre de entrada de datos (*D*). La Figura 7.10 muestra el diagrama y el símbolo lógico de este tipo de latch. Cuando la entrada *D* está a

nivel ALTO y la entrada EN también, el latch se pone en estado SET. Cuando la entrada D está a nivel BAJO y la entrada EN está a nivel ALTO, el latch se pone en estado RESET. Dicho de otra manera, la salida Q es igual a la entrada D cuando la entrada de habilitación EN está a nivel ALTO.

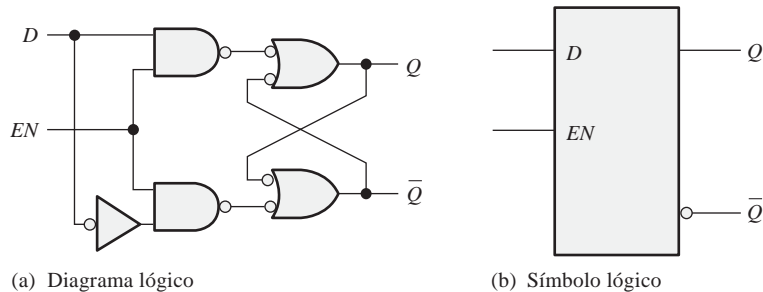


FIGURA 7.10 Latch D con entrada de habilitación.

EJEMPLO 7.3

Determinar la forma de onda de salida Q , si se aplican las entradas que se muestran en la Figura 7.11(a) a un latch D con entrada de habilitación que, inicialmente, está en estado RESET.

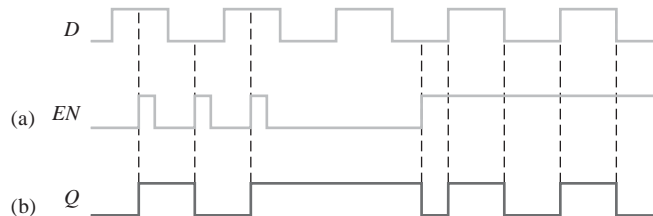


FIGURA 7.11

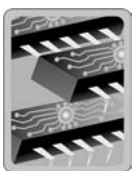
Solución

La forma de onda Q se muestra en la Figura 7.11(b). Siempre que D y EN estén a nivel ALTO, la salida Q será un nivel ALTO. Siempre que D sea un nivel BAJO y EN esté a nivel ALTO, Q se pondrá a nivel BAJO. Cuando EN está a nivel BAJO, el estado del latch no se ve afectado por la entrada D .

Problema relacionado

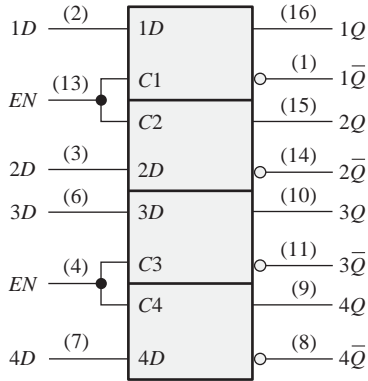
Determinar la salida Q del latch D con entrada de habilitación, si la señal de entrada D de la Figura 7.11(a) se invierte.

LATCH D 74LS75



Un ejemplo de un latch D con entrada de habilitación es el 74LS75, cuyo símbolo lógico se puede ver en la Figura 7.12(a). Este dispositivo está compuesto por cuatro latches. Observe que cada entrada de habilitación EN activa a nivel ALTO está compartida por dos latches y se designa como entrada de control (C). La tabla de verdad de cada latch se muestra en la Figura 7.12(b). La X en esta tabla representa una condición “indiferente”. En este caso, cuando la entrada EN está a nivel BAJO, da lo mismo el valor que

tenga la entrada D , ya que las salidas no se ven afectadas y permanecen en los estados en que se encontraban.



(a) Símbolo lógico

Entradas		Salidas		Comentarios
D	EN	Q	\bar{Q}	
0	1	0	1	RESET
1	1	1	0	SET
X	0	Q_0	\bar{Q}_0	No cambio

Nota: Q_0 es el nivel de salida previo antes de que se establecieran las condiciones de entrada indicadas

(b) Tabla de verdad (de cada latch)

FIGURA 7.12 Cuádruple latch D con entrada de habilitación 74LS75.

REVISIÓN DE LA SECCIÓN 7.1

1. Enumerar tres tipos de latches.
2. Desarrollar la tabla de verdad del latch S-R con entradas activas a nivel ALTO de la Figura 7.1(a).
3. ¿Cuál es la salida Q de un latch D cuando $EN = 1$ y $D = 1$?

7.2 FLIP-FLOPS DISPARADOS POR FLANCO

Los flip-flops son dispositivos síncronos de dos estados, también conocidos como *multivibradores biestables*. En este caso, el término *síncrono* significa que la salida cambia de estado únicamente en un instante específico de una entrada de disparo denominada *reloj* (CLK), la cual recibe el nombre de entrada de control, C . Esto significa que los cambios en la salida se producen sincronizadamente con el reloj.

Al finalizar esta sección, el lector deberá ser capaz de:

- Definir *reloj*.
- Definir *flip-flop disparado por flanco*.
- Explicar la diferencia entre un flip-flop y un latch.
- Identificar un flip-flop disparado por flanco mediante su símbolo lógico.
- Comentar la diferencia entre los flip-flops disparados por flancos positivos y negativos.
- Comparar el funcionamiento de los flip-flops disparados por flanco S-R, D y J-K, y explicar las diferencias entre sus tablas de verdad.
- Explicar las entradas asíncronas de un flip-flop.
- Describir los flip-flops 74AHC74 y 74HC112.

▲ El indicador de entrada dinámica \triangleright indica que el flip-flop cambia de estado sólo en el flanco de un pulso de reloj.

Un **flip-flop disparado por flanco** cambia de estado con el flanco positivo (flanco de subida) o con el flanco negativo (flanco de bajada) del impulso de reloj y es sensible a sus entradas sólo en esta transición del reloj. En esta sección se cubren tres tipos de flip-flops disparados por flanco: S-R, D y J-K. Los símbolos lógicos de estos dispositivos se muestran en la Figura 7.13. Observe que pueden ser disparados por flanco positivo (no hay círculo en la

entrada C) o por flanco negativo (hay un círculo en la entrada C). La clave para identificar un flip-flop disparado por flanco mediante su símbolo lógico la da el triángulo que se encuentra dentro del bloque en la entrada del reloj (C). El triángulo se denomina *indicador de entrada dinámica*.

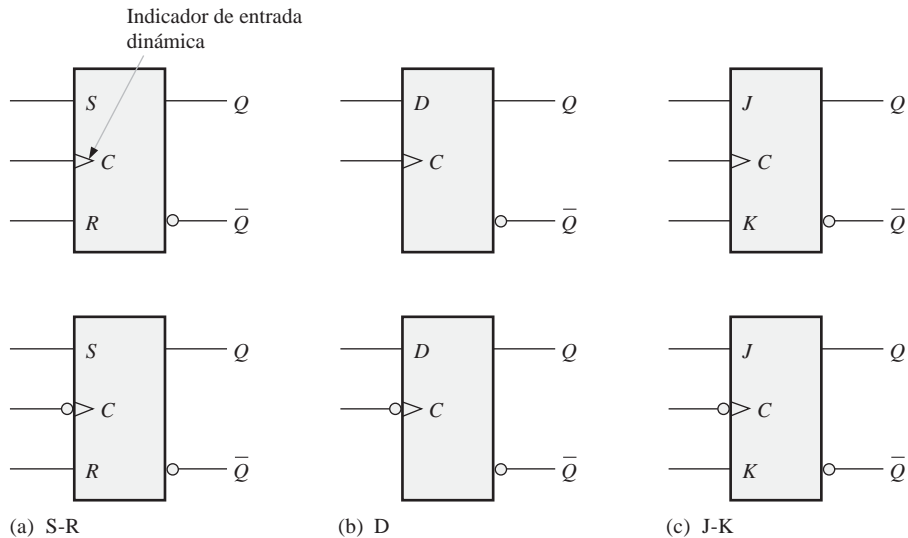


FIGURA 7.13 Símbolos lógicos de los latches disparados por flanco (parte superior: disparado por flanco positivo; parte inferior: disparado por flanco negativo).

Flip-flop S-R disparado por flanco

▲ *Un flip-flop S-R no puede tener ambas entradas R y S a nivel ALTO al mismo tiempo.*

Las entradas S y R de un **flip-flop S-R** se denominan entradas *síncronas*, dado que los datos en estas entradas se transfieren a las salidas del flip-flop sólo con el flanco de disparo del impulso del reloj. Cuando S está a nivel ALTO y R está a nivel BAJO, la salida Q se pone a nivel ALTO con el flanco de disparo del impulso de reloj, pasando el flip-flop al estado SET. Cuando S está a nivel BAJO y R está a nivel ALTO, la salida Q se pone a nivel BAJO con el flanco de disparo del impulso de reloj, pasando el flip-flop al estado RESET. Cuando tanto S como R están a nivel BAJO, la salida no cambia de estado. Cuando S y R están a nivel ALTO, se produce una condición no válida.

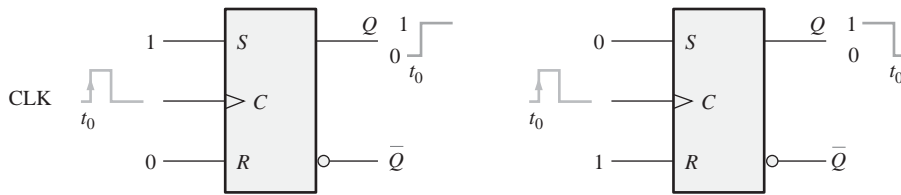
El funcionamiento básico de un flip-flop disparado por flanco positivo se muestra en la Figura 7.14, mientras que la tabla de verdad se puede ver en la Tabla 7.2. Recordemos que *un flip-flop no puede cambiar de estado excepto en el flanco de disparo de un impulso de reloj*. Las entradas S y R se pueden cambiar en cual-



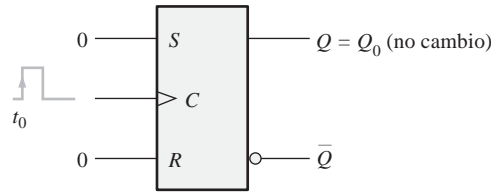
NOTAS INFORMÁTICAS

Las memorias semiconductoras para computadoras constan de numerosas celdas individuales. Cada celda de almacenamiento contiene un 1 o un 0. Un tipo de memoria es la memoria de acceso aleatorio estática o SRAM, que utiliza flip-flops como celdas de almacenamiento, ya que un flip-flop mantendrá uno de dos estados de forma indefinida siempre que se aplique alimentación continua, de aquí el término *estática*. Este tipo de memoria se clasifica como una memoria *volátil*, dado que todos los datos almacenados se perderán cuando se desconecte la alimentación. Existe otro tipo de memoria, la memoria RAM dinámica o DRAM, que utiliza capacitancias en lugar de flip-flops como elemento básico de almacenamiento y debe refrescarse periódicamente para mantener los datos almacenados.

quier instante en que la entrada de reloj esté a nivel ALTO o nivel BAJO (excepto durante un breve instante de tiempo en las proximidades de las transiciones de disparo del reloj) sin que varíe la salida.



- (a) $S = 1, R = 0$ pone al flip-flop en estado SET en el flanco positivo de reloj (si ya estaba en estado SET, permanece en dicho estado).
- (b) $S = 0, R = 1$ pone al flip-flop en estado RESET en el flanco positivo de reloj (si ya estaba en estado RESET, permanece en dicho estado).



- (c) $S = 0, R = 0$ no varía el estado en que se encuentre el flip-flop (si está en estado SET permanece en este estado; si está en estado RESET permanece en dicho estado).

FIGURA 7.14 Funcionamiento de un flip-flop S-R disparado por flanco positivo.

Entradas			Salidas		Comentarios
S	R	CLK	Q	\bar{Q}	
0	0	X	Q_0	\bar{Q}_0	No cambio
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	?	?	No válida

↑ = transición del reloj de nivel BAJO a nivel ALTO
 X = irrelevante ("condición indiferente")
 Q_0 = nivel de salida previo a la transición del reloj

TABLA 7.2 Tabla de verdad de un flip-flop S-R disparado por flanco positivo.

El funcionamiento y tabla de verdad de un flip-flop S-R disparado por flanco negativo son las mismas que las de un dispositivo disparado por flanco positivo, excepto en que el flanco de bajada del impulso del reloj es, en este caso, el flanco de disparo.

EJEMPLO 7.4

Determinar las formas de onda de salida Q y \bar{Q} del flip-flop de la Figura 7.15, para las entradas S, R y CLK de la Figura 7.16(a). Suponer que el flip-flop disparado por flanco positivo se encuentra, inicialmente, en estado RESET.

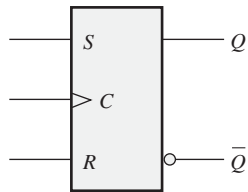


FIGURA 7.15

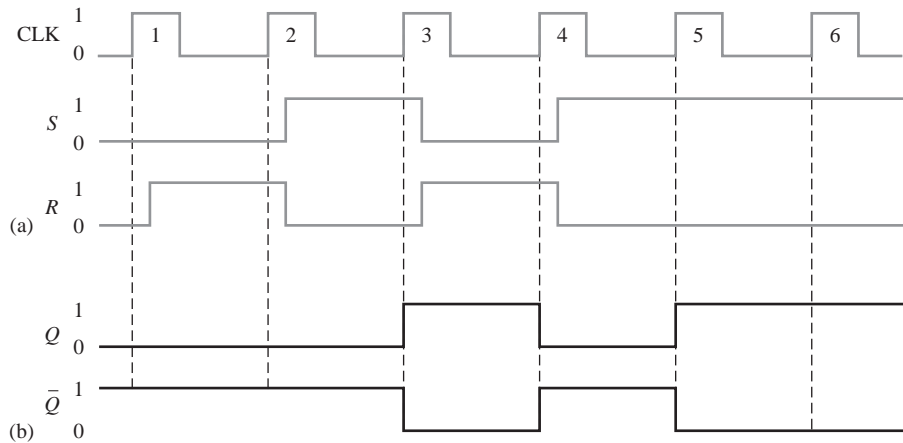


FIGURA 7.16

Solución

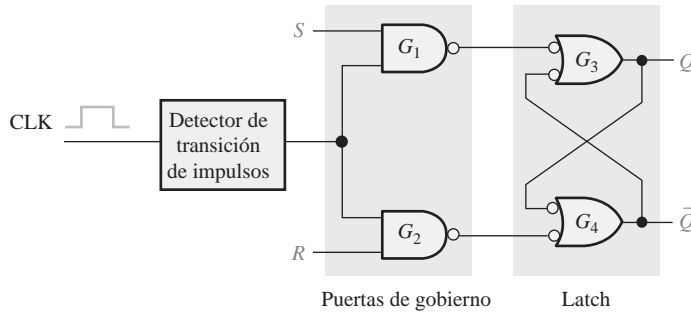
1. Durante el impulso 1 de reloj, S está a nivel BAJO y R está a nivel BAJO, luego Q no cambia.
2. Durante el impulso 2 de reloj, S está a nivel BAJO y R está a nivel ALTO, luego Q permanece a nivel BAJO (RESET).
3. Durante el impulso 3 de reloj, S está a nivel ALTO y R está a nivel BAJO, luego Q pasa a nivel ALTO (SET).
4. Durante el impulso 4 de reloj, S está a nivel BAJO y R está a nivel ALTO, luego Q pasa a nivel BAJO (RESET).
5. Durante el impulso 5 de reloj, S está a nivel ALTO y R está a nivel BAJO, luego Q pasa a nivel ALTO (SET).
6. Durante el impulso 6 de reloj, S está a nivel ALTO y R está a nivel BAJO, luego Q permanece a nivel ALTO.

Una vez que se ha determinado Q , se puede conocer \bar{Q} de forma muy sencilla, complementando la salida Q . Las formas de onda resultantes para Q y \bar{Q} se muestran en la Figura 7.16(b) en función de las formas de onda de entrada de la parte (a).

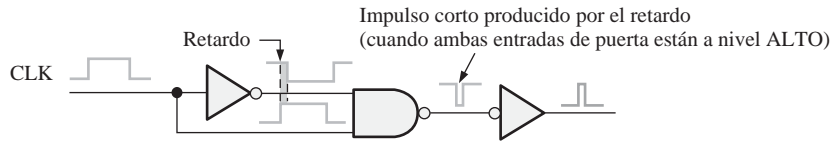
Problema relacionado Determinar Q y \bar{Q} para las entradas S y R de la Figura 7.16(a), si el flip-flop es disparado por flanco negativo.

Un método de disparo por flanco

En la Figura 7.17(a) se presenta la implementación simplificada de un flip-flop S-R disparado por flanco, que se va a utilizar para explicar el concepto de disparo por flanco, aunque esto no significa que sea el tipo de flip-flop más importante. Realmente, los flip-flops D y J-K se utilizan con más frecuencia, y se pueden encontrar como circuitos integrados mucho más fácilmente que los S-R. Sin embargo, es mucho más interesante el estudio de los S-R, ya que tanto el flip-flop J-K como el D se pueden derivar de él. Conviene tener en cuenta que el flip-flop S-R se distingue del latch S-R con entrada de habilitación únicamente en que cuenta con un detector de transiciones de impulsos.



(a) Diagrama lógico simplificado de un flip-flop S-R disparado por flanco positivo



(b) Un tipo de detector de transiciones de impulsos

FIGURA 7.17 Disparo por flanco.



NOTAS INFORMÁTICAS

Todas las operaciones lógicas que se realizan mediante hardware también pueden implementarse por software. Por ejemplo, la operación de un flip-flop J-K puede realizarse mediante instrucciones específicas de computadora. Si se utilizaran dos bits para representar las entradas J y K, la computadora no haría nada para la entrada 00; para la entrada 10, un bit de datos que representara la salida Q se pondría a 1, el bit de datos Q sería 0 para la entrada 01 y el bit de datos Q se complementarían para la entrada 11. Aunque no suele ser habitual utilizar una computadora para simular un flip-flop, la cuestión es que todas las operaciones de hardware se pueden realizar mediante software.

Un detector de transiciones de impulsos típico se muestra en la Figura 7.17(b). Como se puede ver, existe un pequeño retraso en una de las entradas de la puerta NAND de manera que el impulso invertido de reloj llega a la entrada de la puerta unos cuantos nanosegundos después que el verdadero impulso de reloj. Esto origina un pico de salida que dura sólo unos nanosegundos. En los flip-flops disparados por flanco negativo, se invierte primero el impulso de reloj, de forma que se origina un pico muy estrecho en el flanco de bajada.

Observe que el circuito de la Figura 7.17 está dividido en dos secciones, una correspondiente a las denominadas puertas de gobierno, y otra al latch. Las puertas de gobierno dirigen los picos de reloj hacia la entrada de la puerta G_3 o la entrada de la G_4 , dependiendo del estado de las entradas S y R . Para comprender el funcionamiento de este flip-flop, vamos a comenzar suponiendo que se encuentra en estado RESET ($Q = 0$) y que

las entradas S , R y CLK están todas a nivel BAJO. En esta situación, las salidas de las puertas G_1 y G_2 están ambas a nivel ALTO. La salida Q a nivel BAJO se realimenta a una de las entradas de la puerta G_4 , forzando la salida \bar{Q} a nivel ALTO. Puesto que \bar{Q} está a nivel ALTO, las dos entradas de la puerta G_3 están a nivel ALTO (recordemos que la salida de la puerta G_1 está a nivel ALTO), manteniendo la salida Q a nivel BAJO. Si se aplica un impulso a la entrada de reloj CLK , las salidas de las puertas G_1 y G_2 permanecen a nivel ALTO, ya que se desactivan cuando las entradas S y R están a nivel BAJO; por tanto, no hay ningún cambio en el estado del flip-flop: permanece en RESET.

Ahora, se pone la entrada S a nivel ALTO, dejando R a nivel BAJO y se aplica un impulso de reloj. Dado que la entrada S de la puerta G_1 está ahora a nivel ALTO, la salida de la puerta G_1 pasa a nivel BAJO durante un breve espacio de tiempo (pico) cuando CLK pasa a nivel ALTO, haciendo que la salida Q se ponga a nivel ALTO. Las dos entradas de la puerta G_4 están ahora a nivel ALTO (recordemos que la salida de G_2 está a nivel ALTO ya que R está a nivel BAJO), forzando la salida \bar{Q} a pasar a nivel BAJO. Este nivel BAJO de la salida \bar{Q} se realimenta a una de las entradas de la puerta G_3 , asegurando que la salida Q permanezca a nivel ALTO. El flip-flop se encuentra ahora en estado SET. La Figura 7.18 ilustra las transiciones de niveles lógicos que tienen lugar en el flip-flop para esta condición.

A continuación, ponemos S a nivel BAJO y R a nivel ALTO, y aplicamos un impulso de reloj. Ya que la entrada R está a nivel ALTO, el flanco positivo de reloj produce un pico negativo en la salida de la puerta G_2 , haciendo que la salida \bar{Q} pase a nivel ALTO. Debido a este nivel ALTO en \bar{Q} , ambas entradas de la puerta G_3 están ahora a nivel ALTO (recordemos que la salida de la puerta G_1 es un nivel ALTO debido a que la entrada S está a nivel BAJO), forzando a la salida Q a pasar a nivel BAJO. Este nivel BAJO en Q se realimenta a una de las entradas de la puerta G_4 , asegurando así que \bar{Q} permanecerá a nivel ALTO. El flip-flop se encuentra ahora en estado RESET. La Figura 7.19 ilustra las transiciones de niveles lógicos que ocurren en el flip-flop para esta condición. Al igual que en el latch con entrada de habilitación, se produce una condición no válida cuando ambas entradas S y R están, simultáneamente, a nivel ALTO. Esta es la principal desventaja de los flip-flops S-R.

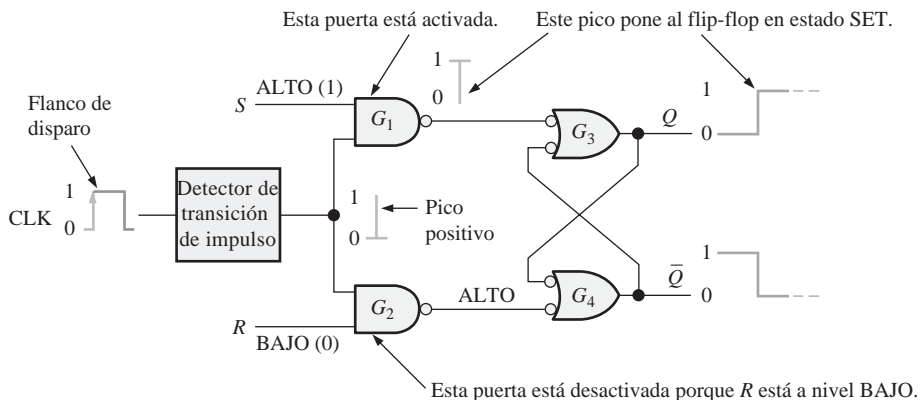


FIGURA 7.18 Flip-flop que realiza una transición del estado RESET al estado SET durante el flanco positivo del impulso del reloj.

El flip-flop D disparado por flanco

▲ La salida Q de un flip-flop D toma el estado de la entrada D en el impulso de disparo de la señal de reloj.

El *flip-flop D* resulta muy útil cuando se necesita almacenar un único bit de datos (1 o 0). Si se añade un inversor a un flip-flop S-R obtenemos un flip-flop D básico, como se muestra en la Figura 7.20, en la que se muestra uno disparado por flanco positivo.

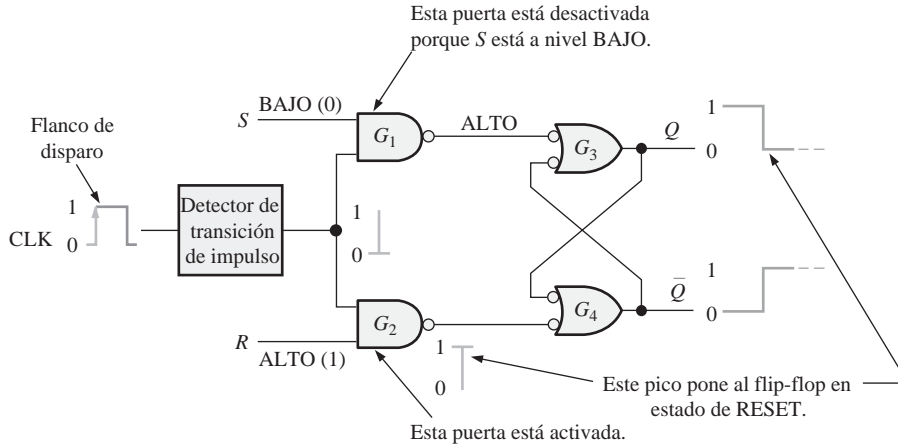


FIGURA 7.19 Flip-flop que realiza una transición del estado SET al estado RESET durante el flanco positivo del impulso del reloj.

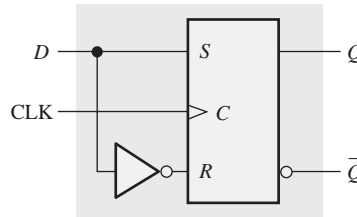


FIGURA 7.20 Flip-flop D disparado por flanco positivo, formado por un flip-flop S-R y un inversor.

Observe que el flip-flop de la Figura 7.20 tiene únicamente una entrada, la entrada D , además del reloj. Si cuando se aplica un impulso de reloj la entrada D está a nivel ALTO, el flip-flop se activa (SET) y almacena el nivel ALTO de la entrada D durante el flanco positivo del impulso del reloj. Si existe un nivel BAJO en la entrada D cuando se aplica el impulso del reloj, el flip-flop se pone a cero (RESET) y almacena el nivel BAJO de la entrada D durante el flanco de bajada del impulso del reloj. En el estado SET, el flip-flop almacena un 1, mientras que en el estado RESET almacena un 0.

El funcionamiento de un flip-flop D disparado por flanco positivo se resume en la Tabla 7.3. El funcionamiento de un dispositivo activado por flanco negativo es, por supuesto, idéntico, excepto que el disparo tiene lugar en el flanco de bajada del impulso del reloj. Recuerde que Q sigue a D en cada flanco del impulso de reloj.

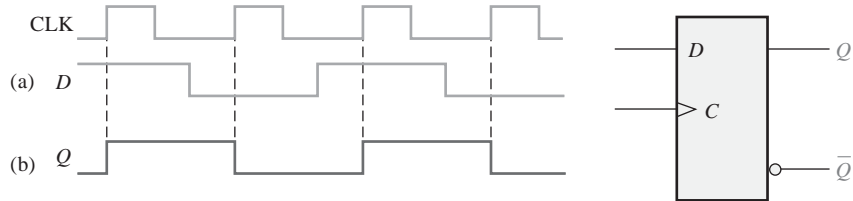
Entradas		Salidas		Comentarios
D	CLK	Q	\bar{Q}	
1	↑	1	0	SET (almacena un 1)
0	↑	0	1	RESET (almacena un 0)

↑ = transición del reloj de nivel BAJO a nivel ALTO

TABLA 7.3 Tabla de verdad de un flip-flop D disparado por flanco positivo.

EJEMPLO 7.5

Dadas las formas de onda de la Figura 7.21(a) para la entrada D y el reloj, determinar la onda de salida Q si el flip-flop parte del estado RESET.

**FIGURA 7.21****Solución**

La salida Q sigue al estado de la entrada D cada vez que se produce un flanco positivo del reloj. La salida resultante se muestra en la Figura 7.21(b).

Problema relacionado

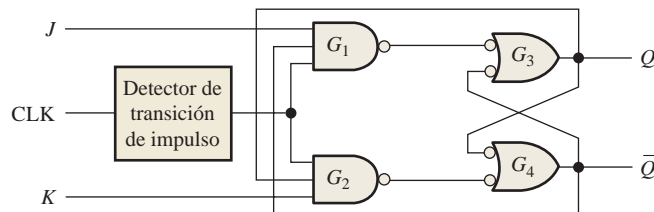
Determinar la salida Q para el flip-flop D, si la entrada D de la Figura 7.21(a) se invierte.

El flip-flop J-K disparado por flanco

El *flip-flop J-K* es versátil y es uno de los tipos de flip-flop más ampliamente utilizado. El funcionamiento del flip-flop J-K es idéntico al del flip-flop S-R en las condiciones de operación SET, RESET y de permanencia de estado (no cambio). La diferencia está en que el flip-flop J-K no tiene condiciones no válidas como ocurre en el S-R.

La Figura 7.22 muestra la lógica interna de un flip-flop J-K disparado por flanco positivo. Observe que se diferencia del flip-flop S-R disparado por flanco en que la salida Q se realimenta a la entrada de la puerta G_2 , y la salida \bar{Q} se realimenta a la entrada de la puerta G_1 . Las dos entradas de control se denominan J y K , en honor a Jack Kilby, quien inventó el circuito integrado. Un flip-flop J-K puede ser también del tipo disparado por flanco negativo, en cuyo caso, la entrada de reloj se invierte.

Supongamos que el flip-flop de la Figura 7.23 se encuentra en estado RESET y que la entrada J está a nivel ALTO y la entrada K está a nivel BAJO. Cuando se produce un impulso de reloj, pasa un pico correspondiente al flanco anterior, indicado por ①, a través de la puerta G_1 , ya que \bar{Q} está a nivel ALTO y J también está a nivel ALTO. Esto origina que la parte latch del flip-flop cambie al estado SET. El flip-flop ahora está en estado SET.

**FIGURA 7.22** Diagrama lógico simplificado de un flip-flop J-K disparado por flanco positivo.

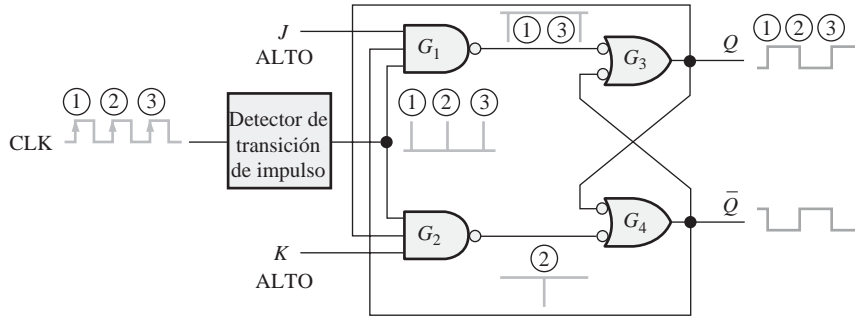


FIGURA 7.23 Transiciones que ilustran el modo de basculación cuando $J = 1$ y $K = 1$.

▲ En el modo de basculación, un flip-flop J-K cambia de estado en cada impulso de reloj.

Si ponemos la entrada J a nivel BAJO y la entrada K a nivel ALTO, el siguiente pico del reloj, indicado por ②, pasará a través de la puerta G_2 , ya que Q está a nivel ALTO y K también. Esto origina que la parte latch del flip-flop cambie al estado RESET.

Si ahora se aplica un nivel BAJO a las dos entradas J y K , el flip-flop permanecerá en su estado actual cuando se produzca un impulso del reloj. De esta manera, un nivel BAJO en J y K origina una condición de no cambio.

Hasta ahora, el funcionamiento lógico del flip-flop J-K es idéntico al del S-R en sus modos SET, RESET y de no cambio. La diferencia tiene lugar cuando las dos entradas, J y K , están a nivel ALTO. Para ver esto, supongamos que el flip-flop se encuentra en estado RESET. El nivel ALTO de la salida \bar{Q} activa la puerta G_1 de forma que el pico del reloj, indicado por ③, pasa y activa (SET) el flip-flop. Ahora hay un nivel ALTO en Q , el cual permite que el siguiente pico del reloj pase a través de la puerta G_2 y ponga el flip-flop en estado RESET.

Como puede ver, en cada pico sucesivo de reloj, el flip-flop cambia a su estado opuesto. A este modo de funcionamiento se le denomina **modo de basculación (toggle)**. La Figura 7.23 ilustra las transiciones cuando el flip-flop se encuentra en este modo. Un flip-flop J-K conectado en el modo de basculación en ocasiones se denomina *flip-flop T*.

En la Tabla 7.4 se muestra la tabla de verdad del flip-flop J-K disparado por flanco, la cual resume su funcionamiento. Observe que no hay ningún estado no válido, como ocurría con el flip-flop S-R. La tabla de verdad de un dispositivo disparado por flanco negativo es idéntica, excepto en que se dispara durante el flanco de bajada del impulso de reloj.

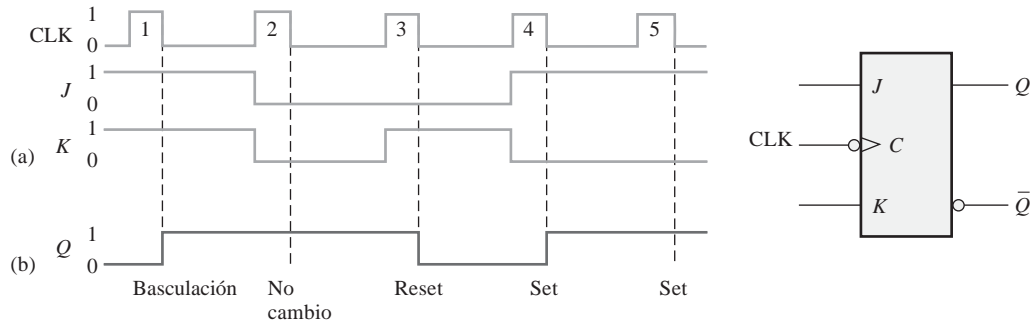
J	Entradas		Salidas		Comentarios
	K	CLK	Q	\bar{Q}	
0	0	↑	Q_0	\bar{Q}_0	No cambio
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	Q_0	\bar{Q}_0	Basculación

↑ = transición del reloj de nivel BAJO a nivel ALTO
 Q_0 = nivel de salida previo a la transición del reloj

TABLA 7.4 Tabla de verdad de un flip-flop J-K disparado por flanco positivo.

EJEMPLO 7.6

Las formas de onda de entrada de la Figura 7.24(a) se aplican a las entradas J , K y de reloj, tal y como se muestra. Determinar la salida Q suponiendo que el flip-flop se encuentra inicialmente en estado RESET.

**FIGURA 7.24****Solución**

1. En primer lugar, dado que se trata de un flip-flop disparado por flanco negativo, como se indica mediante el círculo en la entrada de reloj, la salida Q cambiará sólo al ocurrir el flanco negativo del impulso de reloj.
2. En el primer impulso de reloj, J y K están a nivel ALTO y, debido a la condición de basculación, Q pasa a nivel ALTO.
3. En el segundo impulso de reloj, se produce la condición de no cambio en las entradas, manteniendo Q a nivel ALTO.
4. En el tercer impulso del reloj, J está a nivel BAJO y K a nivel ALTO, produciendo una condición de RESET, por lo que Q pasa a nivel BAJO.
5. En el cuarto impulso de reloj, J está a nivel ALTO y K a nivel BAJO, dando lugar a una condición de SET, luego Q pasa a nivel ALTO.
6. La condición SET permanece en J y K cuando ocurre el quinto impulso del reloj, de forma que Q sigue a nivel ALTO.

La forma de onda Q resultante se indica en la Figura 7.24(b).

Problema relacionado Determinar la salida Q del flip-flop J-K si las entradas J y K de la Figura 7.24(a) se invierten.

EJEMPLO 7.7

Las formas de onda de la Figura 7.25(a) se aplican al flip-flop que se muestra. Determinar la salida Q , comenzado en el estado RESET.

Solución

La salida Q toma el estado determinado por los estados de las entradas J y K en el flanco positivo (flanco de disparo) del impulso de reloj. Si se produce un cambio en J o en K después del disparo del reloj éste no tiene efecto en la salida, como se muestra en la Figura 7.25(b).

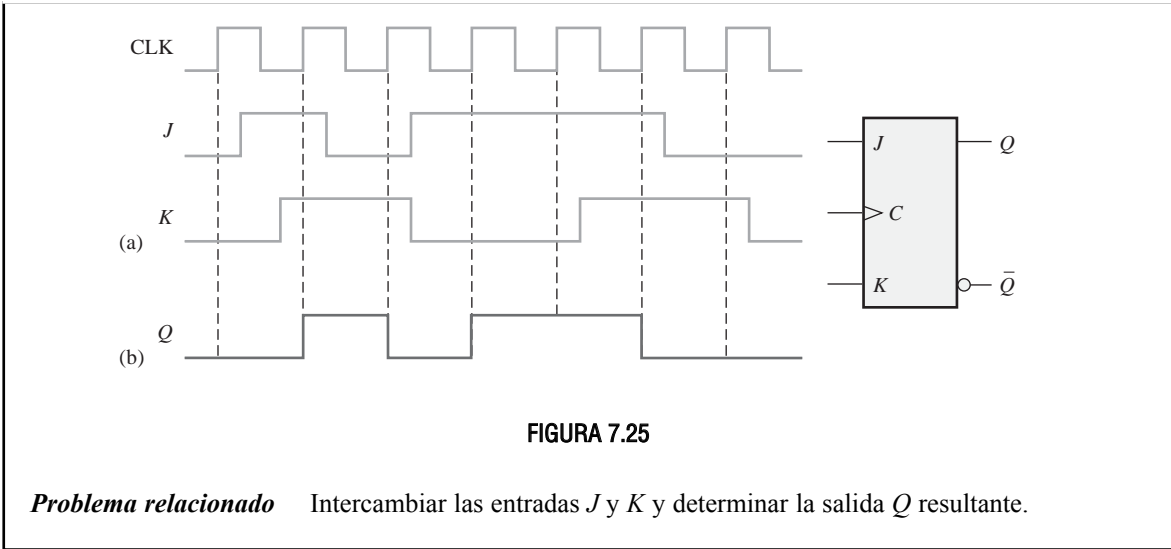


FIGURA 7.25

Problema relacionado Intercambiar las entradas J y K y determinar la salida Q resultante.

Entradas asíncronas de inicialización y borrado

▲ Una entrada de inicialización activa pone la salida Q a nivel ALTO (SET).

▲ Una entrada de borrado activa pone la salida Q a nivel BAJO (RESET).

En los flip-flops que acabamos de estudiar, el S - R , el D y el J - K , se dice que sus entradas son *entradas síncronas*, ya que los datos de estas entradas condicionan la salida de los flip-flops sólo durante el flanco de disparo del impulso de reloj; esto significa que los datos se transfieren sincronizados con la señal de reloj.

La mayoría de los circuitos integrados flip-flops tienen también entradas **asíncronas**. Estas son entradas que pueden variar el estado del flip-flop *independientemente del reloj*. Generalmente, los fabricantes las denominan de **inicialización**, **preset**, (PRE) y **borrado**, **clear**, (CLR), o de **activación directa** (S_D , direct SET) y **desactivación directa** (R_D , direct RESET). Un nivel activo en la entrada de inicialización del flip-flop (preset) pone a SET el dispositivo, y un nivel activo en la entrada de borrado (*clear*) lo pone en estado RESET. En la Figura 7.26 se muestra el símbolo

lógico de un flip-flop J - K con entradas *preset* y *clear*. Estas entradas son activas a nivel BAJO, como indican los círculos. Estas entradas de inicialización y borrado deben mantenerse a nivel ALTO para el funcionamiento síncrono.

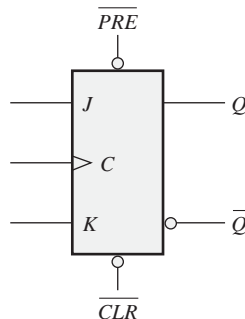


FIGURA 7.26 Símbolo lógico de un flip-flop J - K con entrada de inicialización (*preset*) y de borrado (*clear*) activas a nivel BAJO.

La Figura 7.27 muestra el diagrama lógico de un flip-flop J-K disparado por flanco con entradas de inicialización y borrado activas a nivel BAJO (\overline{PRE}) y (\overline{CLR}). Esta figura ilustra, básicamente, cómo funcionan estas entradas. Como puede ver, están conectadas de forma que anulan el efecto de las entradas síncronas J , K y el reloj.

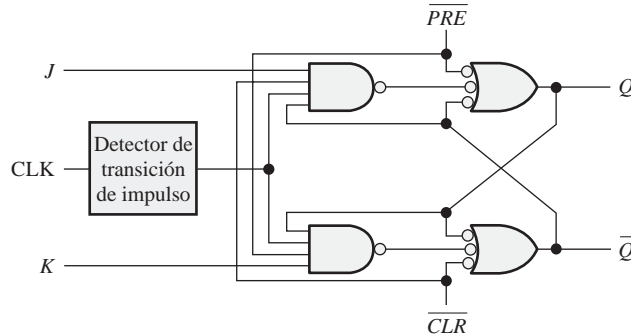


FIGURA 7.27 Diagrama lógico de un flip-flop J-K con entradas de inicialización (*preset*) y de borrado (*clear*) activas a nivel BAJO.

EJEMPLO 7.8

En el flip-flop J-K activado por flanco positivo de la Figura 7.28, con entradas *preset* y *clear*, determinar la salida Q para las entradas mostradas en el diagrama de tiempos de la parte (a), si Q está inicialmente a nivel BAJO.

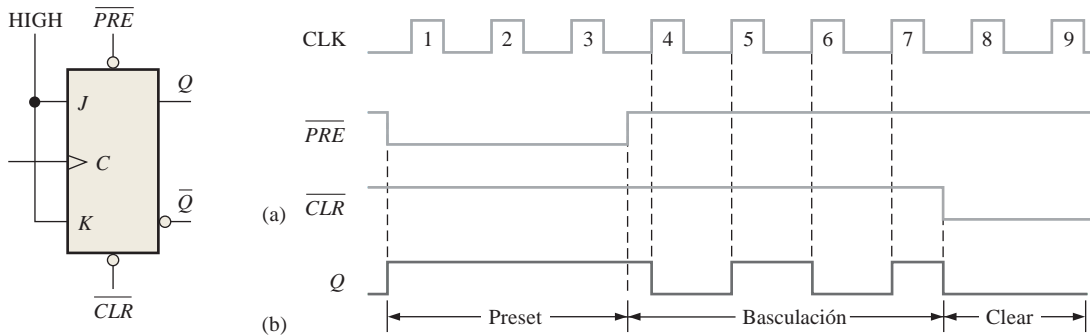


FIGURA 7.28

Solución

1. Durante los impulsos de reloj 1, 2 y 3, la entrada de inicialización (\overline{PRE}) está a nivel BAJO, manteniendo el flip-flop en estado SET, independientemente de las entradas síncronas J y K .
2. Durante los impulsos 4, 5, 6 y 7, funciona en modo de basculación, dado que J está a nivel ALTO, K está a nivel ALTO y tanto \overline{PRE} como \overline{CLR} están a nivel ALTO.

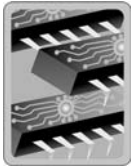
3. Para los impulsos de reloj 8 y 9, la entrada de borrado (\overline{CLR}) está a nivel BAJO, por lo que el flip-flop se mantiene en estado RESET, independientemente de las entradas síncronas.

La salida Q resultante se muestra en la Figura 7.28(b).

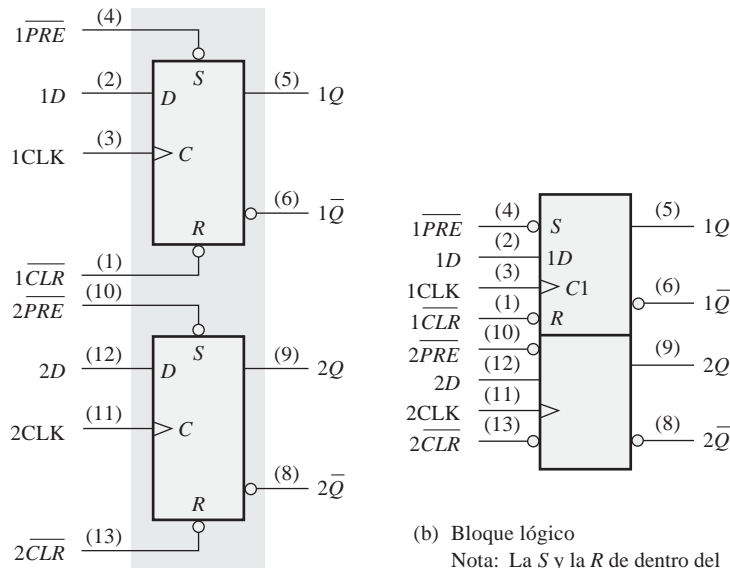
Problema relacionado Si intercambiamos las formas de onda de entrada \overline{PRE} y \overline{CLR} de la Figura 7.28(a), ¿qué forma tendrá la onda de salida Q ?

Ahora, se van a tratar dos circuitos integrados flip-flops disparados por flanco, que son representativos de varios tipos de flip-flops disponibles en forma de CI y que, al igual que la mayoría de otros dispositivos, se encuentran disponibles en las familias lógicas TTL y CMOS.

DOBLE FLIP-FLOP D 74AHC74



Este dispositivo CMOS contiene dos flip-flops D idénticos que son independientes entre sí, excepto en que comparten V_{CC} y tierra. Son flip-flops disparados por flanco positivo y disponen de las entradas asíncronas de inicialización y borrado activas a nivel BAJO. En la Figura 7.29(a) se muestran los símbolos lógicos de cada flip-flop individual dentro del encapsulado, mientras que en la parte (b) de la figura podemos ver el símbolo estándar ANSI/IEEE, que representa el dispositivo completo. La numeración de los pines se indica entre paréntesis.

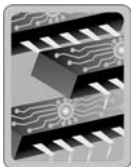


(a) Símbolos lógicos individuales

(b) Bloque lógico
 Nota: La S y la R de dentro del bloque indican que \overline{PRE} pone al dispositivo en estado SET y \overline{CLR} le pone en estado RESET.

FIGURA 7.29 Símbolos lógicos del doble flip-flop D disparado por flanco positivo 74AHC74.

DOBLE FLIP-FLOP J-K 74HC112



Este dispositivo CMOS contiene también dos flip-flops idénticos que son disparados por flanco negativo, y tienen entradas asincrónicas de inicialización y de borrado activas a nivel BAJO. Los símbolos lógicos correspondientes se muestran en la Figura 7.30.

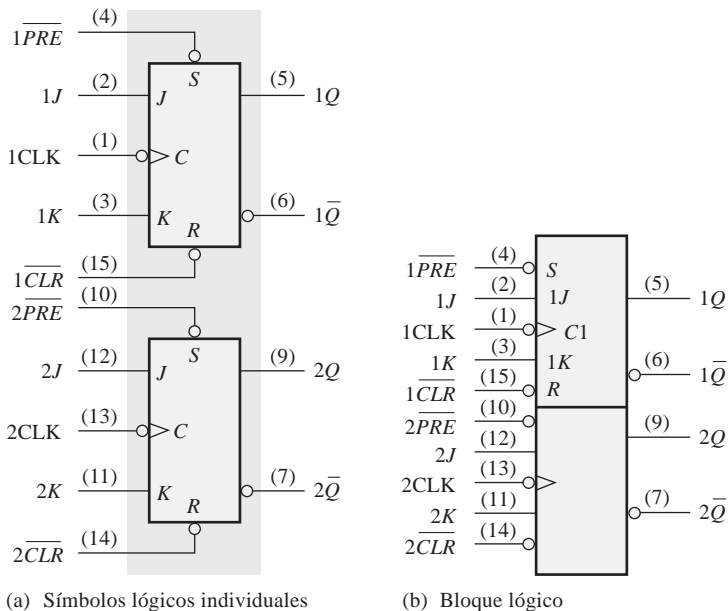


FIGURA 7.30 Símbolos lógicos del doble flip-flop J-K disparado por flanco negativo 74HC112.

EJEMPLO 7.9

Las formas de onda para $1J$, $1K$, $1CLK$, $1\overline{PRE}$ y $1\overline{CLR}$ de la Figura 7.31(a) se aplican a uno de los flip-flops disparados por flanco negativo del circuito 74HC112. Determinar la onda de salida $1Q$.

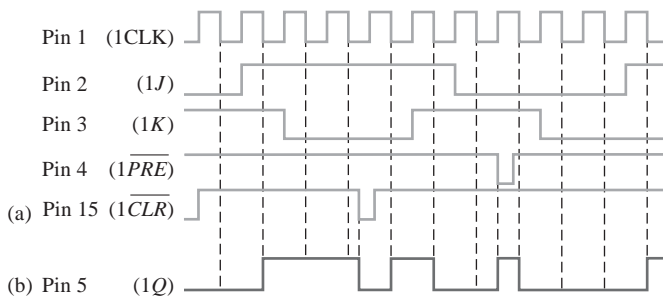


FIGURA 7.31

Solución

La forma de onda resultante $1Q$ se muestra en la Figura 7.31(b). Observe que cada vez que se aplica un nivel BAJO a la entrada $1\overline{PRE}$ o a la $1\overline{CLR}$, el flip-flop pasa a estado SET o RESET independientemente del estado del resto de las entradas.

Problema relacionado

Determinar la forma de onda de salida $1Q$ si se intercambian las señales $1\overline{PRE}$ y $1\overline{CLR}$.

**REVISIÓN DE
LA SECCIÓN 7.2**

1. Describir la principal diferencia entre un latch S-R con entrada de habilitación y un flip-flop S-R disparado por flanco.
2. ¿Cuál es la diferencia en el funcionamiento básico entre un flip-flop J-K y un flip-flop S-R?
3. Suponer que el flip-flop de la Figura 7.21 es del tipo disparado por flanco negativo. Describir la forma de onda de salida, para las mismas señales de reloj y datos (CLK y D).

7.3 CARACTERÍSTICAS DE OPERACIÓN DE LOS FLIP-FLOPS

El funcionamiento, requisitos de operación y limitaciones de los flip-flops se especifican mediante varias características de funcionamiento o parámetros que se encuentran en las hojas de características del dispositivo. Generalmente, las especificaciones son aplicables a todos los flip-flops CMOS y TTL.

Al finalizar esta sección, el lector deberá ser capaz de:

- Definir *retardo de propagación*. ■ Explicar las distintas especificaciones de retardos de propagación.
- Definir *tiempo de establecimiento* y explicar en qué limita el funcionamiento de los flip-flops.
- Definir *tiempo de mantenimiento* y explicar en qué limita el funcionamiento de los flip-flops.
- Explicar el significado de la frecuencia máxima de reloj. ■ Explicar las distintas especificaciones de los anchos de los impulsos. ■ Definir *disipación de potencia* y calcular su valor en un dispositivo determinado. ■ Comparar varias series de flip-flops en función de sus parámetros de funcionamiento.

Retardos de propagación

Se define *retardo de propagación* como el intervalo de tiempo requerido para que se produzca un cambio en la salida una vez que se ha aplicado una señal en la entrada. Existen distintas categorías de retardos de propagación que son importantes en el funcionamiento de los flip-flops:

1. El retardo de propagación t_{PLH} se mide desde el flanco de disparo del impulso de reloj hasta la transición de nivel BAJO a nivel ALTO de la salida. Este retardo se ilustra en la Figura 7.32(a).
2. El retardo de propagación t_{PHL} se mide desde el flanco de disparo de impulso del reloj hasta la transición de nivel ALTO a nivel BAJO de la salida. Este retardo se ilustra en la Figura 7.32(b).
3. El retardo de propagación t_{PLH} medido desde la entrada de inicialización (*preset*) hasta la transición de nivel BAJO a nivel ALTO de la salida. Este retardo se ilustra en la Figura 7.33(a), para una entrada de inicialización activa a nivel BAJO.
4. El retardo de propagación t_{PHL} medido desde la entrada de borrado (*clear*) hasta la transición de nivel ALTO a nivel BAJO de la salida. Este retardo se ilustra en la Figura 7.33(b), para una entrada de borrado activa a nivel BAJO.

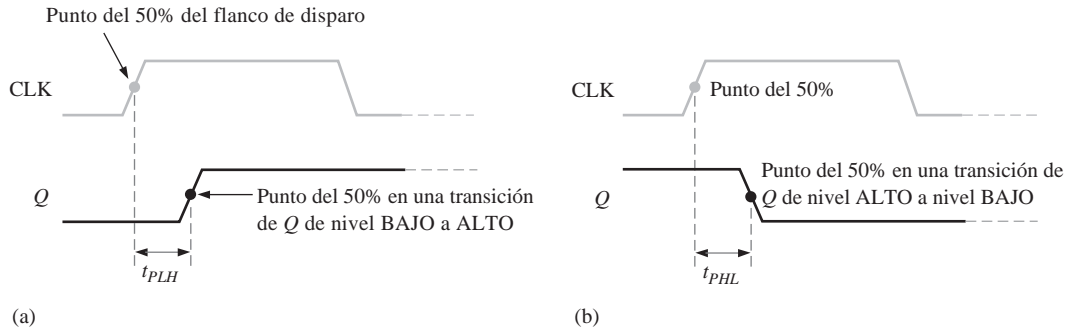


FIGURA 7.32 Retardos de propagación entre el reloj y la salida.

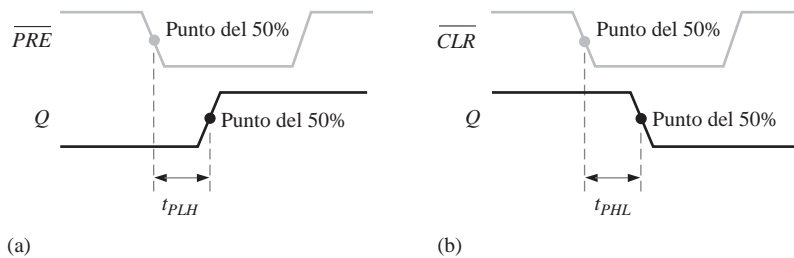


FIGURA 7.33 Retardos de propagación entre la entrada de inicialización y la salida y entre la entrada de borrado y la salida.

Tiempo de establecimiento

El **tiempo de establecimiento**, *setup time* (t_s) es el intervalo mínimo que los niveles lógicos deben mantener constantes en las entradas (J y K , S y R o D) antes de que llegue el flanco de disparo del impulso de reloj, de modo que dichos niveles sincronicen correctamente en el flip-flop. Este intervalo, para el caso de un flip-flop D, se muestra en la Figura 7.34.

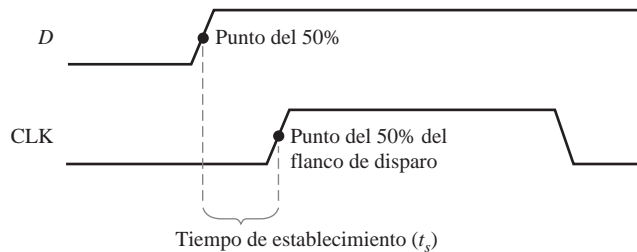


FIGURA 7.34 Tiempo de establecimiento (t_s). El nivel lógico debe estar presente en la entrada D durante un período de tiempo igual o mayor que t_s antes de que el flanco de disparo del impulso de reloj para tener una entrada de datos correcta.

Tiempo de mantenimiento

El **tiempo de mantenimiento**, *hold time* (t_h) es el intervalo mínimo que los niveles lógicos deben mantenerse constantes en las entradas después de que haya pasado el flanco de disparo del impulso de reloj, de modo que

dichos niveles se sincronicen correctamente en el flip-flop. Esto se ilustra, para el caso de un flip-flop D, en la Figura 7.35.

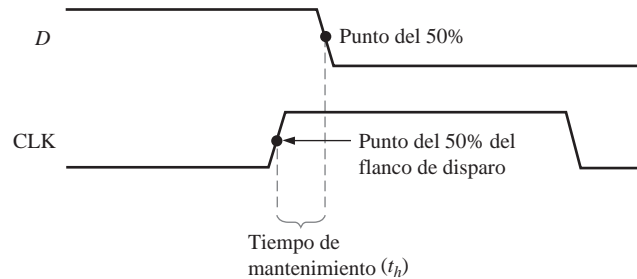


FIGURA 7.35 Tiempo de mantenimiento (t_h). El nivel lógico debe permanecer en la entrada D durante un período de tiempo igual o mayor que t_h después de que el flanco de disparo del impulso de reloj para tener una entrada de datos correcta.

Frecuencia máxima de reloj

La frecuencia máxima de reloj ($f_{m\acute{a}x}$) es la mayor velocidad a la que se puede disparar el flip-flop de manera fiable. Para frecuencias del reloj por encima de la máxima, el flip-flop puede ser incapaz de responder lo suficientemente rápido y su funcionamiento se vería deteriorado.

Anchura de los impulsos

Usualmente, los fabricantes especifican la anchura mínima de los impulsos (t_w) para un funcionamiento adecuado de las entradas de reloj, inicialización y borrado. Típicamente, el reloj se especifica mediante sus intervalos de tiempo mínimo para los niveles ALTO y BAJO.

Disipación de potencia

La **disipación de potencia** de cualquier circuito digital se define como la potencia total consumida por el dispositivo. Por ejemplo, si el flip-flop funciona con una fuente de continua de +5 V y circula por él una corriente de 5 mA, la disipación de potencia es:

$$P = V_{CC} \times I_{CC} = 5 \text{ V} \times 5 \text{ mA} = 25 \text{ mW}$$

Esta disipación de potencia es muy importante en la mayoría de las aplicaciones en las que la capacidad de la fuente de continua (dc) juegue un papel importante. Como ejemplo, vamos a suponer que tenemos un sistema digital que requiere un total de diez flip-flops, y que cada uno de ellos disipa una potencia de 25 mW. El requisito de disipación de potencia total es:

$$P_T = 10 \times 25 \text{ mW} = 250 \text{ mW} = 0,25 \text{ W}$$

Esto nos dice cuál es la potencia de salida necesaria de nuestra fuente de alimentación. Si los flip-flops funcionan con +5 V de continua, entonces la corriente total que tiene que suministrar la fuente es la siguiente:

$$I = \frac{250 \text{ mW}}{5 \text{ V}} = 50 \text{ mA}$$

Tenemos que utilizar una fuente de +5 V que sea capaz de proporcionar al menos 50 mA de corriente.

Comparación de flip-flops específicos

La Tabla 7.5 proporciona una comparación para cuatro flip-flops TTL y CMOS del mismo tipo, en función de los distintos parámetros de funcionamiento discutidos en esta sección.

Parámetro	CMOS		TTL	
	74HC74A	74AHC74	74LS74A	74F74
t_{PHL} (CLK a Q)	17 ns	4,6 ns	40 ns	6,8 ns
t_{PLH} (CLK a Q)	17 ns	4,6 ns	25 ns	8,0 ns
t_{PHL} ($\overline{\text{CLR}}$ a Q)	18 ns	4,8 ns	40 ns	9,0 ns
t_{PLH} ($\overline{\text{PRE}}$ a Q)	18 ns	4,8 ns	25 ns	6,1 ns
t_s (tiempo de setup)	14 ns	5,0 ns	20 ns	2,0 ns
t_h (tiempo de hold)	3,0 ns	0,5 ns	5 ns	1,0 ns
t_w (CLK HIGH)	10 ns	5,0 ns	25 ns	4,0 ns
t_w (CLK LOW)	10 ns	5,0 ns	25 ns	5,0 ns
t_w ($\overline{\text{CLR}}/\overline{\text{PRE}}$)	10 ns	5,0 ns	25 ns	4,0 ns
$f_{\text{máx}}$ (MHz)	35 MHz	170 MHz	25 MHz	100 MHz
Potencia (mW)	0,012 mW	1,1 mW		
Potencia (mW), ciclo de trabajo 50%			44 mW	88 mW

TABLA 7.5 Comparación de los parámetros de funcionamiento para cuatro familias de CI flip-flop del mismo tipo a 25 °C.

CONSEJOS PRÁCTICOS

Una ventaja de los dispositivos CMOS es que pueden operar en un más amplio rango de tensiones continuas de alimentación (normalmente de 2 V a 6 V) que los dispositivos TTL, y, por tanto, se pueden emplear fuentes de alimentación más baratas que no necesitan una regulación precisa. Para los circuitos CMOS también se puede utilizar baterías como fuentes de alimentación primarias o secundarias. Además, tensiones más bajas significan que el CI disipa menos potencia. El inconveniente es que el rendimiento de un circuito CMOS se degrada con tensiones de alimentación bajas. Por ejemplo, la frecuencia máxima de reloj garantizada de un flip-flop CMOS es mucho menor para $V_{\text{CC}} = 2$ V que para $V_{\text{CC}} = 6$ V.

REVISIÓN DE LA SECCIÓN 7.3

- Definir los siguientes parámetros:
 - tiempo de establecimiento
 - tiempo de mantenimiento
- ¿Cuál de todos los flip-flops de la Tabla 7.5 puede funcionar a mayor frecuencia?

7.4 APLICACIONES DE LOS FLIP-FLOPS

En esta sección, se describen tres aplicaciones de carácter general de los flip-flops que nos van a proporcionar una idea básica de cómo pueden utilizarse. En los Capítulos 8 y 9 se tratarán en más detalle las aplicaciones de los flip-flops en contadores y registros.

Al finalizar esta sección, el lector deberá ser capaz de:

- Explicar la aplicación de los flip-flops en el almacenamiento de datos.
- Describir cómo se emplean los flip-flops para la división de frecuencia.
- Explicar cómo se usan los flip-flops en aplicaciones básicas de contadores.

Almacenamiento de datos paralelo

Uno de los requisitos más comunes de los sistemas digitales consiste en almacenar de forma simultánea una serie de bits de datos, procedentes de varias líneas paralelas, en un grupo de flip-flops. Este proceso se ilustra en la Figura 7.36(a), utilizando cuatro flip-flops. Cada una de las cuatro líneas paralelas de datos se conecta a la entrada D de un flip-flop. Las entradas de reloj de los flip-flops se conectan juntas, de forma que los flip-flops son disparados mediante el mismo impulso del reloj. En este ejemplo, se utilizan flip-flops disparados por flanco positivo, por lo que los datos de las entradas D se almacenan simultáneamente en los flip-flops con el flanco positivo de reloj, como se indica en el diagrama de tiempos de la Figura 7.36(b). Además, las entradas de puesta a cero asíncronas (R) se conectan a una línea \overline{CLR} común, que inicialmente pone a cero a todos los flip-flops.

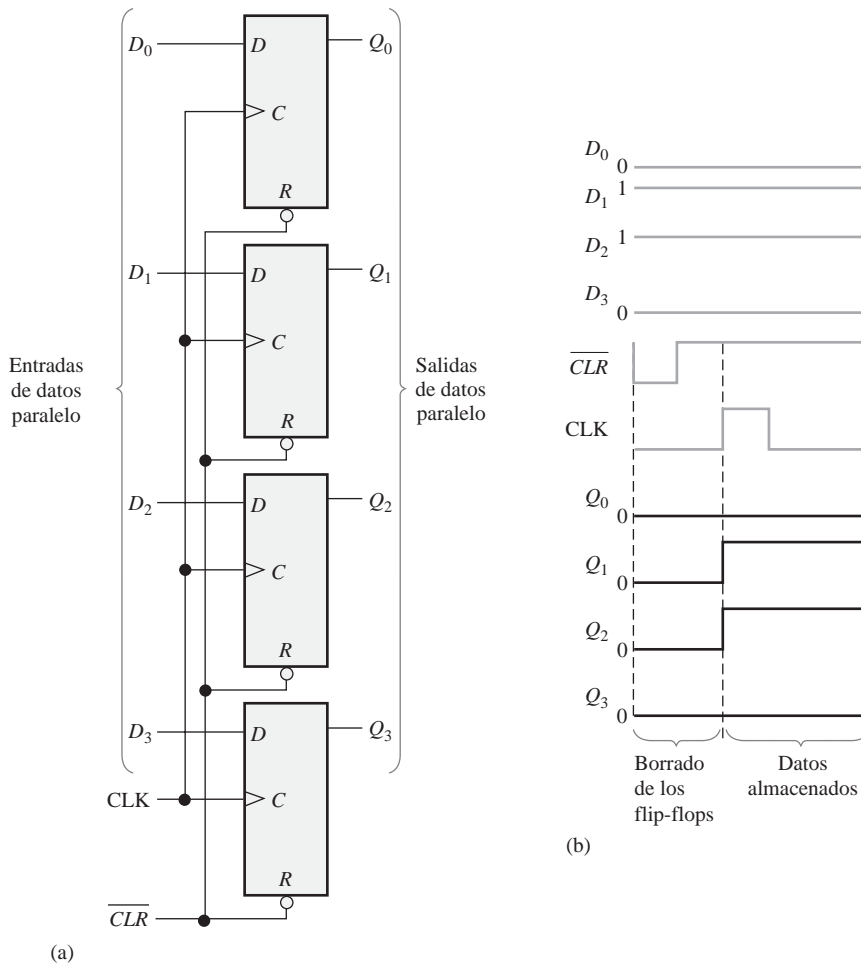


FIGURA 7.36 Ejemplo de utilización de flip-flops en un registro básico para almacenamiento paralelo de datos.

Este grupo de cuatro flip-flops es un ejemplo de un registro básico utilizado para almacenamiento de datos. En los sistemas digitales, los datos se almacenan normalmente en grupos de bits (usualmente ocho o múltiplos de ocho), que representa números, códigos u otras informaciones. Los registros se tratarán en detalle en el Capítulo 9.

División de frecuencia

Otra de las aplicaciones de un flip-flop es la división (reducción) de frecuencia de una señal periódica. Cuando se aplica un tren de impulsos a la entrada de reloj de un flip-flop J-K conectado en modo de basculación ($J = K = 1$), la salida Q es una señal cuadrada que tiene una frecuencia igual a la mitad de la que tiene la señal de reloj. Por tanto, se puede utilizar un único flip-flop como un divisor por 2, como muestra la Figura 7.37. Como puede verse, el flip-flop cambia de estado en cada flanco de disparo del impulso de reloj (flancos positivos en este caso). Esto da lugar a una salida que varía a la frecuencia mitad de la señal de reloj.

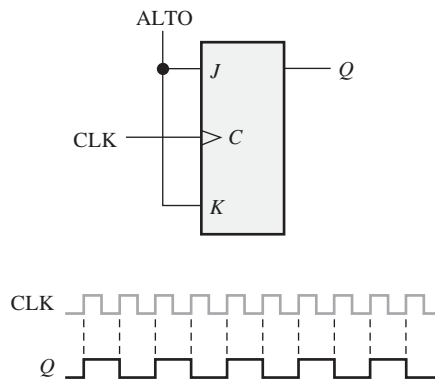


FIGURA 7.37 El flip-flop J-K como dispositivo divisor por 2. La frecuencia de Q es la frecuencia mitad de la señal CLK .

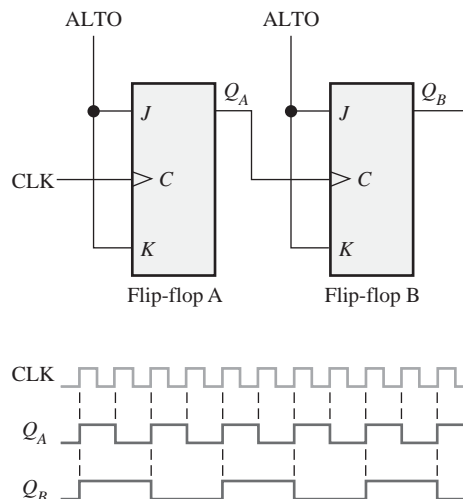


FIGURA 7.38 Ejemplo de utilización de dos flip-flops J-K para dividir la frecuencia de reloj por 4. La frecuencia de Q_A es la frecuencia mitad de CLK y la frecuencia de Q_B es un cuarto de la frecuencia de CLK .

Se pueden conseguir divisiones sucesivas de la frecuencia del reloj conectando la salida de un flip-flop a la entrada de reloj de un segundo flip-flop, como se muestra en la Figura 7.38. El flip-flop B divide la frecuencia de la salida Q_A por 2. La salida Q_B es, por tanto, un cuarto de la frecuencia de la señal de reloj original. En estos diagramas de tiempo no se muestran los retardos de propagación.

Si se conectan varios flip-flops de esta manera, se puede conseguir una división de frecuencias de 2^n , donde n es el número de flip-flops. Por ejemplo, tres flip-flops dividen la frecuencia de reloj por $2^3 = 8$; cuatro flip-flops dividen la frecuencia de reloj por $2^4 = 16$, y así sucesivamente.

EJEMPLO 7.10

Desarrollar la forma de onda f_{out} para el circuito de la Figura 7.39, cuando se aplica una señal cuadrada de 8 kHz en la entrada de reloj del flip-flop A.

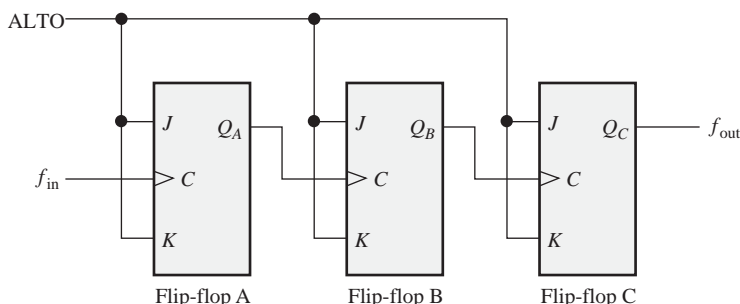


FIGURA 7.39

Solución

Los tres flip-flops están conectados para dividir la frecuencia de entrada por ocho ($2^3 = 8$) y la señal f_{out} se muestra en la Figura 7.40. Dado que se trata de flip-flops disparados por flanco positivo, las salidas cambian durante el flanco positivo del reloj. Hay un impulso de salida por cada ocho impulsos de entrada, de forma que la frecuencia de salida es 1 kHz. Las señales Q_A y Q_B también se muestran.

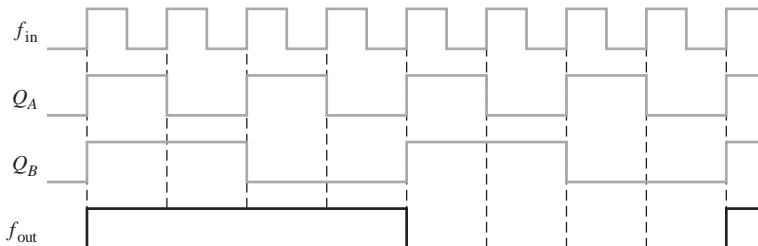


FIGURA 7.40

Problema relacionado ¿Cuántos flip-flops se requieren para dividir una frecuencia entre treinta y dos?

Contadores

Otra de las aplicaciones importantes de los flip-flops son los contadores digitales, que serán tratados en detalle en el Capítulo 8. El concepto se ilustra en la Figura 7.41. Los flip-flops son de tipo J-K disparados por flanco negativo. Ambos flip-flops se encuentran inicialmente en estado RESET. El flip-flop A bascula en las transiciones negativas de cada impulso de reloj. La salida Q del flip-flop A dispara el flip-flop B, de manera que siempre que Q_A realiza una transición de nivel ALTO a nivel BAJO, el flip-flop B bascula. Las señales resultantes Q_A y Q_B se muestran en la figura.

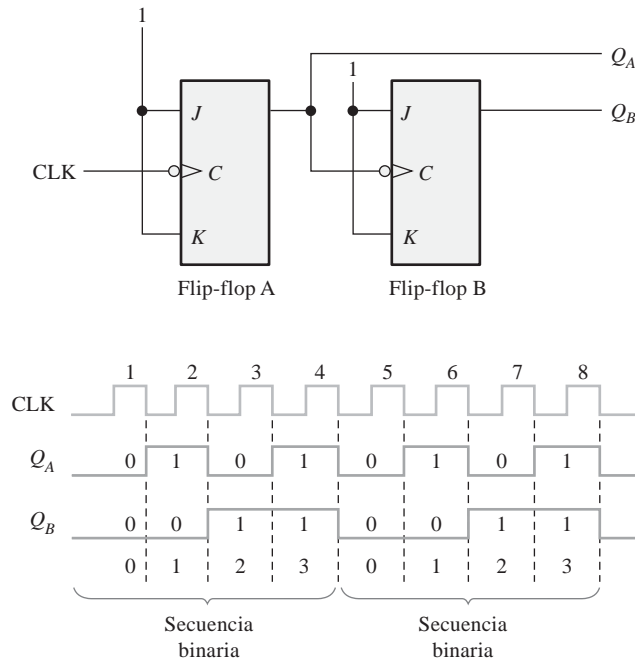


FIGURA 7.41 Flip-flops utilizados para generar una secuencia de cuenta binaria. Se muestran dos repeticiones (00, 01, 10, 11).

Observe la secuencia de Q_A y Q_B en la Figura 7.41. Previamente al impulso de reloj 1, $Q_A = 0$ y $Q_B = 0$; tras el impulso de reloj 1, $Q_A = 1$ y $Q_B = 0$; después del impulso de reloj 2, $Q_A = 0$ y $Q_B = 1$, y tras el impulso de reloj 3, $Q_A = 1$ y $Q_B = 1$. Si se toma Q_A como el bit menos significativo, se produce una secuencia binaria de dos bits a medida que se disparan los flip-flops. Esta secuencia binaria se repite cada cuatro impulsos de reloj, como se muestra en el diagrama de tiempos de la Figura 7.41. Por tanto, los flip-flops siguen una secuencia de 0 a 3 (00, 01, 10, 11) y luego vuelven a 0 para comenzar la misma secuencia de nuevo.

EJEMPLO 7.11

Determinar las formas de onda de salida en función del reloj para Q_A , Q_B y Q_C en el circuito de la Figura 7.42 y mostrar la secuencia binaria representada por estas señales.

Solución

El diagrama de tiempos de salida se muestra en la Figura 7.43. Observe que las salidas cambian en los flancos negativos de los impulsos de reloj. Las salidas siguen la secuencia binaria 000, 001, 010, 011, 100, 101, 110 y 111, tal y como se indica.

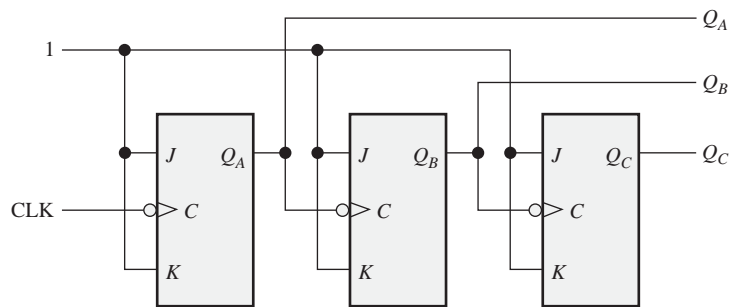


FIGURA 7.42

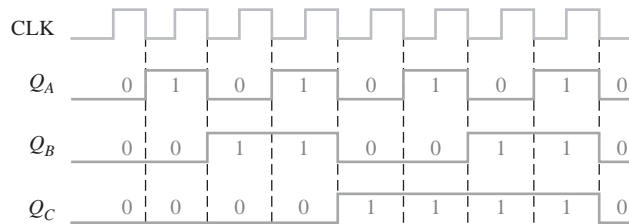


FIGURA 7.43

Problema relacionado ¿Cuántos flip-flops son necesarios para generar una secuencia binaria que represente los números decimales de 0 a 15?

REVISIÓN DE LA SECCIÓN 7.4

1. ¿Cómo se denomina un conjunto de flip-flops utilizado para almacenamiento de datos?
2. ¿Cómo se tiene que conectar un flip-flop J-K para funcionar como un dispositivo divisor por 2?
3. ¿Cuántos flip-flops son necesarios para obtener un dispositivo divisor por 64?

7.5 MONOESTABLES

Los *monoestables* son dispositivos multivibradores que sólo tienen un único estado estable. Normalmente, un monoestable se encuentra en su estado estable, cambiando a su estado inestable sólo cuando se dispara. Una vez que se ha disparado, el monoestable permanece en su estado inestable durante un determinado intervalo de tiempo, volviendo a continuación a su estado estable. El tiempo que este dispositivo permanece en el estado inestable determina la anchura del impulso de su salida.

Al finalizar esta sección, el lector deberá ser capaz de:

- Describir el funcionamiento básico de un monoestable.
- Explicar cómo funciona un monoestable no redispensible.
- Explicar cómo funciona un monoestable redispensible.
- Configurar los monoestables 74121 y 74LS122 para obtener una anchura de impulso determinada.
- Reconocer el símbolo de un *trigger* Schmitt y explicar qué significa.

▲ *Un monoestable genera un único impulso cada vez que se dispara.*

La Figura 7.44 muestra un monoestable (multivibrador de un solo estado) básico formado por una puerta lógica y un inversor. Cuando se aplica un impulso a la entrada de **disparo** (*trigger*), la salida de la puerta G_1 pasa a nivel BAJO. Esta transición de nivel ALTO a nivel BAJO se acopla por medio del condensador a la entrada del inversor G_2 . La presencia de un aparente nivel BAJO en G_2 hace que su salida pase a nivel ALTO. Este nivel ALTO se realimenta a la puerta G_1 , manteniendo su salida a nivel BAJO. Hasta este punto, el impulso de disparo ha hecho que la salida del monoestable, Q , sea un nivel ALTO.

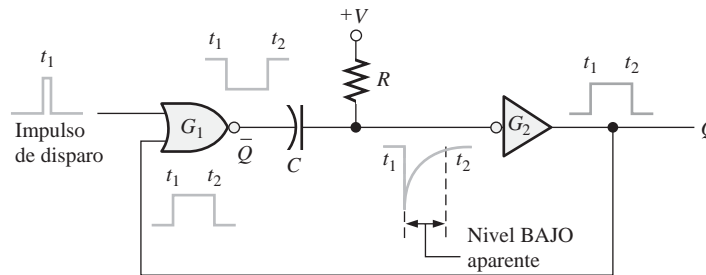


FIGURA 7.44 Circuito monoestable simple.

El condensador comienza inmediatamente a cargarse a través de R hasta alcanzar su tensión máxima. La velocidad de carga está determinada por la constante de tiempo RC . Cuando el condensador se carga hasta un determinado nivel, el cual aparece como un nivel ALTO en G_2 , la salida pasa de nuevo a nivel BAJO.

En resumen, la salida del inversor G_2 pasa a nivel ALTO en respuesta a la entrada de disparo. Permanece a nivel ALTO durante un tiempo definido por la constante de tiempo, RC , y al final de este intervalo pasa a nivel BAJO. De esta manera, un único impulso estrecho produce un único impulso de salida cuyo período se controla mediante la constante de tiempo RC . Este modo de operación se puede ver en la Figura 7.44.

En la Figura 7.45(a) se muestra el típico símbolo lógico de un monoestable, y en la 7.45(b) se presenta el mismo símbolo con R y C externos. Los dos tipos fundamentales de circuitos integrados monoestables son los redispalables y los no redispalables.

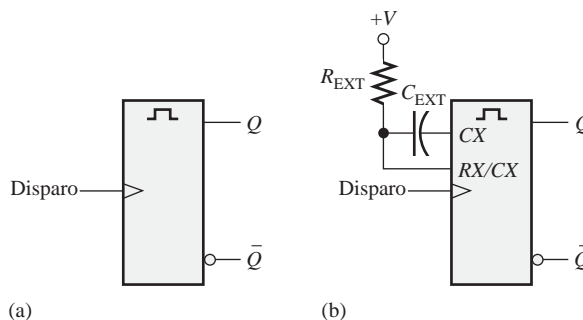


FIGURA 7.45 Símbolos lógicos básicos de los monoestables. CX y RX indican componentes externos.

Un monoestable no redispalable no responderá a ningún impulso de disparo adicional, desde el momento en que se pasa a su estado inestable hasta que retorna a su estado estable. En otras palabras, ignorará cualquier impulso de disparo que ocurra antes de que termine el periodo inestable. El tiempo que permanece el monoestable en su estado inestable es la anchura del impulso de salida.

La Figura 7.46 presenta un monoestable no redisparable, disparado a intervalos mayores y menores que su anchura de impulso. Observe que, en el segundo caso, los impulsos adicionales se ignoran.

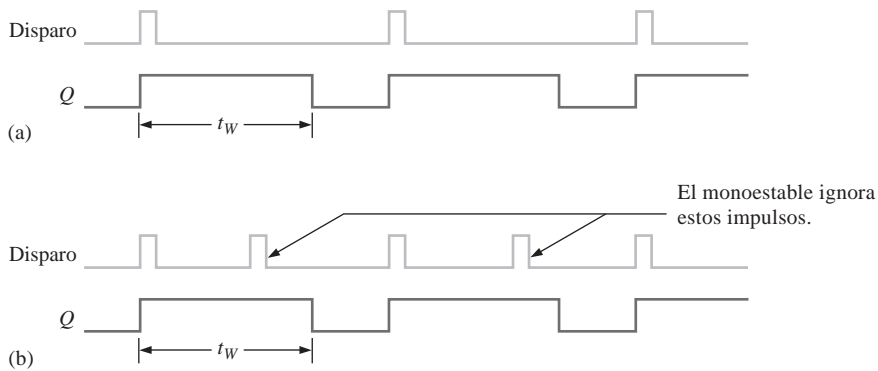


FIGURA 7.46 Funcionamiento de un monoestable no redisparable.

Un monoestable redisparable puede ser disparado antes de que retorne a su estado estable. El resultado del redisparo es una ampliación de la anchura del impulso, como se muestra en la Figura 7.47.

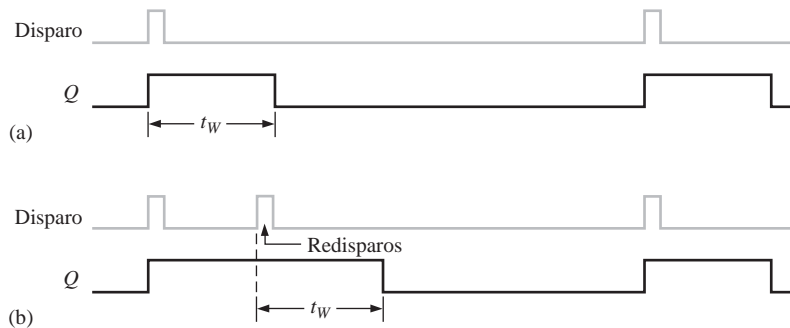
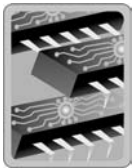


FIGURA 7.47 Funcionamiento de un monoestable redisparable.

MONOESTABLE NO REDISPARABLE 74121

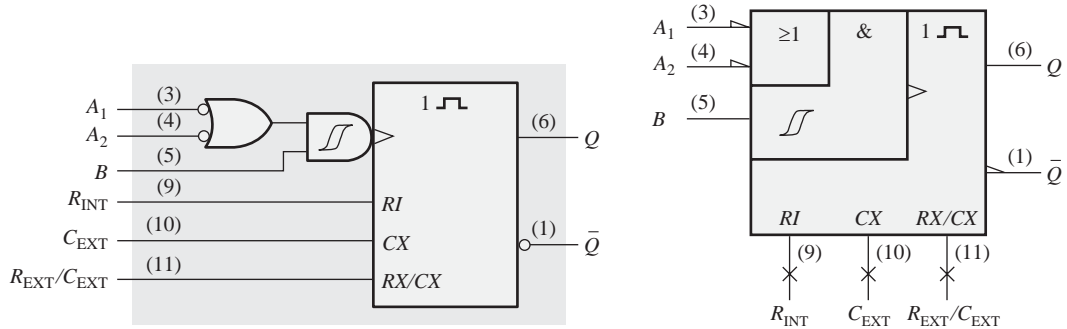


El 74121 es un ejemplo de un circuito monoestable integrado no redisparable. Como muestra la Figura 7.48, está previsto para conectarse a R y C externos. Las entradas etiquetadas como A_1 , A_2 y B son entradas de activación de disparo. La entrada R_{INT} está conectada a una resistencia interna de temporización de $2\text{ k}\Omega$.

Establecimiento de la anchura del impulso. Cuando no se utiliza ningún componente de temporización externo y la resistencia de temporización interna (R_{INT}) se conecta a V_{CC} , como se muestra en la Figura 7.49(a) se produce un impulso típico de unos 30 ns de anchura. La anchura del impulso se puede ajustar entre 30 ns y 28 s utilizando los componentes externos. La Figura 7.49(b) muestra la conexión de una resistencia interna ($2\text{ k}\Omega$) y un condensador externo. La parte (c) ilustra la conexión de una resistencia y un condensador externos. La anchura del impulso de salida se ajusta mediante los valores de la resistencia ($R_{INT} = 2\text{ k}\Omega$, R_{EXT} variable) y del condensador de acuerdo con la siguiente fórmula:

Ecuación 7.1 $t_w = 0,7 RC_{EXT}$

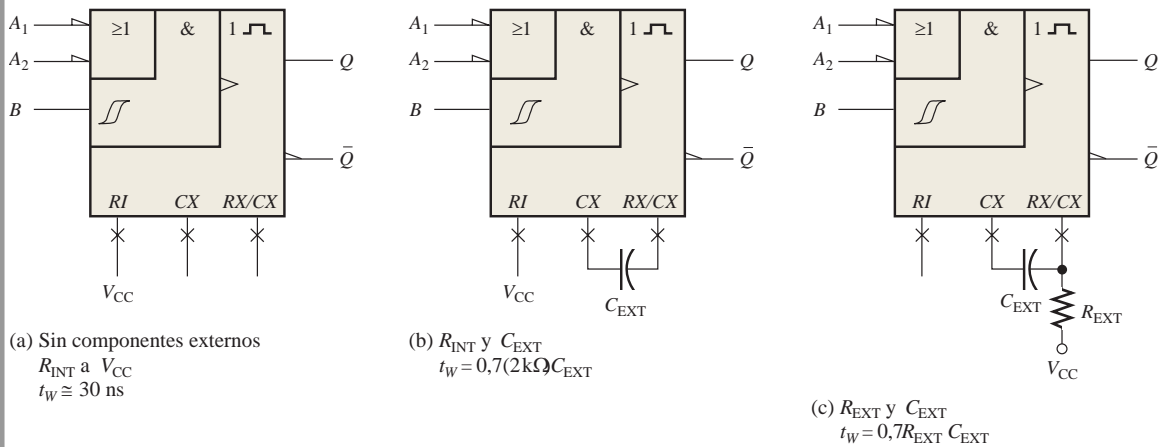
donde R puede ser tanto R_{INT} como R_{EXT} . Cuando R se expresa en kilohmios ($k\Omega$) y C_{EXT} en picofaradios (pF), la anchura del impulso de salida t_w se obtiene en nanosegundos (ns).



(a) Símbolo lógico tradicional

(b) Símbolo lógico del estándar ANSI/IEEE 91-1984 (× = conexión no lógica). “1” es el símbolo de cualificación de un monoestable no redispensible.

FIGURA 7.48 Símbolos lógicos del monoestable no redispensible 74121.



(a) Sin componentes externos
 R_{INT} a V_{CC}
 $t_w \cong 30$ ns

(b) R_{INT} y C_{EXT}
 $t_w = 0,7(2k\Omega)C_{EXT}$

(c) R_{EXT} y C_{EXT}
 $t_w = 0,7R_{EXT} C_{EXT}$

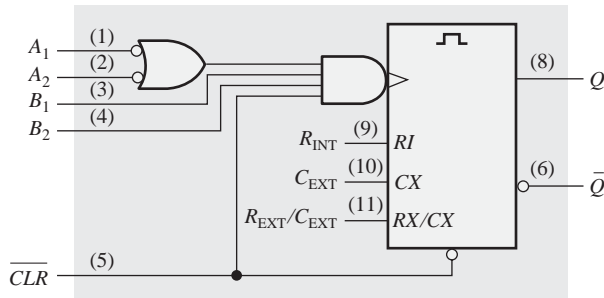
FIGURA 7.49 Tres maneras de ajustar la anchura de los impulsos en un 74121.

Símbolo del trigger Schmitt El símbolo \int indica una entrada de un *trigger* Schmitt. Este tipo de entrada emplea un circuito de umbral especial que produce **histéresis**, una característica que previene la conmutación errática entre estados cuando una tensión de disparo que varía muy lentamente se encuentra en las cercanías de un nivel de entrada crítica. Esto permite que se produzcan disparos fiables incluso cuando la entrada esté variando tan lentamente como a 1 voltio/segundo.

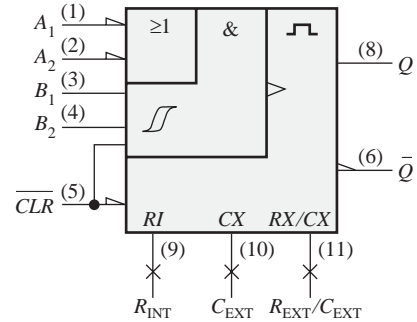
MONOESTABLE REDISPARABLE 74LS122



El 74LS122 es un ejemplo de un monoestable redispensible con entrada de borrado (*clear*). También está diseñado para añadir *R* y *C* externas, como muestra la Figura 7.50. Las entradas etiquetadas como A_1 , A_2 , B_1 y B_2 son entradas de activación de disparo.



(a) Símbolo lógico tradicional




(b) Símbolo lógico del ANSI/IEEE St. 91-1984 (× = conexión no lógica).  es el símbolo de cualificación de un monoestable disparable

FIGURA 7.50 Símbolo lógico del monoestable redispensible 74LS122.

Sin ningún componente adicional se obtiene un impulso de unos 45 ns de anchura. Se pueden conseguir impulsos más anchos mediante el uso de componentes externos. La fórmula general para calcular los valores de estos componentes para una determinada anchura del impulso (t_w) es:

Ecuación 7.2
$$t_w = 0,32RC_{EXT} \left(1 + \frac{0,7}{R} \right)$$

donde 0,32 es una constante determinada por el tipo particular de monoestable, *R* se expresa en $k\Omega$ y puede ser tanto la resistencia interna como la externa, C_{EXT} se expresa en pF y t_w en ns. La resistencia interna vale 10 $k\Omega$ y puede utilizarse en lugar de una resistencia externa; observe la diferencia entre esta fórmula y la correspondiente del 74121, mostrada en la Ecuación 7.1.

EJEMPLO 7.12

Una determinada aplicación requiere un monoestable con una anchura de impulso de aproximadamente 100 ms. Utilizando un 74121, dibujar las conexiones y hallar los valores de sus componentes.

Solución

Arbitrariamente se selecciona $R_{EXT} = 39 \text{ k}\Omega$ y se calcula la capacidad necesaria.

$$t_w = 0,7R_{EXT}C_{EXT} \qquad C_{EXT} = \frac{t_w}{0,7R_{EXT}}$$

donde C_{EXT} está en pF, R_{EXT} está en $k\Omega$ y t_w en ns. Dado que $100 \text{ ms} = 1 \times 10^8 \text{ ns}$,

$$C_{EXT} = \frac{1 \times 10^8 \text{ ns}}{0,7(39k\Omega)} = 3,66 \times 10^{-6} \text{ pF} = \mathbf{3,66 \mu F}$$

Un condensador estándar de $3,3 \mu F$ proporcionará una anchura de impulso de salida de 91 ms. Las conexiones adecuadas se muestran en la Figura 7.51. Para conseguir una anchura de impulso más próxima a 100 ms, se pueden probar otras combinaciones de valores para R_{EXT} y C_{EXT} . Por ejemplo, $R_{EXT} = 68 k\Omega$ y $C_{EXT} = 2,2 \mu F$ proporciona una anchura de impulso de 105 ms.

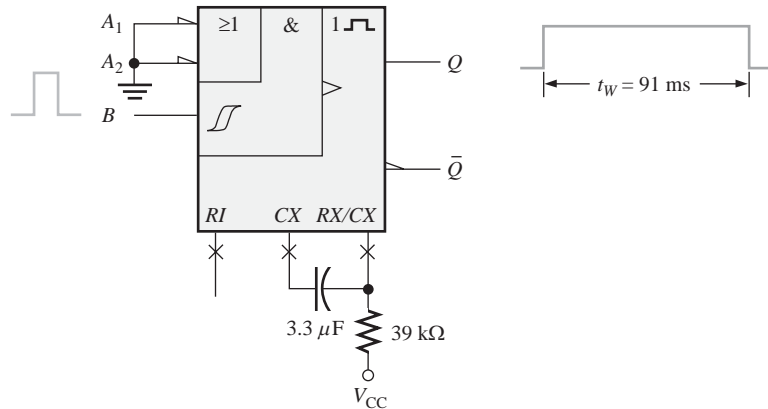


FIGURA 7.51

Problema relacionado Utilizar un condensador externo junto con R_{INT} , para producir un impulso de salida de anchura $10 \mu s$ en un 74121.

EJEMPLO 7.13

Determinar los valores de R_{EXT} y C_{EXT} que producen un impulso de anchura $1 \mu s$, cuando se conectan a un 74LS122.

Solución

Suponer un valor de $C_{EXT} = 560 \text{ pF}$ y luego calcular R_{EXT} . La anchura del impulso t_w debe expresarse en ns y C en pF. R_{EXT} se obtendrá en $k\Omega$.

$$\begin{aligned} t_w &= 0,32R_{EXT}C_{EXT} \left(1 + \frac{0,7}{R_{EXT}} \right) = 0,32R_{EXT}C_{EXT} + 0,7 \left(\frac{0,32R_{EXT}C_{EXT}}{R_{EXT}} \right) \\ &= 0,32R_{EXT}C_{EXT} + (0,7)(0,32)C_{EXT} \\ R_{EXT} &= \frac{t_w - (0,7)(0,32)C_{EXT}}{0,32C_{EXT}} = \frac{t_w}{0,32C_{EXT}} - 0,7 \\ &= \frac{100 \text{ ns}}{(0,32)560 \text{ pF}} - 0,7 = \mathbf{4,88 k\Omega} \end{aligned}$$

Utilizar un valor estándar de $4,7\text{ k}\Omega$.

Problema relacionado

Dibujar las conexiones y calcular los valores de los distintos componentes para un monoestable 74LS122, que tiene un impulso de salida de $5\ \mu\text{s}$ de anchura. Suponer que $C_{\text{EXT}} = 560\ \text{pF}$.

Aplicación

Una aplicación práctica de los monoestables es un temporizador secuencial, que puede utilizarse para encender una serie de luces. Este tipo de circuito puede emplearse, por ejemplo, en una autopista en construcción para indicar cambios sucesivos de carril.

La Figura 7.52 muestra tres monoestables 74LS122 conectados como temporizador secuencial. Este circuito particular produce una secuencia de tres impulsos de 1 segundo. El primer monoestable se dispara mediante el cierre de un interruptor o mediante un impulso de entrada de baja frecuencia, que genera un impulso de salida de 1 segundo. Cuando el primer monoestable (ME 1) pasa a su estado estable y pasa a nivel BAJO, el segundo monoestable (ME 2) se dispara, produciendo también un impulso de salida de 1 segundo. Cuando este segundo impulso pasa a nivel BAJO, el tercer monoestable (ME 3) se dispara, produciéndose el tercer impulso de 1 segundo. El diagrama de tiempos de salida se muestra en la figura. Se pueden realizar variaciones de esta configuración básica para producir diversas salidas de temporización.

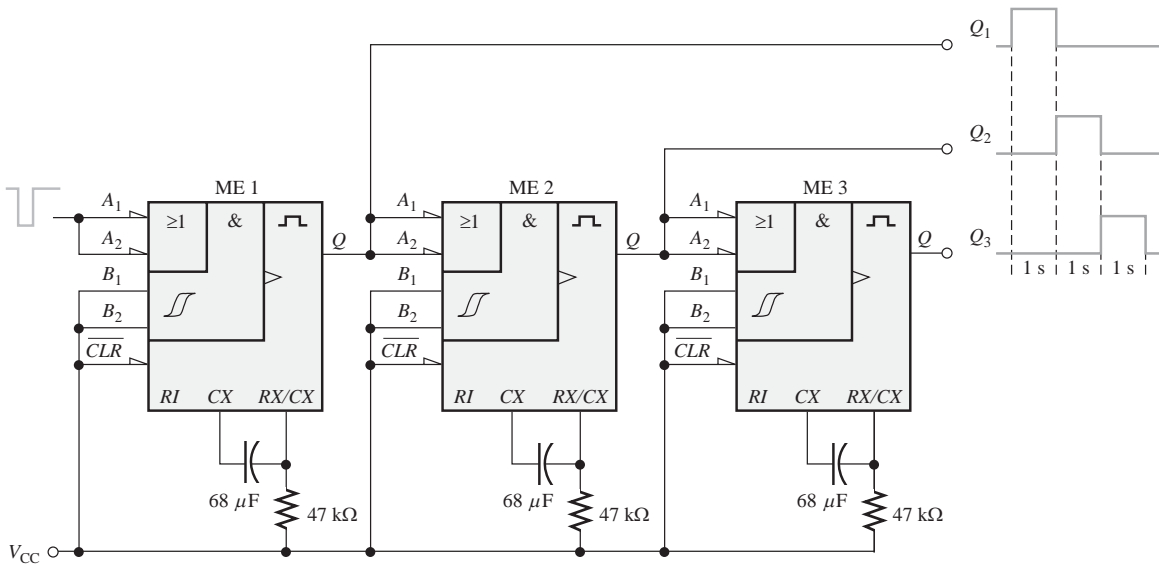


FIGURA 7.52 Circuito de temporización secuencial utilizando tres monoestables 74LS122.

REVISIÓN DE LA SECCIÓN 7.5

1. Describir las diferencias entre un monoestable no redispensible y uno redispensible.
2. ¿Cómo se ajusta la anchura del impulso en la mayoría de los circuitos integrados monoestables?

7.6 EL TEMPORIZADOR 555

El *temporizador* 555 es un dispositivo versátil y muy utilizado, porque puede ser configurado de dos modos distintos, bien como multivibrador monoestable o como multivibrador a estable (oscilador). Un multivibrador a estable no tiene estados estables y varía, por tanto, una y otra vez (oscila) entre dos estados inestables, sin utilizar un circuito de disparo externo.

Al finalizar esta sección, el lector deberá ser capaz de:

- Describir los elementos básicos de un temporizador 555.
- Configurar un temporizador 555 como monoestable.
- Configurar un temporizador 555 como oscilador.

Funcionamiento básico

▲ *Un temporizador 555 puede operar como monoestable o como oscilador (aestable).*

En la Figura 7.53 se muestra un diagrama funcional con los componentes internos de un temporizador 555. Los comparadores son dispositivos cuyas salidas están a nivel ALTO cuando la tensión en la entrada positiva (+) es mayor que la tensión en la entrada negativa (-), y están a nivel BAJO cuando la tensión de entrada negativa es mayor que la tensión de entrada positiva. El divisor de tensión, formado por tres resistencias de $5k\Omega$, proporciona un nivel de disparo de $1/3V_{CC}$ y un nivel umbral de $2/3V_{CC}$. La entrada de la tensión de control (pin 5) se puede emplear para ajustar externamente los niveles de disparo y umbral a otros valores en caso necesario. Cuando la entrada de disparo, normalmente a nivel ALTO, desciende momentáneamente por debajo de $1/3 V_{CC}$, la salida del comparador B conmuta de nivel BAJO a nivel ALTO y pone en estado SET al latch S-R, haciendo que la salida (pin 3) pase a nivel ALTO y bloqueando el transistor de descarga Q_1 . La salida permanecerá a nivel ALTO hasta que la tensión umbral, normal-

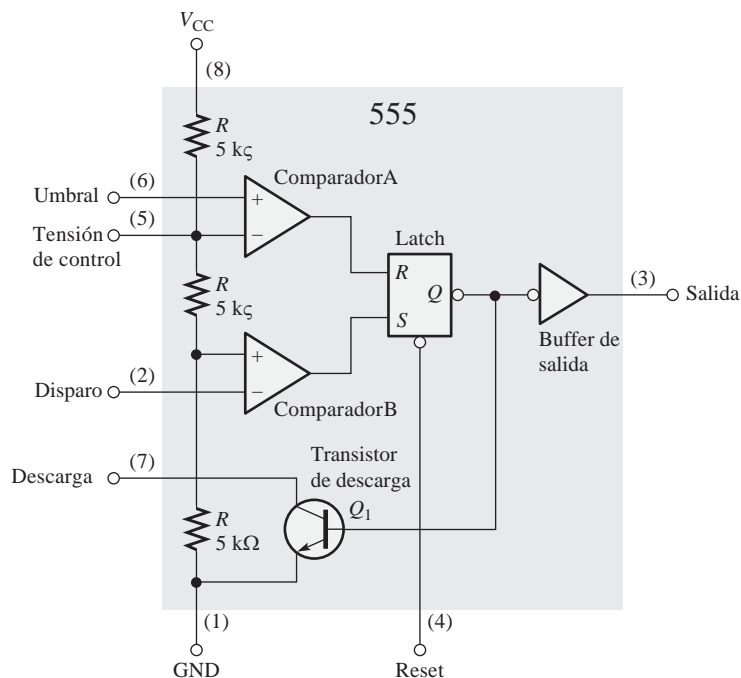


FIGURA 7.53 Diagrama funcional interno de un temporizador 555 (la numeración de pines se indica entre paréntesis).

mente a nivel BAJO sobrepase $2/3$ de V_{CC} y haga que la salida del comparador A conmute de nivel BAJO a nivel ALTO. Esto hace que el latch pase a estado RESET, con lo que la salida se pone de nuevo a nivel BAJO, de manera que el transistor de descarga se activa. La entrada de puesta a cero (RESET) externa se puede utilizar para poner el latch a cero, independientemente del circuito umbral. Las entradas de disparo y umbral (pines 2 y 6) se controlan mediante componentes externos, para establecer el modo de funcionamiento como monoestable o aestable.

Funcionamiento como monoestable

Para configurar un temporizador 555 como monoestable no redisparable, se utilizan una resistencia y un condensador externos, tal como se muestra en la Figura 7.54. La anchura del impulso de salida se determina mediante la constante de tiempo, que se calcula a partir de R_1 y C_1 según la siguiente fórmula:

Ecuación 7.3
$$t_w = 1,1 R_1 C_1$$

La entrada de la tensión de control no se utiliza y se conecta a un condensador de desacoplo C_2 , para evitar la aparición de ruido que pudiera afectar los niveles umbral y de disparo

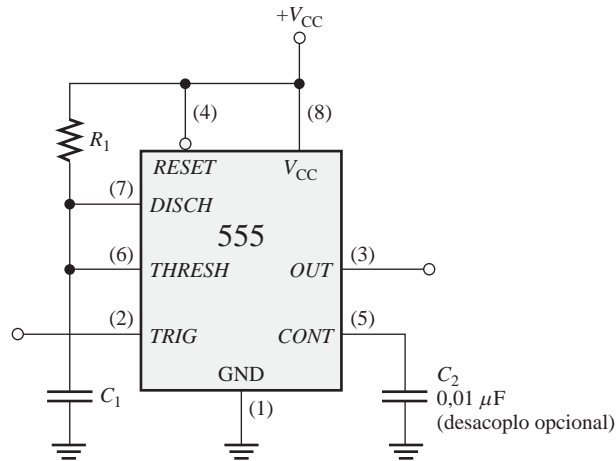


FIGURA 7.54 El temporizador 555 conectado como monoestable.

Antes de aplicar el impulso de disparo, la salida está a nivel BAJO y el transistor de descarga Q_1 conduce, manteniendo C_1 descargado, como se muestra en la Figura 7.55(a). Cuando se aplica un impulso de disparo negativo en el instante t_0 , la salida pasa a nivel ALTO y el transistor de descarga se bloquea, permitiendo al condensador C_1 comenzar a cargarse a través de R_1 , como se muestra en la parte (b). Cuando C_1 se ha cargado hasta $1/3$ de V_{CC} , la salida pasa de nuevo a nivel BAJO en t_1 y Q_1 entra en conducción inmediatamente, descargándose C_1 , como se indica en la parte (c). Como puede ver, la velocidad de carga de C_1 determina cuánto tiempo va a estar la salida a nivel ALTO.

EJEMPLO 7.14

¿Cuál es la anchura del impulso de salida para un circuito monoestable 555 con $R_1 = 2,2 \text{ k}\Omega$ y $C_1 = 0,01 \mu\text{F}$?

Solución

A partir de la Ecuación 7.3, tenemos que la anchura del impulso es:

$$t_w = 1,1R_1C_1 = 1,1(2,2\text{ k}\Omega)(0,01\mu\text{F}) = 24,2\mu\text{s}$$

Problemas relacionado Para $C_1 = 0,01\mu\text{F}$, determinar el valor de R_1 para una anchura de impulso de 1ms.

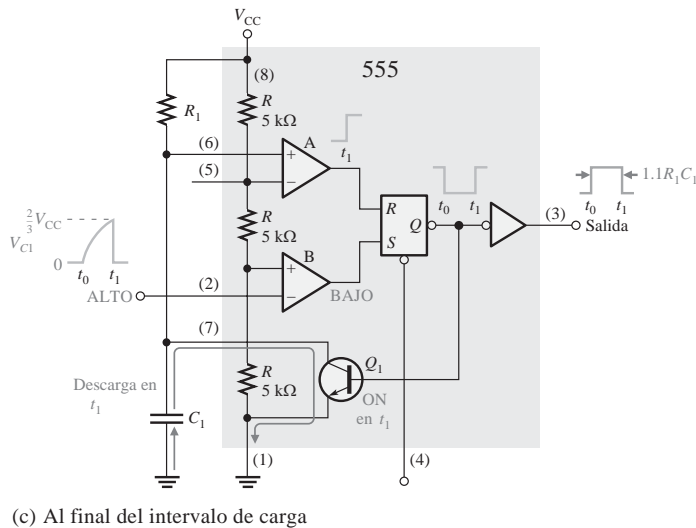
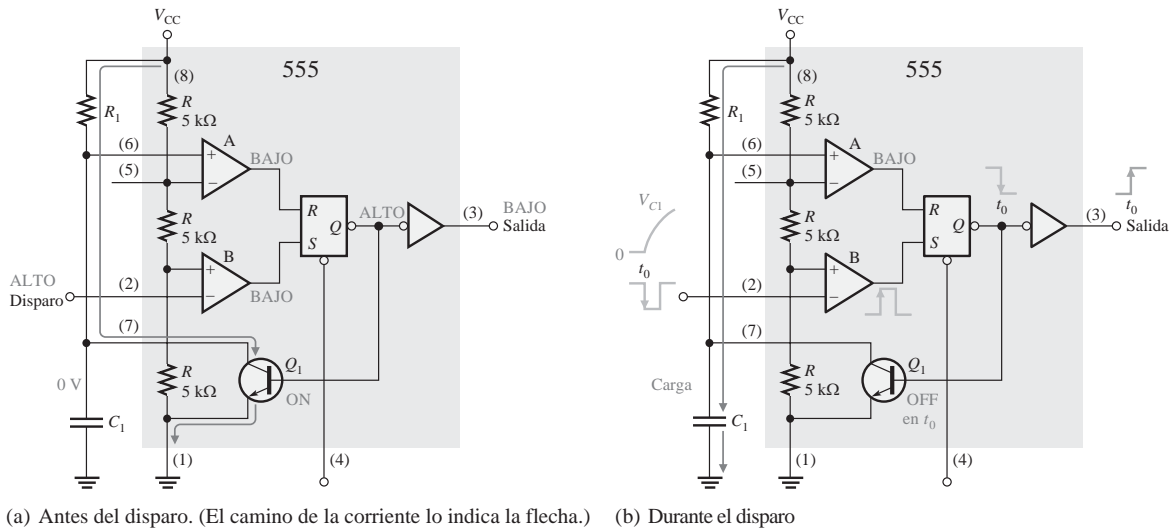


FIGURA 7.55 Funcionamiento del temporizador 555 configurado como monoestable.

Funcionamiento como aestable

En la Figura 7.56 se muestra un temporizador 555 conectado para funcionar como multivibrador *aestable*, que es un **oscilador** no sinusoidal. Observe que, en este caso, la entrada umbral (*THRESH*) está conectada a la entrada de disparo (*TRIG*). Los componentes externos R_1 , R_2 y C_1 conforman la red de temporización que

determina la frecuencia de oscilación. El condensador C_2 de $0,01 \mu\text{F}$ conectado a la entrada de control ($CONT$) sirve únicamente para desacoplar y no afecta en absoluto al funcionamiento del resto del circuito; en algunos casos se puede eliminar.

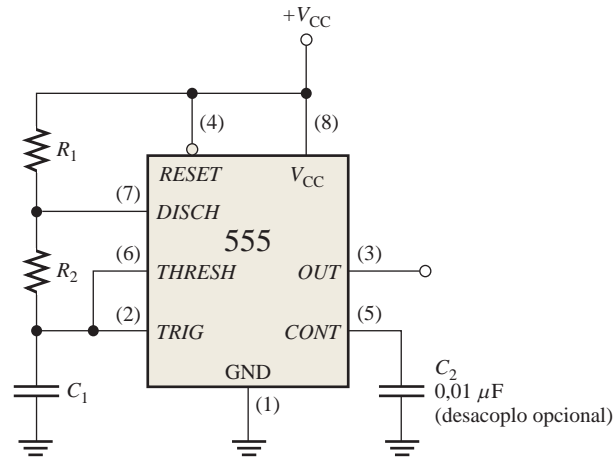


FIGURA 7.56 El temporizador 555 configurado como multivibrador a estable (oscilador).



NOTAS INFORMÁTICAS

Todas las computadoras requieren una fuente de temporización para proporcionar señales de reloj precisas. La sección de temporización controla todas las temporizaciones del sistema y es responsable del correcto funcionamiento del hardware del sistema. Normalmente, la sección de temporización consta de un oscilador controlado de cristal y de contadores para realizar la división de frecuencia. El uso de un oscilador de alta frecuencia y de divisores para obtener una frecuencia menor proporciona una mayor precisión y estabilidad en frecuencia.

Inicialmente, cuando se conecta la alimentación, el condensador (C_1) está descargado y, por tanto, la tensión de disparo (pin 2) es 0 V. Esto da lugar a que la salida del comparador B esté a nivel ALTO y la salida del comparador A a nivel BAJO, forzando la salida del latch, y por consiguiente la base de Q_1 a nivel BAJO, manteniendo el transistor bloqueado. A continuación, C_1 comienza a cargarse a través de R_1 y R_2 , tal como se indica en la Figura 7.57. Cuando la tensión del condensador alcanza el valor de $1/3 V_{CC}$, el comparador B cambia a su nivel de salida BAJO, y cuando la tensión del condensador alcanza el valor de $2/3 V_{CC}$, el comparador A cambia a su nivel de salida ALTO. Esto pone en estado de RESET al latch, haciendo que la base de Q_1 pase a nivel ALTO, activando el transistor. Esta secuencia origina un camino de descarga para el condensador a través de R_2 y del transistor, tal como se indica. El condensador comienza ahora a descargarse, haciendo que el comparador A pase a nivel BAJO. En el momento en que el condensador se descarga hasta el valor $1/3 V_{CC}$, el comparador B conmuta a nivel ALTO, poniendo al latch en estado SET, lo que hace que la base de Q_1 se ponga a nivel BAJO, bloqueando el transistor. De nuevo comienza otro ciclo de carga, y el proceso completo se repite. El resultado es una señal de salida rectangular cuyo ciclo de trabajo depende de los valores de R_1 y R_2 . La frecuencia de oscilación viene dada por la siguiente fórmula, o puede también hallarse utilizando el gráfico de la Figura 7.58.

Ecuación 7.4
$$f = \frac{1,44}{(R_1 + 2R_2)C_1}$$

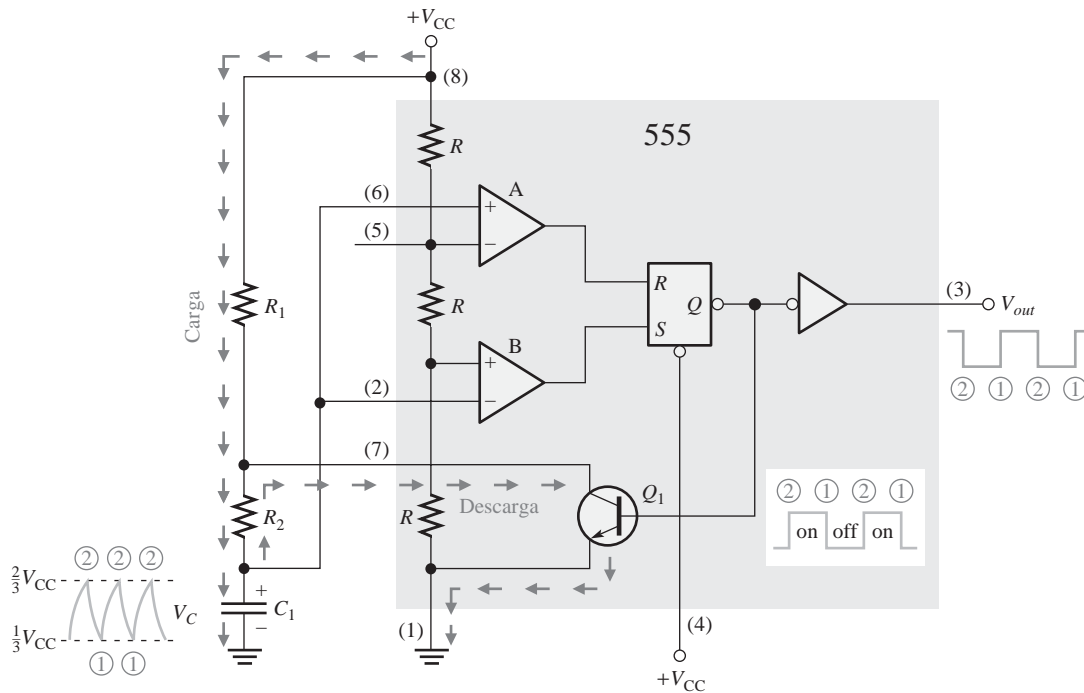


FIGURA 7.57 Funcionamiento del temporizador 555 configurado en modo a estable.

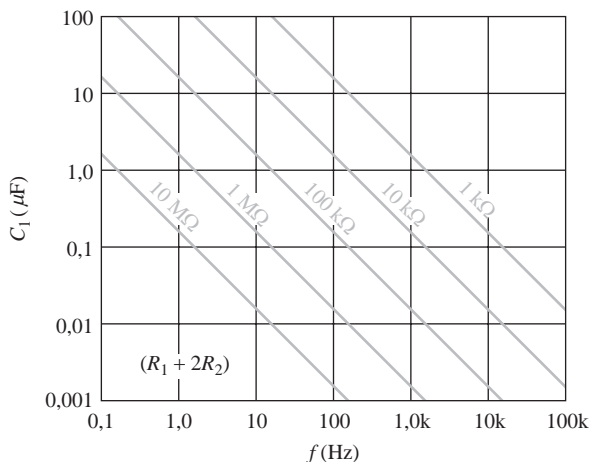


FIGURA 7.58 Frecuencia de oscilación en función de C_1 y $R_1 + 2R_2$. Las líneas diagonales representan los valores de $R_1 + 2R_2$.

El ciclo de trabajo de la salida puede ser ajustado seleccionando R_1 y R_2 . Dado que C_1 se carga a través de $R_1 + R_2$ y se descarga únicamente a través de R_2 , se pueden conseguir ciclos de trabajo de un mínimo del 50 por ciento aproximadamente, si $R_2 \gg R_1$, de forma que los tiempos de carga y descarga sean aproximadamente iguales.

La expresión para el ciclo de trabajo se obtiene de la manera siguiente. El intervalo de tiempo en que la salida está a nivel ALTO (t_H) representa lo que tarda C_1 en cargarse desde $1/3 V_{CC}$ hasta $2/3 V_{CC}$. Esto se expresa como:

Ecuación 7.5 $t_H = 0,7(R_1 + R_2)C_1$

El intervalo de tiempo durante el que la salida está a nivel BAJO (t_L) representa lo que tarda C_1 en descargarse desde $1/3 V_{CC}$ hasta $2/3 V_{CC}$. Esto se expresa como:

Ecuación 7.6 $t_L = 0,7R_2C_1$

El período, T , de la señal de salida es la suma de t_H y t_L . Esto es el recíproco de f en la Ecuación (7.4).

$$T = t_H + t_L = 0,7(R_1 + 2R_2)C_1$$

Finalmente, el ciclo de trabajo es:

$$\text{Ciclo de trabajo} = \frac{t_H}{T} = \frac{t_H}{t_H + t_L}$$

Ecuación 7.7 $\text{Ciclo de trabajo} = \left(\frac{R_1 + R_2}{R_1 + 2R_2} \right) 100\%$

Para conseguir ciclos de trabajo menores que el 50 por ciento, se puede modificar el circuito de la Figura 7.56, de modo que C_1 se cargue sólo a través de R_1 y se descargue a través de R_2 . Esto se consigue mediante un diodo D_1 colocado tal y como se muestra en la Figura 7.59. El ciclo de trabajo se puede hacer menor que el 50 por ciento, haciendo R_1 menor que R_2 . Bajo esta condición, la expresión para el ciclo de trabajo es:

Ecuación 7.8 $\text{Ciclo de trabajo} = \left(\frac{R_1}{R_1 + R_2} \right) 100\%$

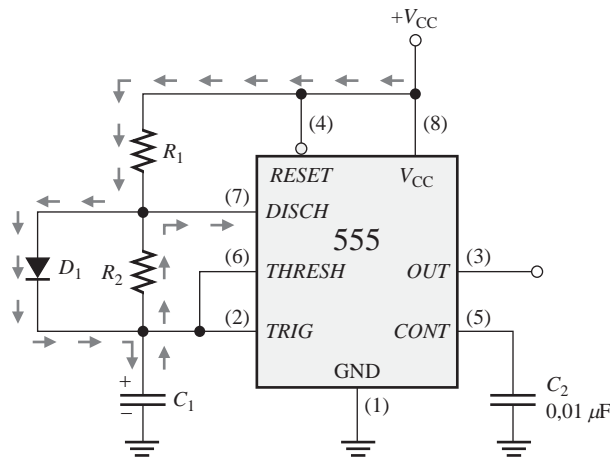
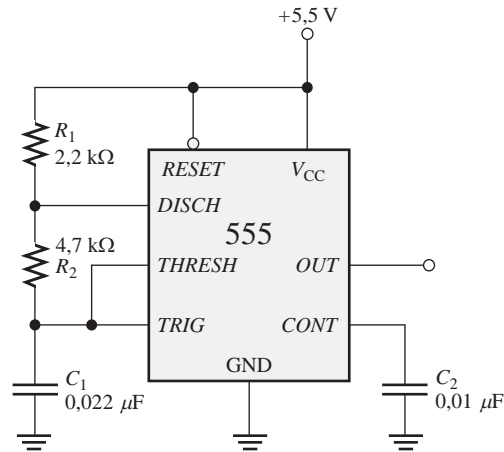


FIGURA 7.59 La adición de un diodo D_1 permite ajustar el ciclo de trabajo de la salida a un valor menor del 50 por ciento, haciendo $R_1 < R_2$.

EJEMPLO 7.15

En la Figura 7.60 se muestra un temporizador 555 configurado para funcionar en modo a estable (oscilador). Determinar la frecuencia de la salida y el ciclo de trabajo.

**FIGURA 7.60****Solución**

Utilizar las ecuaciones 7.4 y 7.7.

$$f = \frac{1,44}{(R_1 + 2R_2)C_1} = \frac{1,44}{(2,2\text{k}\Omega + 9,4\text{k}\Omega)0,22\mu\text{F}} = \mathbf{5,64\text{ kHz}}$$

$$\text{Ciclo de trabajo} = \left(\frac{R_1 + R_2}{R_1 + 2R_2} \right) 100\% = \left(\frac{2,2\text{k}\Omega + 4,7\text{k}\Omega}{2,2\text{k}\Omega + 9,4\text{k}\Omega} \right) 100\% = \mathbf{59,5\%}$$

Problema relacionado

Determinar el ciclo de trabajo en la Figura 7.60 si se conecta un diodo en paralelo con R_2 , como se indica en la Figura 7.59.

REVISIÓN DE LA SECCIÓN 7.6

1. Explicar la diferencia de funcionamiento entre un multivibrador a estable y un multivibrador monoestable.
2. Para un determinado multivibrador a estable, $t_H = 15\text{ ms}$ y $T = 20\text{ ms}$. ¿Cuál es el ciclo de trabajo de la salida?

7.7 LOCALIZACIÓN DE AVERÍAS

En la industria, es una práctica habitual probar los nuevos diseños de circuitos para asegurarse de que funcionan como se ha especificado. Usualmente, se realiza un montaje provisional de los nuevos diseños de función fija y se prueban antes de que finalice el diseño. El término *montaje provisional* se refiere a la forma en que el nuevo circuito se ensambla para poder verificar su funcionamiento y, en caso de encontrarse fallos, eliminarlos antes de que se construya el prototipo.

Al finalizar esta sección, el lector deberá ser capaz de:

- Describir cómo la temporización de un circuito puede producir *glitches*.
- Afrontar la depuración de un nuevo diseño con una mayor comprensión y conciencia de los problemas potenciales.

El circuito que se muestra en la Figura 7.61(a) genera dos señales de reloj (CLK A y CLK B), siendo la aparición de los impulsos alternativa. Cada señal tiene la frecuencia mitad de la señal de reloj original (CLK), como se muestra en el diagrama de tiempos ideal de la parte (b).

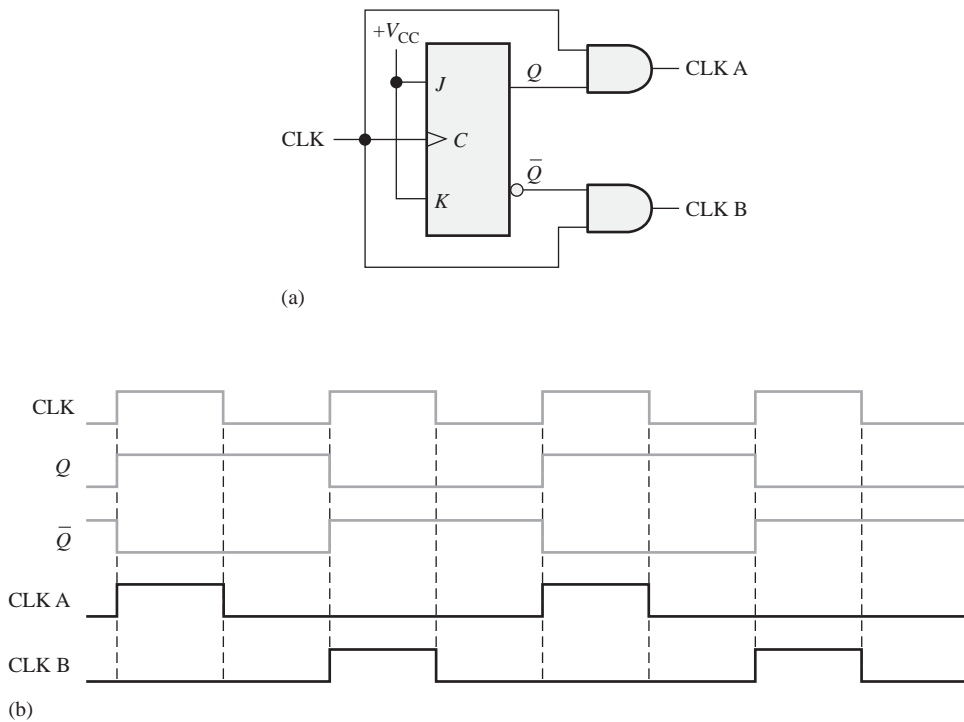


FIGURA 7.61 Generador de reloj de dos fases con señales ideales.

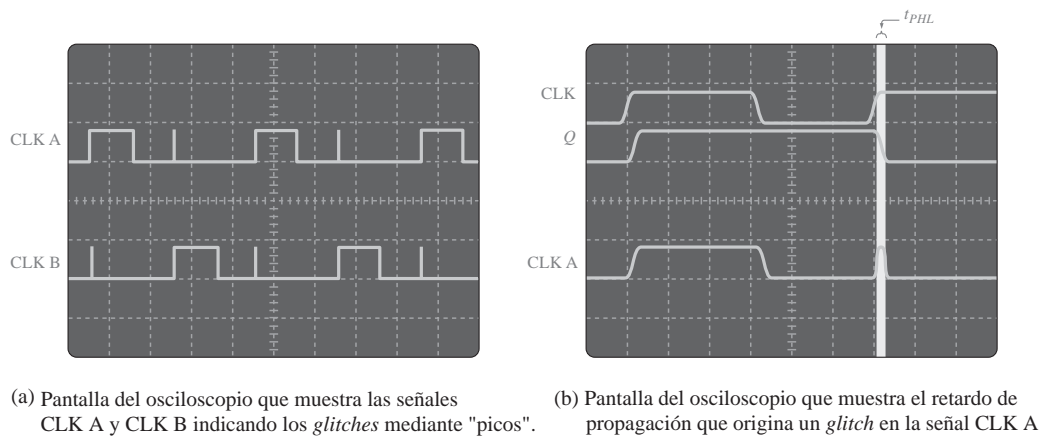


FIGURA 7.62 Pantallas del osciloscopio para el circuito de la Figura 7.61.

Cuando se prueba el circuito, las señales CLK A y CLK B se presentan en el osciloscopio o en el analizador lógico como se muestra en la Figura 7.62(a). Puesto que se observan *glitches* en ambas señales, deducimos que existe algún fallo en el circuito, bien en su diseño básico o en la manera en que está conectado. Investigaciones posteriores revelan que los *glitches* son causados por una condición de **conurrencia** entre la señal CLK y las señales Q y \bar{Q} en las entradas de las puertas AND. Como se muestra en la Figura 7.62(b), los retardos de propagación entre CLK y Q y \bar{Q} dan lugar a una coincidencia de corta duración de niveles ALTOS en los flancos anteriores de los impulsos alternos de reloj. Por tanto, existe un error de diseño.

El problema puede ser corregido mediante el uso de un flip-flop disparado por flanco negativo en lugar del dispositivo disparado por flanco positivo, como se observa en la Figura 7.63(a). Aunque los retardos de propagación entre CLK y Q y \bar{Q} siguen existiendo, éstos se inician en los flancos posteriores del reloj (CLK), eliminando por tanto los *glitches*, como se muestra en el diagrama de tiempos de la Figura 7.63(b).

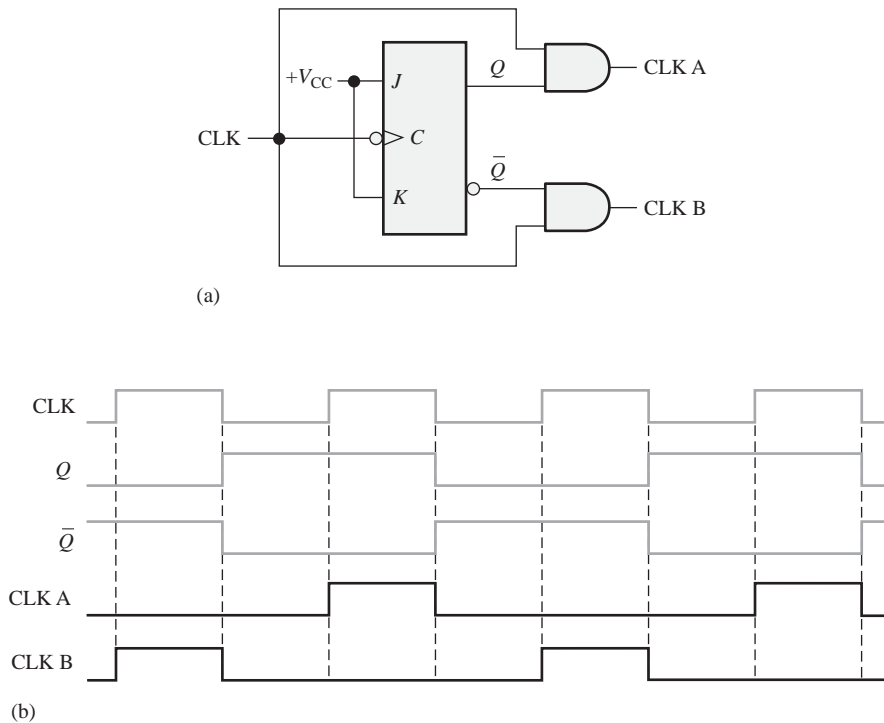


FIGURA 7.63 Generador de reloj de dos fases, que utiliza flip-flops disparados por flanco negativo para eliminar los *glitches*.

CONSEJOS PRÁCTICOS

Los *glitches* que se producen en los sistemas digitales son muy rápidos (y extremadamente cortos en duración) y pueden ser difíciles de ver en un osciloscopio, especialmente a muy bajas velocidades de barrido. Sin embargo, un analizador lógico puede mostrar un glitch fácilmente. Para localizar *glitches* utilizando un analizador lógico, seleccione el modo "latch" o el muestreo transicional, si está disponible. En el modo *latch*, el analizador busca un cambio de nivel de tensión. Cuando se produce un cambio, incluso aunque sea de una duración extremadamente corta (unos pocos nanosegundos), la información se almacena en la memoria del analizador como cualquier otro dato muestreado. Cuando se muestran los datos, el *glitch* se presentará como un cambio obvio en los datos muestreados, por lo que se puede identificar fácilmente.

REVISIÓN DE LA SECCIÓN 7.7

1. ¿Se puede usar un flip-flop D disparado por flanco negativo en el circuito de la Figura 7.63?
2. ¿Qué dispositivo puede utilizarse como reloj en el circuito de la Figura 7.63?



APLICACIÓN A LOS SISTEMAS DIGITALES

En esta aplicación a los sistemas digitales, vamos a continuar trabajando con el sistema de control de semáforos que se inició en el Capítulo 6. En el capítulo anterior se ha desarrollado la lógica combinacional.

En este capítulo, se van a desarrollar los circuitos de temporización, que generan los intervalos de tiempo de 4 s para la luz ámbar y de 25 s para las luces roja y verde, así como una señal de reloj de 4 Hz. El diagrama de bloques global del sistema de control de los semáforos que se presentó en el Capítulo 6 se incluye aquí de nuevo, en la Figura 7.64, como referencia.

Requisitos generales de los circuitos de temporización

Los circuitos de temporización constan de tres partes: el temporizador de 4 s, el temporizador de 25 s y el oscilador de 10 kHz, como se muestra en el diagrama de bloques de la Figura 7.65. Los temporizadores de 4 s y 25 s se implementan mediante monoestables 74121, como muestran las Figura 7.66 (a) y (b). El oscilador de 10 kHz se implementa con un temporizador 555 como se muestra en la Figura 7.66(c).

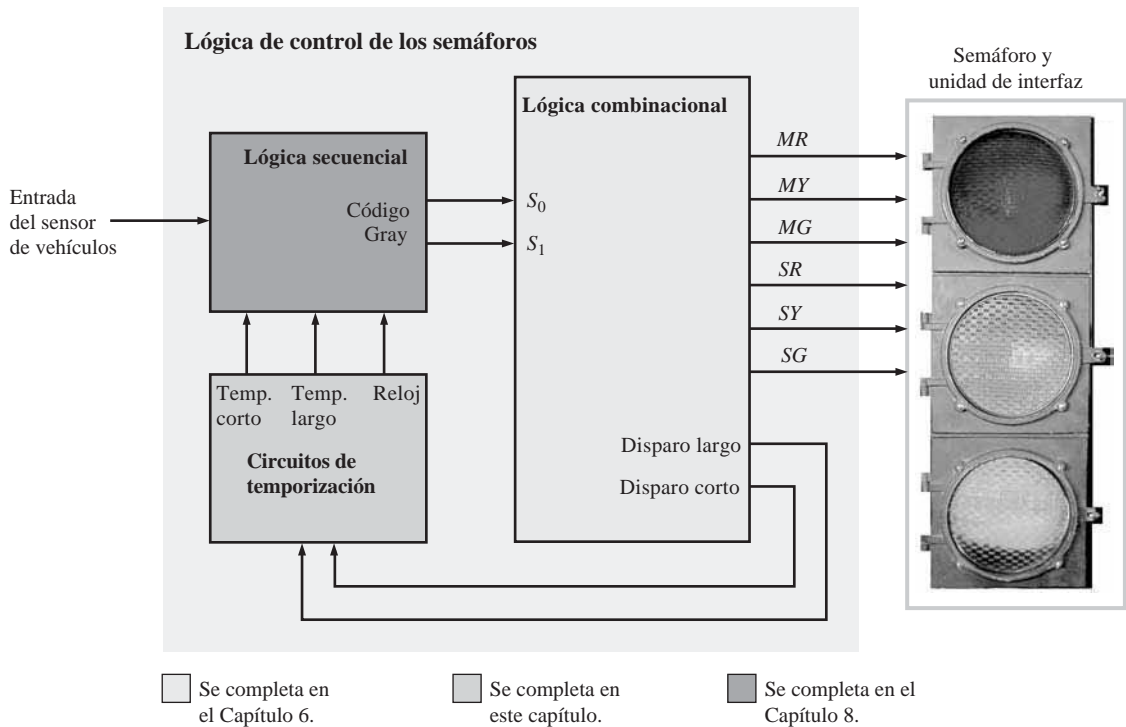


FIGURA 7.64 Diagrama de bloques del sistema de control de semáforos.

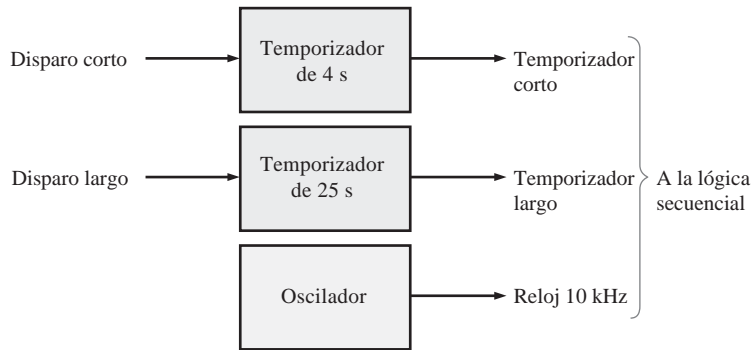
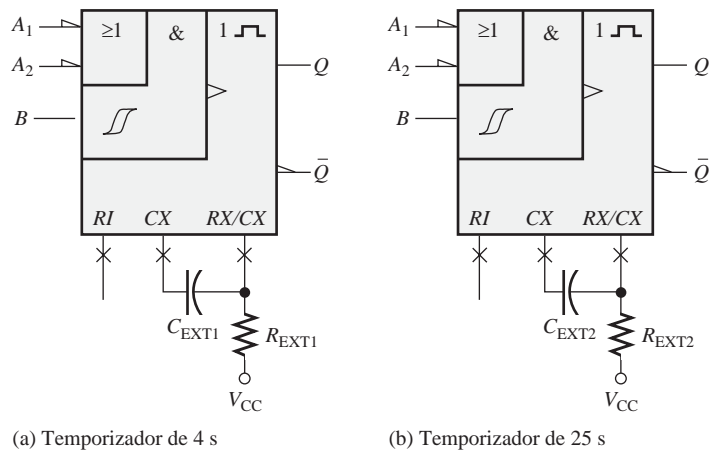
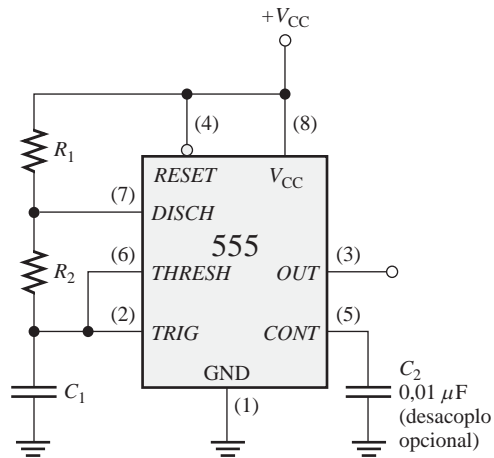


FIGURA 7.65 Diagrama de bloques de los circuitos de temporización.



(a) Temporizador de 4 s

(b) Temporizador de 25 s



(c) Oscilador de 10 kHz

FIGURA 7.66 Circuitos de temporización.

Práctica de sistemas

- **Actividad 1.** Determinar los valores de los componentes R y C externos para el temporizador de 4 s de la Figura 7.66(a).
- **Actividad 2.** Determinar los valores de los componentes R y C externos para el temporizador de 25 s de la Figura 7.66(b).

- **Actividad 3.** Determinar los valores de los componentes R y C externos para el oscilador 555 de 10 kHz de la Figura 7.66(c).

RESUMEN

- Los símbolos de los *latches* y flip-flops se muestran en la Figura 7.67.

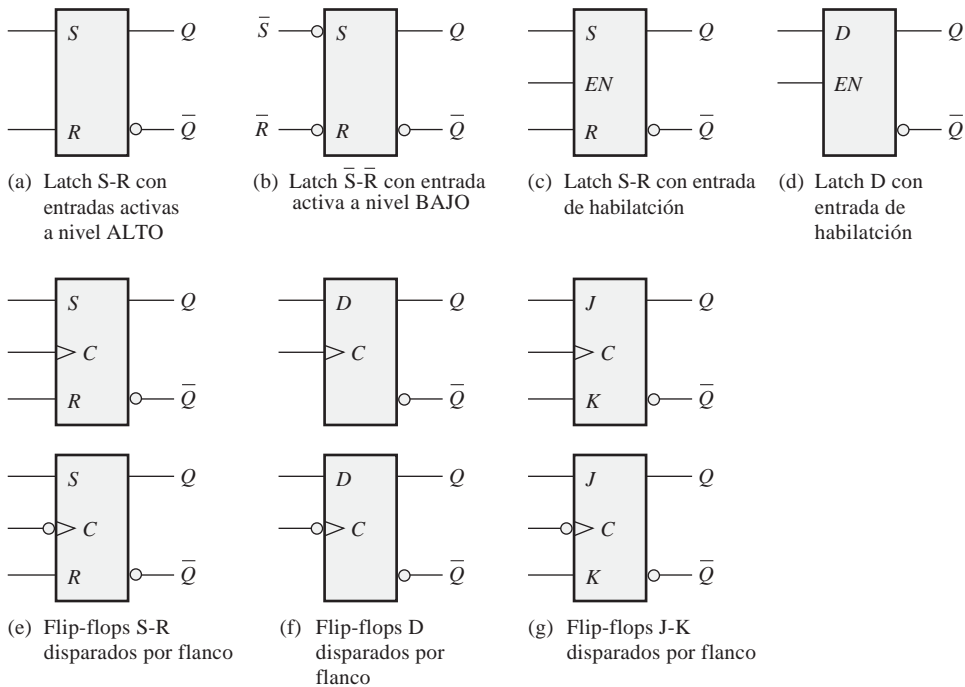


FIGURA 7.67

- Los *latches* son dispositivos biestables cuyo estado depende normalmente de entradas asíncronas.
- Los flip-flops disparados por flanco son dispositivos de dos estados con entradas síncronas, cuyo estado depende de las entradas sólo durante la transición de disparo de un impulso de reloj. Los cambios en las salidas ocurren durante las transiciones de disparo del reloj.
- Los multivibradores monoestables tienen un único estado estable. Cuando se dispara un monoestable, la salida pasa a su estado inestable durante un tiempo que está determinado por un circuito RC .
- Los multivibradores aestables no poseen ningún estado estable y se utilizan como osciladores para generar señales de temporización en los sistemas digitales.

PALABRAS CLAVE

Las palabras clave y otros términos que se han resaltado en negrita se encuentran en el glosario final del libro.

- Aestable** Que no tiene ningún estado estable. Un multivibrador aestable oscila entre dos estados semi-estables.
- Basculación** Acción de un flip-flop cuando cambia de estado con cada impulso de reloj.
- Biestable** Que tiene dos estados estables. Los flip-flops y los latches son multivibradores biestables.
- Borrado (*clear*)** Entrada asíncrona utilizada para resetear un flip-flop (hacer que la salida Q sea 0).
- Disipación de potencia** La cantidad de potencia requerida por un circuito.
- Flip-flop D** Un tipo de multivibrador biestable en el que la salida sigue al estado de la entrada D en el flanco de disparo de un impulso de reloj.
- Flip-flop disparado por flanco** Un tipo de flip-flop en el que los datos se introducen y aparecen en la salida durante el mismo flanco del impulso del reloj.
- Flip-flop J-K** Un tipo de flip-flop que puede funcionar en los modos de SET, RESET, no cambio y basculación.
- Inicialización (*preset*)** Entrada asíncrona para inicializar un flip-flop.
- Latch** Dispositivo digital biestable utilizado para almacenar un bit.
- Monoestable** Que tiene un solo estado estable. Un multivibrador monoestable, o sencillamente un monoestable, produce un único impulso en respuesta a una entrada de disparo.
- Reloj** La entrada de disparo de un flip-flop.
- Retardo de propagación** El intervalo de tiempo requerido después de haberse aplicado una señal de entrada para que se produzca un cambio en la salida.
- RESET** Estado de un flip-flop o *latch* cuando la salida es 0. La acción de producir un estado de desactivación.
- SET** Estado de un flip-flop o *latch* cuando la salida es 1. La acción de producir un estado de activación.
- Síncrono** Que tiene una relación temporal fija.
- Temporizador** Circuito que puede ser utilizado como monoestable o como oscilador.
- Tiempo de establecimiento (*set-up*)** Intervalo de tiempo que los niveles de control deben mantenerse en las entradas de un circuito digital, como puede ser un flip-flop, antes del flanco de disparo del impulso de reloj.
- Tiempo de mantenimiento (*hold*)** El intervalo de tiempo que los niveles de control deben permanecer en las entradas de un flip-flop después del flanco de disparo del reloj, de manera que se active fiablemente el dispositivo.

AUTOTEST

Las respuestas se encuentran al final del capítulo.

- Si un *latch* S-R tiene un 1 en la entrada S y un 0 en la entrada R y a continuación la entrada S pasa a 0, el *latch* estará en

(a) estado SET	(b) estado RESET
(c) condición no válida	(d) borrado
- El estado no válido de un *latch* S-R se produce cuando

(a) $S = 1, R = 0$	(b) $S = 0, R = 1$
(c) $S = 1, R = 1$	(d) $S = 0, R = 0$

3. En un *latch* D con entrada de habilitación, la salida Q siempre es igual a la entrada D
 - (a) antes del impulso de habilitación
 - (b) durante el impulso de habilitación
 - (c) inmediatamente después del impulso de habilitación
 - (d) respuestas (b) y (c)
4. Al igual que el *latch*, el flip-flop pertenece a una categoría de circuitos lógicos conocidos como:
 - (a) multivibradores monoestables
 - (b) multivibradores biestables
 - (c) multivibradores aestables
 - (d) monoestables
5. El propósito de la entrada de reloj en un flip-flop es:
 - (a) borrar el dispositivo
 - (b) activar (SET) el dispositivo
 - (c) obligar siempre a la salida a cambiar de estado
 - (d) obligar a la salida a asumir un estado dependiente de las entradas de control (S - R , J - K o D)
6. En un flip-flop D disparado por flanco,
 - (a) un cambio en el estado del flip-flop puede producirse sólo en un flanco del impulso de reloj.
 - (b) el estado al que pasa el flip-flop depende de la entrada D
 - (c) la salida sigue a la entrada en cada impulso de reloj
 - (d) todas las respuestas
7. Una característica que diferencia al flip-flop J-K del flip-flop S-R es
 - (a) la condición de basculación
 - (b) la entrada de inicialización
 - (c) el tipo de reloj
 - (d) la entrada de borrado
8. Un flip-flop está en la condición de basculación cuando
 - (a) $J = 1, K = 0$
 - (b) $J = 1, K = 1$
 - (c) $J = 0, K = 0$
 - (d) $J = 0, K = 1$
9. Un flip-flop J-K con $J = 1$ y $K = 1$ tiene una entrada de reloj de 10 kHz. La salida Q es:
 - (a) constantemente un nivel ALTO
 - (b) constantemente un nivel BAJO
 - (c) una onda cuadrada de 10 kHz
 - (d) una onda cuadrada de 5 kHz
10. Un monoestable es un tipo de:
 - (a) multivibrador monoestable
 - (b) multivibrador aestable
 - (c) temporizador
 - (d) las respuestas (a) y (c)
 - (e) las respuestas (b) y (c)
11. La anchura del impulso de salida de un monoestable no disparable depende de:
 - (a) los intervalos de disparo
 - (b) la tensión de alimentación
 - (c) una resistencia y un condensador
 - (d) la tensión umbral

12. Un multivibrador a estable:
- (a) requiere una entrada de disparo periódica
 - (b) no tiene ningún estado estable
 - (c) es un oscilador
 - (d) produce un impulso de salida periódico
 - (e) las respuestas (a), (b), (c) y (d)
 - (f) las respuestas (b), (c) y (d)

PROBLEMAS

Las respuestas a los problemas impares se encuentran al final del libro.

SECCIÓN 7.1 Latches

1. Si se aplican las señales de la Figura 7.68 a un *latch* S-R con entradas activas a nivel BAJO, dibujar la forma de onda de salida Q resultante en función de las entradas. Suponer que, inicialmente, Q está a nivel BAJO.

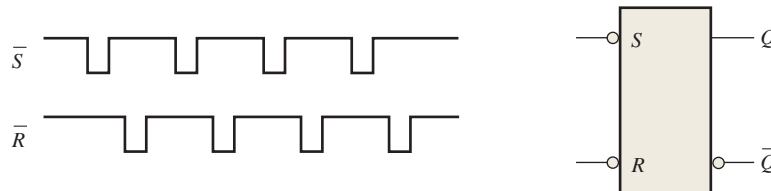


FIGURA 7.68

2. Resolver el Problema 1 para las formas de onda de entrada de la Figura 7.69, aplicadas a un *latch* S-R activo a nivel ALTO.

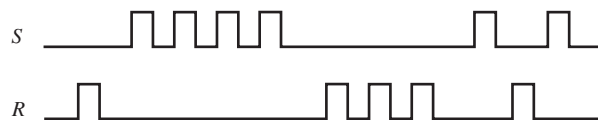


FIGURA 7.69

3. Resolver el Problema 1 para las formas de onda de entrada de la Figura 7.70.



FIGURA 7.70

4. Determinar las salidas Q y \bar{Q} de un *latch* S-R con entrada de habilitación para las entradas de la Figura 7.71. Dibujarlas en función de la entrada de habilitación. Suponer que, inicialmente, Q está a nivel BAJO.
5. Resolver el Problema 4 para las entradas de la Figura 7.72.
6. Resolver el Problema 4 para las entradas de la Figura 7.73.

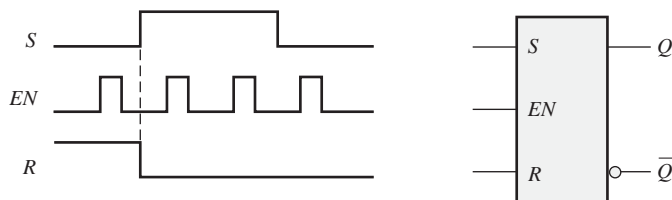


FIGURA 7.71

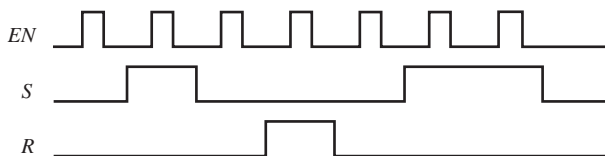


FIGURA 7.72

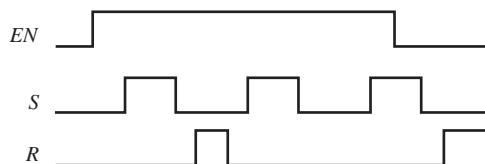


FIGURA 7.73

7. En un *latch* D con entrada de habilitación, se observan en sus entradas las formas de onda de la Figura 7.74. Dibujar el diagrama de tiempos, mostrando la forma de onda de salida que esperaríamos observar en Q si el *latch* se encuentra inicialmente en estado RESET.



FIGURA 7.74

SECCIÓN 7.2 Flip-flops disparados por flanco

8. En la Figura 7.75 se muestran dos flip-flops S-R disparados por flanco. Si las entradas son las que se indican, dibujar la salida Q de cada flip-flop en función de la señal de reloj y explicar la diferencia entre los dos. Los flip-flops se encuentran inicialmente en estado RESET.

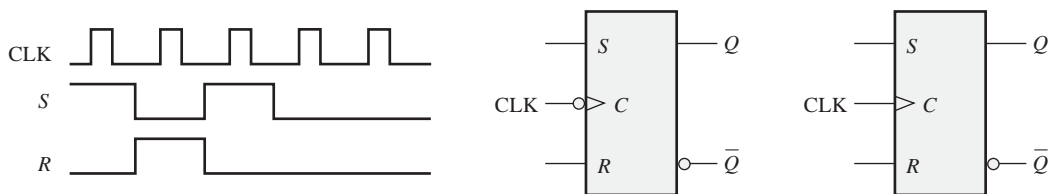


FIGURA 7.75

9. La salida Q de un flip-flop S-R disparado por flanco se muestra en la Figura 7.76 en función de la señal del reloj. Determinar las formas de onda de entrada que se necesitan en las entradas S y R para producir esta salida, si el flip-flop es de tipo disparado por flanco positivo.

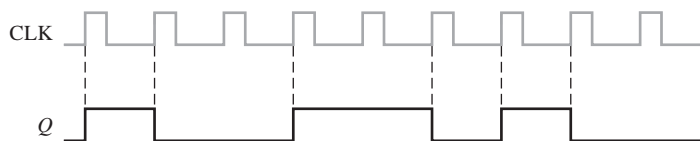


FIGURA 7.76

10. Dibujar la salida Q en función del reloj para un flip-flop D cuyas entradas son las que se muestran en la Figura 7.77. Suponer disparo por flanco positivo y que Q se encuentra inicialmente a nivel BAJO.

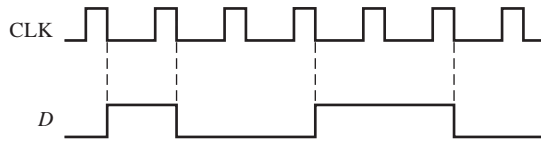


FIGURA 7.77

11. Resolver el Problema 10 para las entradas de la Figura 7.78.

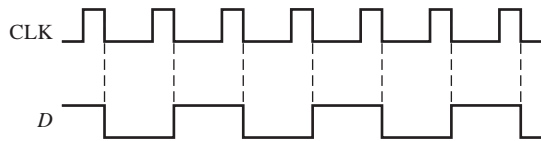


FIGURA 7.78

12. Para un flip-flop J-K disparado por flanco positivo cuyas entradas son las que se muestran en la Figura 7.79, determinar la salida Q en función del reloj. Suponer que, inicialmente, Q está a nivel BAJO.

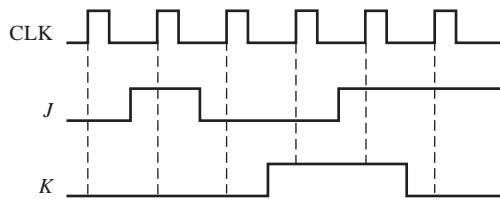


FIGURA 7.79

13. Resolver el Problema 12 para las entradas de la Figura 7.80.

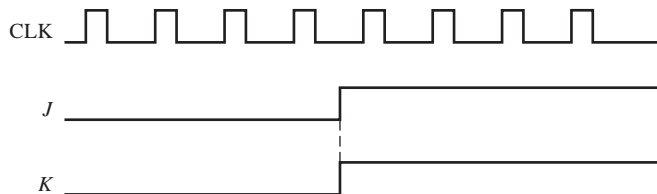


FIGURA 7.80

14. Determinar la salida Q en función del reloj si las señales que se muestran en la Figura 7.81 se aplican a las entradas de un flip-flop J-K. Suponer que Q se encuentra inicialmente a nivel BAJO.
15. Para un flip-flop J-K disparado por flanco negativo cuyas entradas son las de la Figura 7.82, desarrollar la forma de onda de salida Q en función del reloj. Suponer que Q se encuentra inicialmente a nivel BAJO.

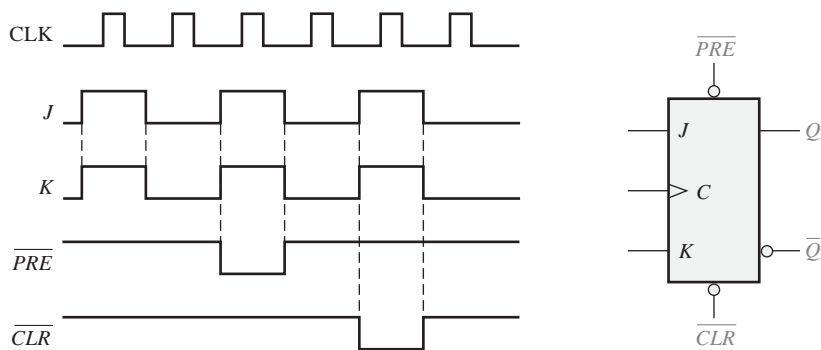


FIGURA 7.81

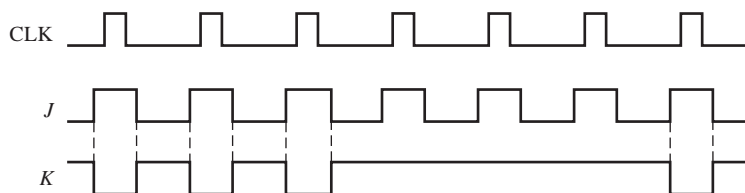


FIGURA 7.82

16. Se aplican los siguientes datos serie a un flip-flop a través de puertas AND, como se indica en la Figura 7.83. Determinar los datos serie resultantes que aparecen en la salida Q . Hay un impulso de reloj por cada periodo de bit. Suponer que, inicialmente, Q es 0 y \overline{PRE} y \overline{CLR} están a nivel ALTO. Los bits de más a la derecha son los primeros que se aplican.

J_1 : 1 0 1 0 0 1 1

J_2 : 0 1 1 1 0 1 0

J_3 : 1 1 1 1 0 0 0

K_1 : 0 0 0 1 1 1 0

K_2 : 1 1 0 1 1 0 0

K_3 : 1 0 1 0 1 0 1

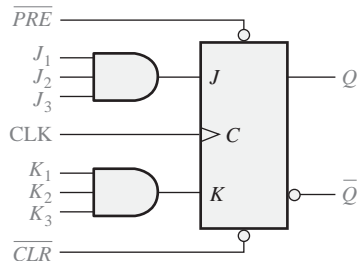


FIGURA 7.83

17. Completar el diagrama de tiempos de la Figura 7.84 para el circuito de la Figura 7.83, dibujando la salida Q que, inicialmente, está a nivel BAJO. Suponer que \overline{PRE} y \overline{CLR} permanecen a nivel ALTO.

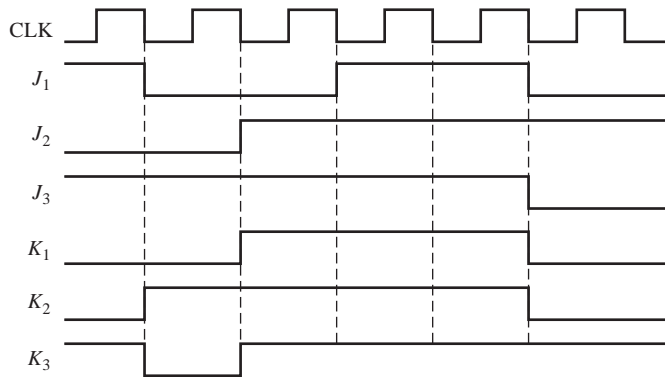


FIGURA 7.84

18. Resolver el Problema 17 con las mismas entradas J y K , pero con las entradas \overline{PRE} y \overline{CLR} que se muestran en la Figura 7.85 en función del reloj.

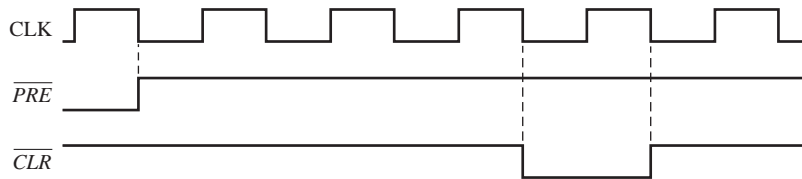


FIGURA 7.85

SECCIÓN 7.3 Características de operación de los flip-flops

- 19. ¿Qué determina la disipación de potencia de un flip-flop?
- 20. Típicamente, la hoja de características de un fabricante especifica cuatro retardos de propagación diferentes asociados con un flip-flop. Nombrar y describir cada uno de ellos.
- 21. La hoja de especificaciones de un determinado flip-flop especifica que la duración mínima de un nivel ALTO para cada impulso de reloj es 30 ns y que la duración mínima para un nivel BAJO es de 37 ns. ¿Cuál es la frecuencia máxima de funcionamiento?
- 22. El flip-flop de la Figura 7.86 se encuentra inicialmente en RESET. Mostrar la relación entre la salida Q y el impulso de reloj, si el retardo de propagación t_{PLH} (del reloj a Q) es de 8 ns.

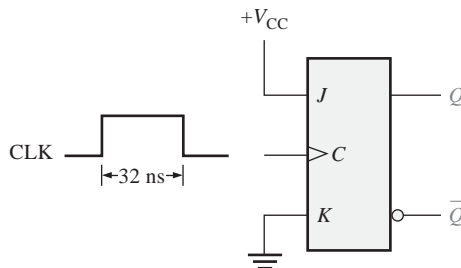


FIGURA 7.86

23. La corriente directa requerida por un determinado flip-flop que funciona a +5 V de tensión resulta ser de 10 mA. Un determinado dispositivo digital utiliza 15 de estos flip-flops.

Determinar la capacidad de corriente requerida para la fuente de continua de +5 V y la potencia total disipada por el sistema.

24. Para el circuito de la Figura 7.87, determinar la frecuencia máxima de la señal del reloj para un funcionamiento fiable, si el tiempo de *setup* (establecimiento) de cada flip-flop es de 2 ns y los retardos de propagación (t_{PLH} y t_{PHL}) del reloj a la salida son de 5 ns para cada flip-flop.

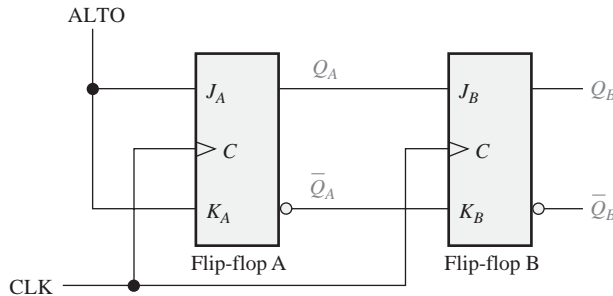


FIGURA 7.87

SECCIÓN 7.4 Aplicaciones básicas de los flip-flops

25. Un flip-flop D se encuentra conectado como se muestra en la Figura 7.88. Determinar la salida Q en función del reloj. ¿Cuál es la función que realiza este dispositivo?

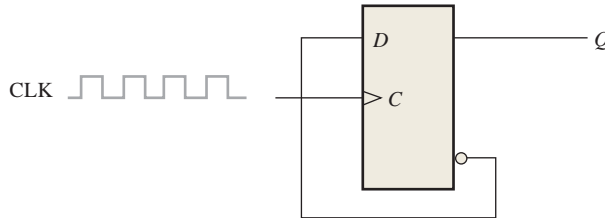


FIGURA 7.88

26. Para el circuito de la Figura 7.87, desarrollar un diagrama de tiempos para ocho impulsos de reloj, mostrando las salidas Q_A y Q_B en función del reloj.

SECCIÓN 7.5 Monoestables

27. Determinar la anchura del impulso de un monoestable 74121, si la resistencia externa es de 3,3 k Ω y el condensador externo vale 2000 pF.
28. Se quiere generar un impulso de salida de 5 μ s de duración con un monoestable 74LS122. Utilizando un condensador de 10.000 pF, determinar el valor de la resistencia externa requerida.

SECCIÓN 7.6 El temporizador 555

29. Diseñar un monoestable utilizando un temporizador 555 para producir un impulso de salida de 0,25 segundos.
30. Se configura un temporizador 555 para funcionar como multivibrador a estable, como se muestra en la Figura 7.89. Determinar su frecuencia.
31. Determinar los valores de las resistencias externas de un temporizador 555 utilizado como multivibrador a estable con frecuencia de salida de 20 kHz, si el condensador C vale 0,002 μ F y el ciclo de trabajo es del 75 % aproximadamente.

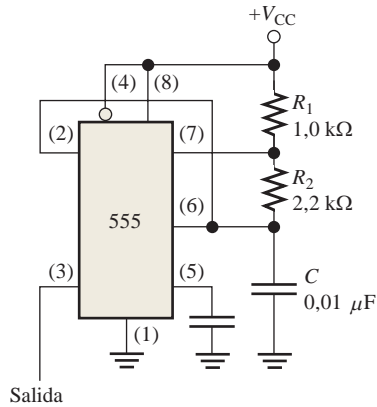


FIGURA 7.89

SECCIÓN 7.7 Localización de averías

32. Se prueba el flip-flop de la Figura 7.90 bajo todas las posibles condiciones de entrada, tal como se muestra. ¿Está funcionando correctamente? Si no es así ¿cuál es la causa de fallo más probable?

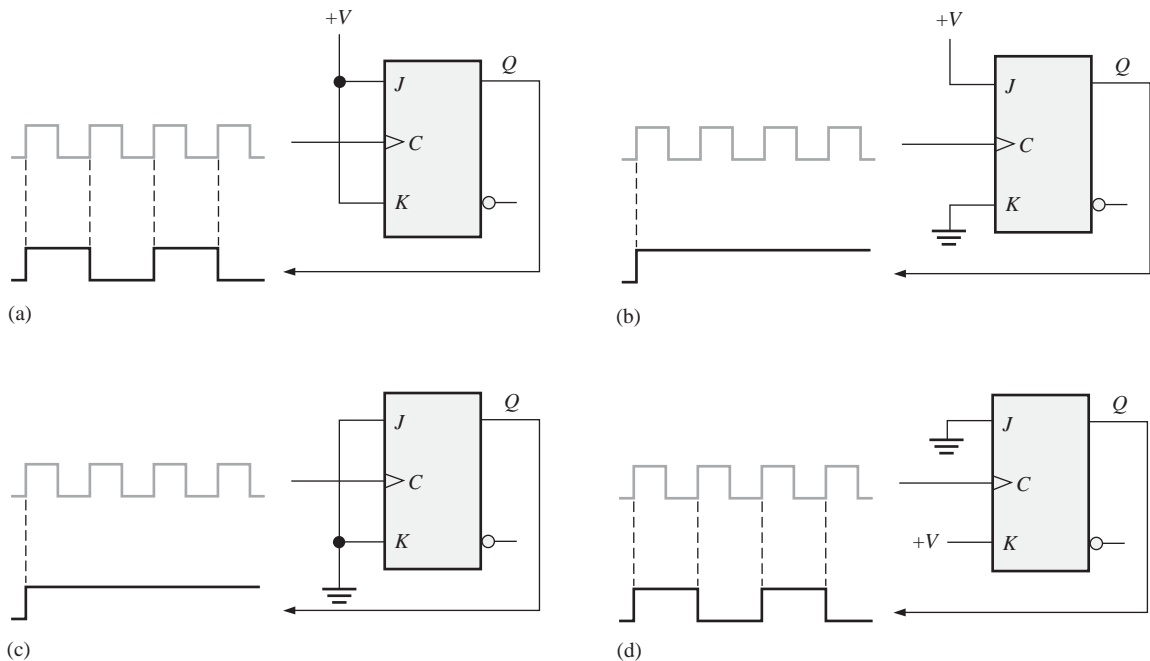


FIGURA 7.90

33. Se utiliza una cuádruple puerta NAND 74HC00 para construir un *latch* S-R con entrada de habilitación en un prototipo de tarjeta de laboratorio, como muestra la Figura 7.91. El esquema de la parte (a) se utiliza para conectar el circuito de la parte (b). Cuando intentamos poner en funcionamiento el *latch*, nos encontramos con que la salida *Q* permanece a nivel ALTO independientemente de los valores de las entradas. Determinar cuál es el problema.

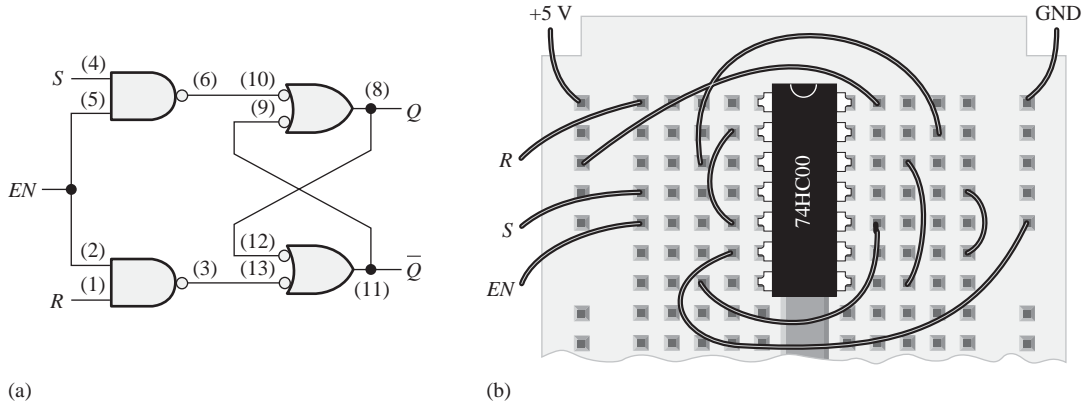


FIGURA 7.91

34. Determinar si el flip-flop de la Figura 7.92 está funcionando adecuadamente y, en caso contrario, identificar el fallo más probable.

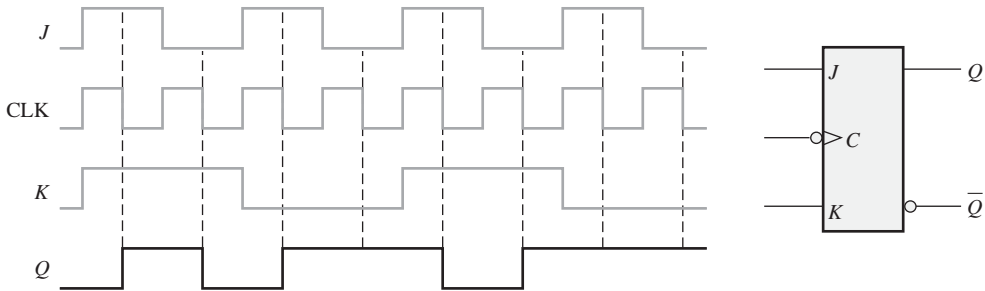


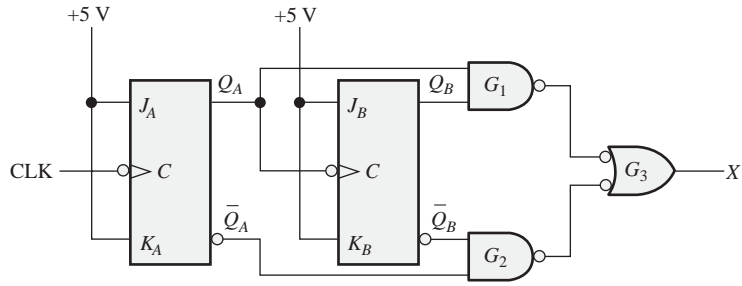
FIGURA 7.92

35. El circuito paralelo de almacenamiento de datos de la Figura 7.36 no funciona adecuadamente. Para depurarlo, primero nos aseguramos de que V_{CC} y tierra se encuentran conectados y, luego, aplicamos niveles BAJOS a todas las entradas D e introducimos impulsos en la línea del reloj. Se comprueba que las salidas Q están todas a nivel BAJO, por lo que por el momento todo es correcto. A continuación se aplican niveles ALTOS a todas las entradas D y de nuevo se introducen impulsos en la línea del reloj. Cuando comprobamos las salidas Q , todavía permanecen a nivel BAJO. ¿Cuál es el problema y cuál sería el procedimiento que utilizaríamos para aislar el fallo a un único dispositivo?

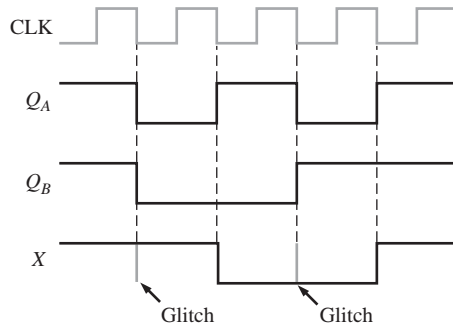
36. El circuito del flip-flop de la Figura 7.93(a) se utiliza para generar una secuencia de cuenta binaria. Las puertas forman un decodificador que se supone que produce un nivel ALTO cuando ocurre un cero binario o el estado tres binario (00 u 11). Analizando las salidas Q_A y Q_B , se obtiene la imagen mostrada en la parte (b), que revela *glitches* en la salida del decodificador (X), además de los impulsos correctos. ¿Qué es lo que causa estos *glitches* y cómo se pueden eliminar?

37. Determinar las salidas Q_A , Q_B y X durante seis impulsos de reloj en la Figura 7.93(a) para cada uno de los siguientes fallos en circuitos TTL. Inicialmente Q_A y Q_B están a nivel BAJO.

- (a) La entrada J_A está en circuito abierto.
- (b) La entrada K_B está en circuito abierto.



(a)



(b)

FIGURA 7.93

- (c) La entrada Q_B está en circuito abierto.
- (d) La entrada de reloj en el flip-flop B está cortocircuitada.
- (e) La puerta G_2 está en circuito abierto.

38. Se conectan dos monoestables 74121 en una tarjeta, como se muestra en la Figura 7.94. Tras observar la pantalla del osciloscopio, ¿sacaríamos la conclusión de que el circuito está funcionando adecuadamente? En caso contrario, ¿cuál es la causa más probable del fallo?

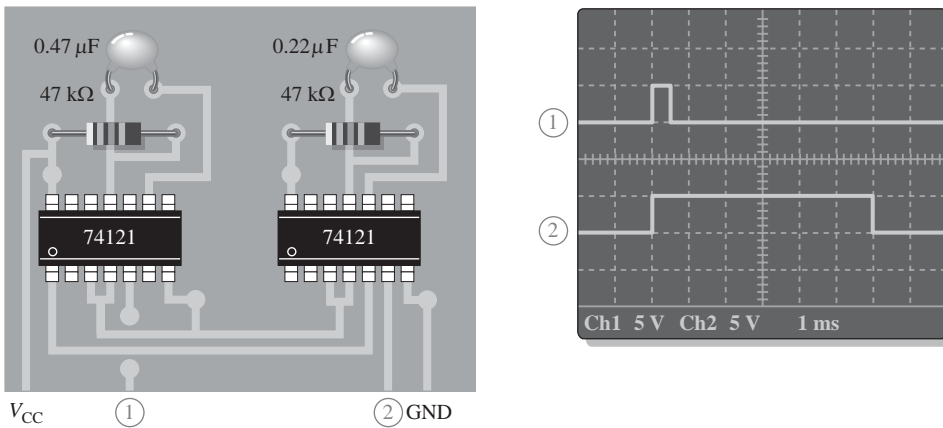


FIGURA 7.94



Aplicación a los sistemas digitales

39. Utilizar temporizadores 555 para implementar los monoestables de 4 y 25 segundos para los circuitos de temporización del sistema de control de los semáforos. La entrada de disparo del 555 no puede permanecer a nivel BAJO después de una transición negativa, de forma que tenemos que desarrollar un circuito para producir impulsos negativos muy cortos, con el fin de disparar los temporizadores corto y largo cuando el sistema pasa por cada estado.



Problemas especiales de diseño

40. Diseñar un circuito contador básico que genere una secuencia binaria de cero a siete, utilizando flip-flops J-K disparados por flanco negativo.
41. En el departamento de logística de una fábrica de pelotas, éstas ruedan por una cinta y por una rampa hasta llegar a una caja. Cada pelota que pasa por la rampa activa un conmutador que produce un impulso eléctrico. La capacidad de cada caja es de 32 pelotas. Diseñar un circuito lógico para indicar cuándo una caja está llena, de forma que pueda ser sustituida por otra vacía.
42. Enumerar los cambios que serían necesarios en el sistema de control de semáforos para añadir una indicación de giro a la derecha de 15 segundos de duración en la calle principal. La indicación aparecería después de la luz roja y antes de la verde. Modificar el diagrama de estados del Capítulo 6 de manera que refleje estos cambios.

RESPUESTAS

REVISIONES DE CADA SECCIÓN

SECCIÓN 7.1 *Latches*

1. Tres tipos de *latches* son el S-R, el S-R con entrada de habilitación y el D con entrada de habilitación.
2. $SR = 00$, NC ; $SR = 01$, $Q = 0$; $SR = 10$, $Q = 1$; $SR = 11$, no válido
3. $Q = 1$

SECCIÓN 7.2 **Flip-flops disparados por flanco**

1. La salida de un *latch* S-R con entrada de habilitación puede cambiar siempre que la entrada de habilitación (EN) esté activa. La salida de un flip-flop S-R disparado por flanco puede cambiar sólo durante los flancos de disparo de un impulso de reloj.
2. El flip-flop J-K no tiene ningún estado no válido, como ocurre con el flip-flop S-R.
3. La salida Q se pone a nivel ALTO durante el flanco posterior del primer impulso del reloj, se pone a nivel BAJO durante el flanco posterior del segundo impulso, a nivel ALTO en el flanco posterior del tercer impulso y a nivel BAJO en el flanco posterior del cuarto impulso.

SECCIÓN 7.3 **Características de funcionamiento de los flip-flops**

1. (a) El tiempo de *setup* (establecimiento) es el tiempo que los datos de entrada deben estar presentes antes del flanco de disparo del impulso de reloj.
(b) Tiempo de *hold* (mantenimiento) es el tiempo que los datos deben permanecer en la entrada después del flanco de disparo del impulso de reloj.
2. El 74AHC74 puede funcionar a la frecuencia máxima, de acuerdo con la Tabla 7.5.

SECCIÓN 7.4 **Aplicaciones de los flip-flops**

1. Un registro es un grupo de flip-flops de almacenamiento de datos.

2. Para funcionar como divisor por dos, el flip-flop tiene que estar en modo de basculación ($J = 1, K = 1$).
3. Se necesitan seis flip-flops para formar un divisor por 64.

SECCIÓN 7.5 Monoestables

1. Un monoestable no redisparable no puede responder a otra entrada de disparo mientras que se encuentra en su estado inestable. Un monoestable disparable responde a cada entrada de disparo.
2. La anchura de los impulsos se ajusta mediante componentes R y C externos.

SECCIÓN 7.6 El temporizador 555

1. Un aestado no tiene estados estables. Un monoestable tiene un estado estable.
2. Ciclo de trabajo = $(15 \text{ ms}/20 \text{ ms}) 100\% = 75\%$

SECCIÓN 7.7 Localización de averías

1. Sí, se puede utilizar un flip-flop D disparado por flanco negativo.
2. Se puede utilizar un temporizador 555 funcionando en modo de multivibrador aestado como reloj.

PROBLEMAS RELACIONADOS

- 7.1 La salida Q es la misma que la mostrada en la Figura 7.5(b).
- 7.2 Véase la Figura 7.95.
- 7.3 Véase la Figura 7.96.

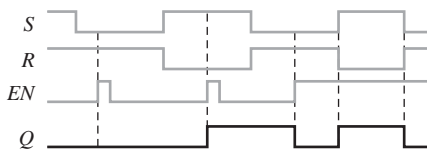


FIGURA 7.95

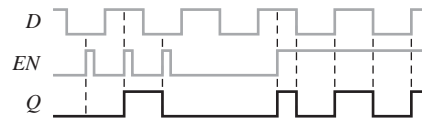


FIGURA 7.96

- 7.4 Véase la Figura 7.97.
- 7.5 Véase la Figura 7.98.

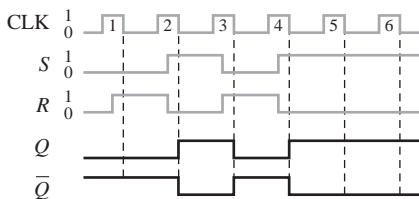


FIGURA 7.97



FIGURA 7.98

- 7.6 Véase la Figura 7.99.
- 7.7 Véase la Figura 7.100.
- 7.8 Véase la Figura 7.101.
- 7.9 Véase la Figura 7.102.

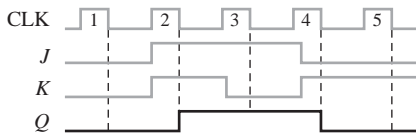


FIGURA 7.99

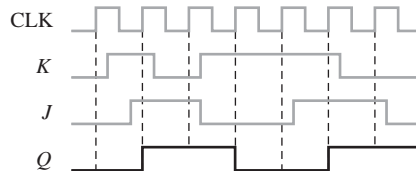


FIGURA 7.100

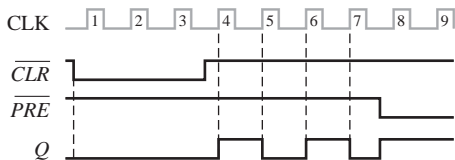


FIGURA 7.101

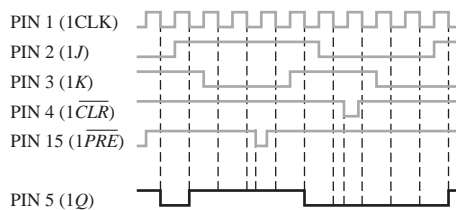


FIGURA 7.102

7.10 $2^5 = 32$. Se requieren 5 flip-flops.

7.11 Dieciséis estados requieren cuatro flip-flops ($2^4 = 16$).

7.12 $C_{EXT} = 7143$ pF conectado desde CX a RX/CX del 74142.

7.13 $C_{EXT} = 560$ pF, $R_{EXT} = 27$ k Ω . Véase la Figura 7.103.

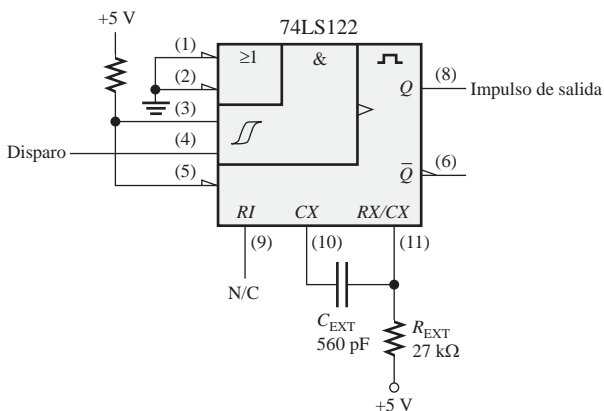


FIGURA 7.103

7.14 $R_1 = 91$ k Ω

7.15 Ciclo de trabajo $\cong 32\%$

AUTOTEST

1. (a) 2. (c) 3. (d) 4. (b) 5. (d) 6. (d)
7. (a) 8. (b) 9. (d) 10. (d) 11. (c) 12. (f)

8

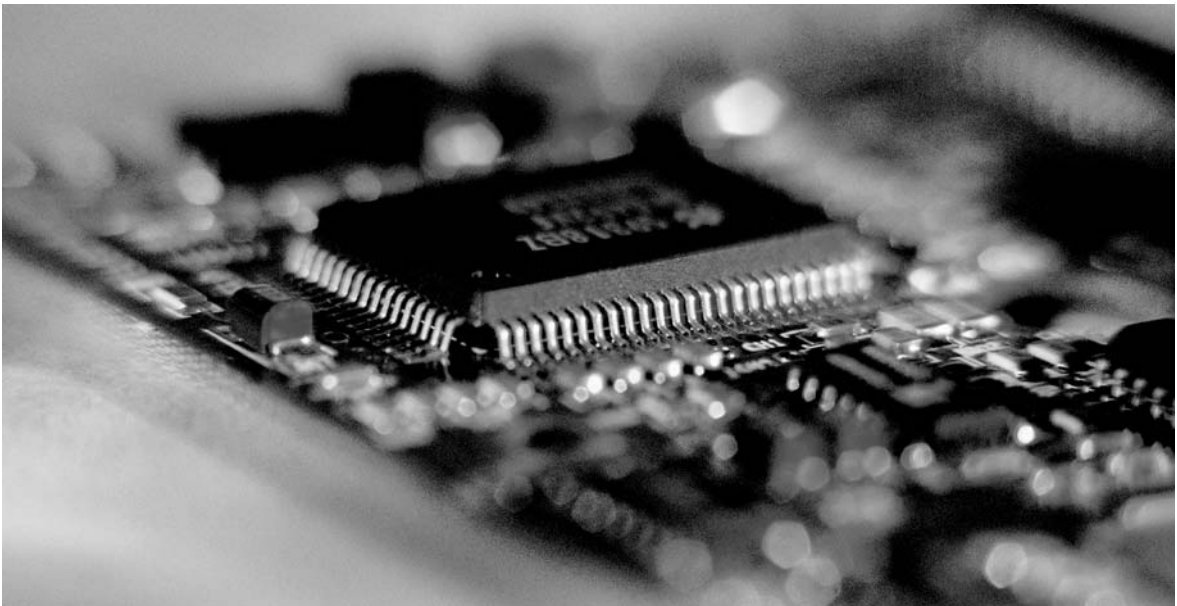
CONTADORES

CONTENIDO DEL CAPÍTULO

- 8.1 Funcionamiento del contador asíncrono
- 8.2 Funcionamiento del contador síncrono
- 8.3 Contador síncrono ascendente/descendente
- 8.4 Diseño de contadores síncronos
- 8.5 Contadores en cascada
- 8.6 Decodificación de contadores
- 8.7 Aplicaciones de los contadores
- 8.8 Símbolos lógicos con notación de dependencia
- 8.9 Localización de averías
- ■ ■ Aplicación a los sistemas digitales

OBJETIVOS DEL CAPÍTULO

- Describir la diferencia entre un contador asíncrono y un contador síncrono.
- Analizar los diagramas de tiempos de los contadores.
- Analizar los circuitos contadores.
- Explicar en qué afecta el retardo de propagación al funcionamiento de un contador.
- Determinar el módulo de un contador.
- Modificar el módulo de un contador.
- Establecer las diferencias entre contadores binarios de 4 bits y contadores de décadas.



- Utilizar un contador ascendente/descendente para generar secuencias binarias directas e inversas.
- Determinar la secuencia de un contador.
- Utilizar circuitos integrados contadores en diversas aplicaciones.
- Diseñar un contador que pueda tener cualquier secuencia de estados especificada.
- Conectar varios contadores en cascada para conseguir módulos mayores.
- Utilizar puertas lógicas para decodificar cualquier estado de un contador.
- Eliminar los *glitches* en la decodificación de contadores.
- Explicar cómo funciona un reloj digital.
- Interpretar los símbolos lógicos de los contadores que usan notación de dependencia.
- Localizar averías en los contadores y resolver los distintos tipos de fallos.

PALABRAS CLAVE

- Asíncrono
- Nuevo ciclo (*recycle*)
- Módulo
- Década
- Síncrono
- Fin de cuenta
- Máquina de estados
- Diagrama de estados
- Conexión en cascada

INTRODUCCIÓN

Como ya se ha visto en el Capítulo 8, los flip-flops pueden conectarse entre sí para realizar funciones de recuento. A esta combinación de flip-flops se la denomina contador. El número de flip-flops que se utilizan y la forma en que se conectan determinan el número de estados (que recibe el nombre de módulo) y también la secuencia específica de estados por los que pasa el contador durante un ciclo completo.

Dependiendo del modo en que se aplique la señal de reloj, los contadores se clasifican en dos amplias categorías: asíncronos y síncronos. En los contadores asíncronos, normalmente denominados *contadores con propagación (ripple counters)*, se aplica una señal de reloj externa a la entrada de reloj del primer flip-flop y luego a los siguientes flip-flops se les aplica la señal de reloj mediante la salida del flip-flop anterior. En los contadores síncronos, la entrada de reloj se conecta a todos los flip-flops, de forma que se les aplica la señal de reloj simultáneamente. Dentro de cada una de estas dos categorías, los contadores se clasifican por el tipo de secuencia, el número de estados o el número de flip-flops del contador.

DISPOSITIVOS DE FUNCIÓN FIJA

74XX93	74XX161	74XX162
74XX163	74XX190	74XX47

■■■ APLICACIÓN A LOS SISTEMAS DIGITALES

Esta aplicación a los sistemas digitales ilustra los conceptos que se tratan en el capítulo. Se continúa con el sistema de control de semáforos de los últimos dos capítulos. Este capítulo se ocupa de la lógica secuencial del sistema que produce la secuencia de luces basada en las entradas de los circuitos de temporización y del sensor de vehículos. Las partes desarrolladas en los Capítulo 6 y 7 se combinan con la lógica secuencial para completar el sistema.

8.1 FUNCIONAMIENTO DEL CONTADOR ASÍNCRONO

El término *asíncrono* se refiere a los sucesos que no poseen una relación temporal fija entre ellos y que, generalmente, no ocurren al mismo tiempo. Un **contador asíncrono** es aquél en el que los flip-flops (FF) del contador no cambian de estado exactamente al mismo tiempo, dado que no comparten el mismo impulso de reloj.

Al finalizar esta sección, el lector deberá ser capaz de:

- Describir el funcionamiento de un contador asíncrono binario de 2 bits.
- Describir el funcionamiento de un contador asíncrono binario de 3 bits.
- Definir la *propagación* en contadores asíncronos.
- Describir el funcionamiento de un contador de décadas asíncrono.
- Desarrollar los diagramas de tiempos de los contadores.
- Describir el contador asíncrono binario de 4 bits 74LS93.

Contador asíncrono binario de 2 bits

▲ *La entrada de reloj de un contador asíncrono siempre está conectada sólo al flip-flop LSB.*

La Figura 8.1 presenta un contador de 2 bits conectado para que funcione en modo asíncrono. Observe que el reloj (CLK) está conectado únicamente a la entrada de reloj (C) del primer flip-flop, FF0. El segundo flip-flop, FF1, se dispara mediante la salida \bar{Q}_0 de FF0. FF0 cambia de estado durante el flanco positivo de cada impulso de reloj, pero FF1 sólo cambia cuando es disparado por una transición positiva de la salida \bar{Q}_0 de FF0. Debido al retardo de propagación inherente al paso de las señales

por un flip-flop, las transiciones de los impulsos de entrada del reloj y de la salida \bar{Q}_0 de FF0 no pueden ocurrir nunca al mismo tiempo. Por tanto, los dos flip-flops nunca se disparan de forma simultánea, por lo que el modo de funcionamiento de este contador es asíncrono.

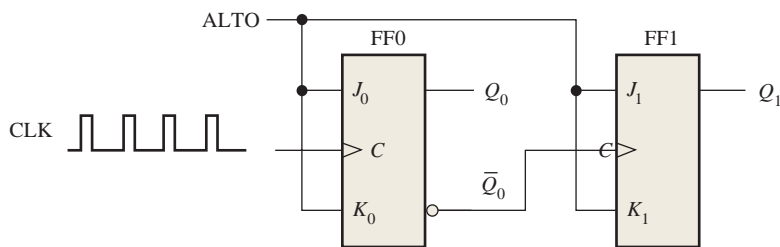


FIGURA 8.1 Contador asíncrono binario de 2 bits.

Diagrama de tiempos. Vamos a examinar el funcionamiento básico del contador asíncrono de la Figura 8.1, aplicando cuatro impulsos de reloj a FF0 y observando la salida Q de cada flip-flop. La Figura 8.2 ilustra los cambios de estado en las salidas del flip-flop en respuesta a los impulsos de reloj. Ambos flip-flops están conectados en modo de basculación ($J = 1, K = 1$) y se presupone que, inicialmente, están en estado RESET (Q a nivel BAJO).

El flanco positivo de CLK1 (impulso de reloj 1) hace que la salida Q_0 de FF0 pase a nivel ALTO, como se muestra la Figura 8.2. Al mismo tiempo, la salida \bar{Q}_0 pasa a nivel BAJO, pero esto no afecta a FF1, ya que tiene que ser una transición positiva la que le dispare. Después del flanco anterior de CLK1, $Q_0 = 1$ y $Q_1 = 0$.

▲ *Los contadores asíncronos se conocen también como contadores con propagación.*

El flanco positivo de CLK2 hace que Q_0 pase a nivel BAJO. La salida \bar{Q}_0 se pone a nivel ALTO y dispara FF1, haciendo que Q_1 pase a nivel ALTO. Tras el flanco anterior de CLK2, $Q_0 = 0$ y $Q_1 = 1$. El flanco positivo de CLK3 hace que Q_0 pase a nivel ALTO de nuevo. La salida \bar{Q}_0 se pone a nivel BAJO y no afecta al estado de FF1. Por tanto, tras el flanco anterior de CLK3, $Q_0 = 1$ y $Q_1 = 1$. El flanco positivo de

CLK4 hace que Q_0 pase a nivel BAJO, mientras que \bar{Q}_0 se pone a nivel ALTO y dispara FF1, haciendo que Q_1 pase a nivel BAJO. Después del flanco anterior de CLK4, $Q_0 = 0$ y $Q_1 = 0$. El contador ha vuelto a su estado original (los dos flip-flops se encuentran en estado RESET).

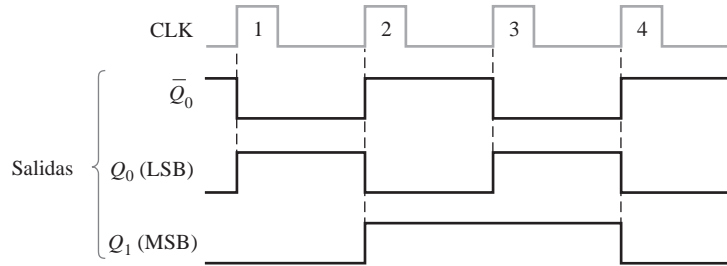


FIGURA 8.2 Diagrama de tiempos del contador de la Figura 8.1. Como en los capítulos anteriores, las formas de onda de salida se muestran en negro.

En el diagrama de tiempos, las formas de onda de las salidas Q_0 y Q_1 se muestran en función de los impulsos de reloj, como ilustra la Figura 8.2. Para simplificar, las transiciones de Q_0 , Q_1 y los impulsos de reloj se muestran como simultáneos, aunque se trate de un contador asíncrono. Existe, por supuesto, un ligero retardo entre las transiciones de CLK y Q_0 y las transiciones de \bar{Q}_0 y Q_1 .

▲ En la lógica digital, Q_0 es siempre el bit menos significativo, (LSB), a menos que se indique lo contrario.

Observe en la Figura 8.2, que el contador de 2 bits dispone de cuatro estados diferentes, como cabría esperar de dos flip-flops ($2^2 = 4$). Además, téngase en cuenta que si Q_0 representa el bit menos significativo (LSB) y Q_1 representa el bit más significativo (MSB), la secuencia de los estados del contador representa una secuencia de números binarios, como se muestra en la Tabla 8.1.

Puesto que pasa por una **secuencia** binaria, el contador de la Figura 8.1 es un contador binario. En realidad, cuenta el número de impulsos de reloj hasta el tercero y, en el cuarto impulso, inicia un nuevo ciclo a partir de su estado original ($Q_0 = 0$, $Q_1 = 0$). El inicio de un **nuevo ciclo** (*recycle*, término que se aplica comúnmente al funcionamiento de los contadores) se refiere a la transición del contador de su estado final a su estado original.

Contador asíncrono binario de 3 bits La secuencia de estados de un contador binario de 3 bits se presenta en la Tabla 8.2 y en la Figura 8.3(a) se muestra un contador asíncrono binario de 3 bits. Su funcionamiento básico es el mismo que el del contador de 2 bits, excepto en que el contador de 3 bits tiene ocho estados, ya que está formado por tres flip-flops. En la Figura 8.3(b) se presenta un diagrama de tiempos para ocho impulsos de reloj. Observe que el contador de la Figura 8.3 avanza a través de una secuencia binaria desde cero hasta siete, iniciando después un nuevo ciclo desde su estado cero. Este contador puede ampliarse fácilmente a un contador mayor, conectando flip-flops adicionales.

Impulso de reloj	Q_1	Q_2
Inicialmente	0	0
1	0	1
2	1	0
3	1	1
4 (nuevo ciclo)	0	0

TABLA 8.1 Secuencia de estados binarios para el contador de la Figura 8.1.

Impulso de reloj	Q_2	Q_1	Q_0
Inicialmente	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (nuevo ciclo)	0	0	0

TABLA 8.2 Secuencia de estados de un contador binario de tres bits.

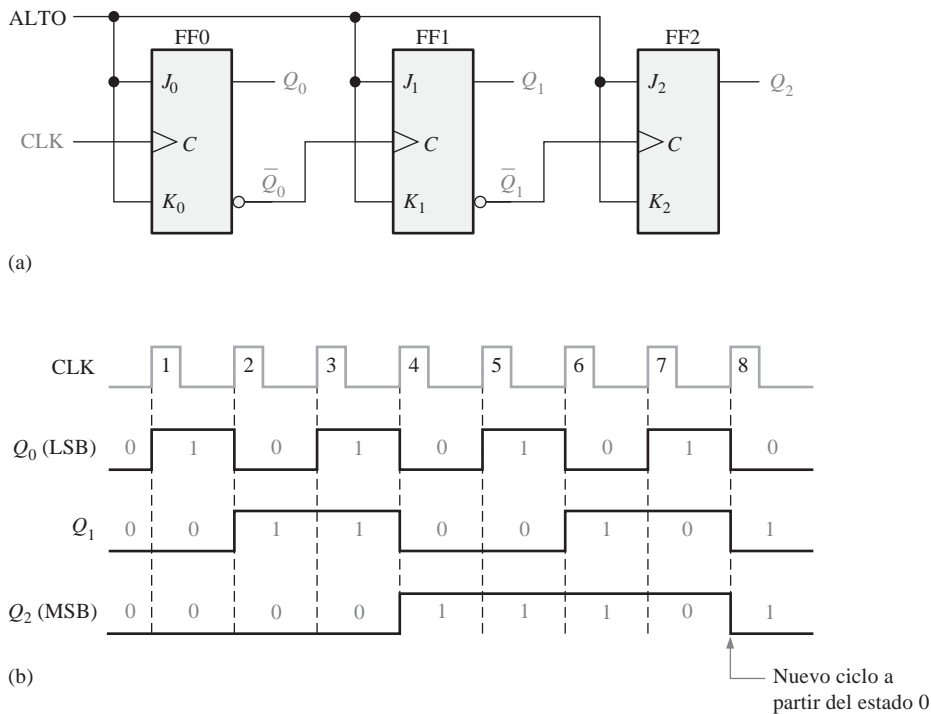


FIGURA 8.3 Contador binario asíncrono de tres bits y su diagrama de tiempos para un ciclo.

Retardo de propagación A los contadores asíncronos también se les denomina **contadores con propagación** por la siguiente razón: el efecto de un impulso en la entrada de reloj lo “siente” primero FF0. Este efecto no llega inmediatamente a FF1, debido al retardo de propagación a través de FF0. Del mismo modo, se produce un retardo de propagación a través de FF1, antes de que FF2 pueda ser disparado. Por tanto, el efecto de un impulso en la entrada de reloj se “propaga” a través del contador, tardando un cierto tiempo en alcanzar el último de los flip-flops, debido a los retardos de propagación.

Como ilustración, observe que todos los flip-flops del contador de la Figura 8.3 cambian de estado a en el flanco anterior de CLK4. Este efecto de propagación de la señal de reloj se muestra en la Figura 8.4 para los

cuatro primeros impulsos de reloj, indicando los retardos de propagación. La transición de nivel ALTO a nivel BAJO de Q_0 se produce después de un determinado retardo (t_{PHL}) después de la transición positiva del impulso de reloj. La transición de nivel ALTO a nivel BAJO de Q_1 ocurre un tiempo (t_{PLH}) después de la transición positiva de \bar{Q}_0 . La transición de nivel BAJO a nivel ALTO de Q_2 se produce después de otra unidad de retardo (t_{PLH}) después de la transición positiva de \bar{Q}_1 . Como puede ver, FF2 no se dispara hasta que han transcurrido dos unidades de retardo después del flanco positivo del impulso de reloj, CLK4. Por tanto, se necesitan tres unidades de retardo para que el efecto del impulso de reloj CLK se propague a través del contador y Q_2 pase de nivel BAJO a nivel ALTO.

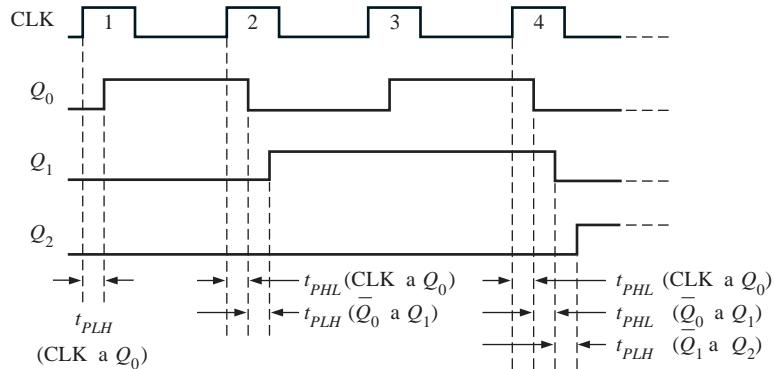


FIGURA 8.4 Retardos de propagación en un contador binario asíncrono (con propagación de reloj) de 3 bits.

Este retardo acumulativo de un contador asíncrono es una de sus mayores desventajas para muchas aplicaciones, ya que limita la velocidad a la que el contador puede ser sincronizado, y puede dar lugar a problemas de decodificación. El retardo acumulativo máximo en un contador tiene que ser menor que el período de la señal de reloj.

EJEMPLO 8.1

En la Figura 8.5(a) se muestra un contador asíncrono binario de 4 bits. Cada flip-flop es disparado por flanco negativo y tiene un retardo de propagación de 10 nanosegundos (ns). Dibujar un diagrama de tiempos que muestre la salida Q de cada uno de los flip-flops y determinar el retardo de propagación total desde el flanco de disparo de un impulso de reloj hasta que pueda producirse el cambio correspondiente en el estado de Q_3 . Determinar también la frecuencia máxima de reloj a la que puede funcionar el contador.

Solución

En la Figura 8.5(b) se muestra el diagrama de tiempos, habiendo omitido los retardos. Por lo que se refiere al retardo total, el efecto de CLK8 o CLK16 se tiene que propagar a través de cuatro flip-flops antes de que Q_3 cambie, de forma que:

$$t_{p(tot)} = 4 \times 10 \text{ ns} = \mathbf{40 \text{ ns}}$$

La frecuencia máxima de reloj es:

$$f_{\max} = \frac{1}{t_{p(tot)}} = \frac{1}{40 \text{ ns}} = \mathbf{25 \text{ MHz}}$$

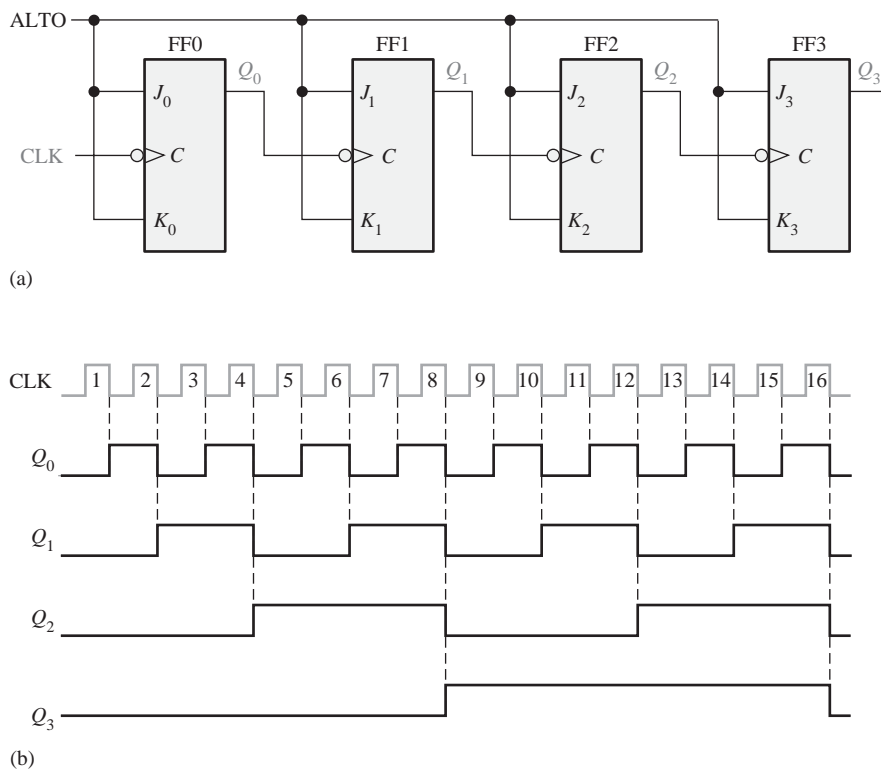


FIGURA 8.5 Contador binario asíncrono de 4 bits y su diagrama de tiempos.

Problema relacionado* Dibujar el diagrama de tiempos si todos los flip-flops de la Figura 8.5(a) fueran disparados por flanco positivo.

* Las respuestas se encuentran al final del capítulo.

Contador de décadas asíncrono

▲ *Un contador puede tener 2^n estados, siendo n el número de flip-flops.*

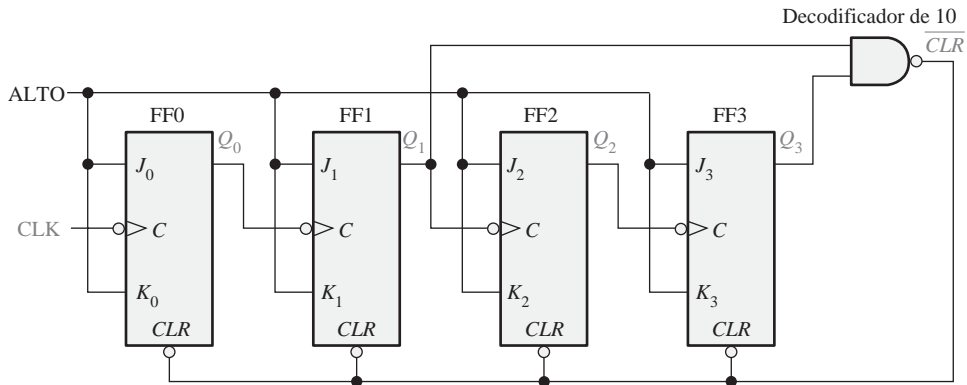
El **módulo** de un contador es el número de estados distintos por el que el contador puede pasar de forma secuencial. El número máximo de posibles estados (módulo máximo) de un contador es 2^n , donde n representa el número de flip-flops del contador. También se pueden diseñar contadores que tengan un número de estados en su secuencia que sea menor que el máximo de 2^n . La secuencia resultante se denomina **secuencia truncada**.

Un módulo típico en los contadores con secuencia truncada es diez (denominado MOD10). Los contadores que tienen diez estados en su secuencia se denominan contadores de **décadas**. Un contador de décadas, cuya secuencia de cuenta vaya de cero (0000) a nueve (1001), es un contador de décadas BCD, ya que su secuencia de diez estados corresponde al código BCD. Este tipo de contadores resulta muy útil en las aplicaciones de displays, en las que se necesitan códigos BCD para la conversión a código decimal.

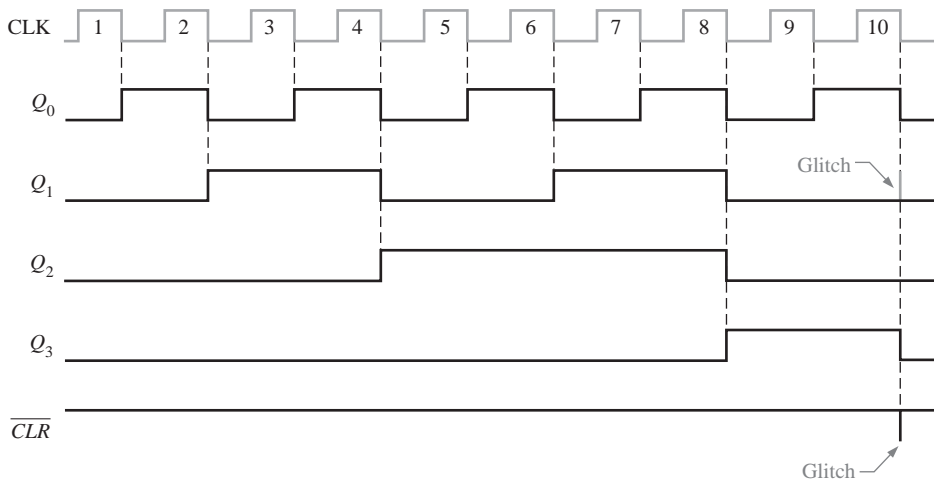
Para obtener una secuencia truncada, es necesario forzar al contador a que inicie un nuevo ciclo antes de haber pasado por todos los estados normales. Por ejemplo, el contador BCD de décadas tiene que comenzar

de nuevo en el estado 0000 después de pasar por el estado 1001. Un contador de décadas requiere cuatro flip-flops (tres serían insuficientes, ya que $2^3 = 8$).

Para ilustrar el principio de los contadores truncados, vamos a utilizar un contador asíncrono de 4 bits, como el del Ejemplo 8.1, en el que modificaremos su secuencia. Una manera de hacer que un contador inicie un nuevo ciclo después de haber llegado a nueve (1001) consiste en decodificar el diez (1010) con una puerta NAND y conectar la salida de la puerta NAND a las entradas de borrado (\overline{CLR}) de los flip-flops, como se muestra en la Figura 8.6(a).



(a)



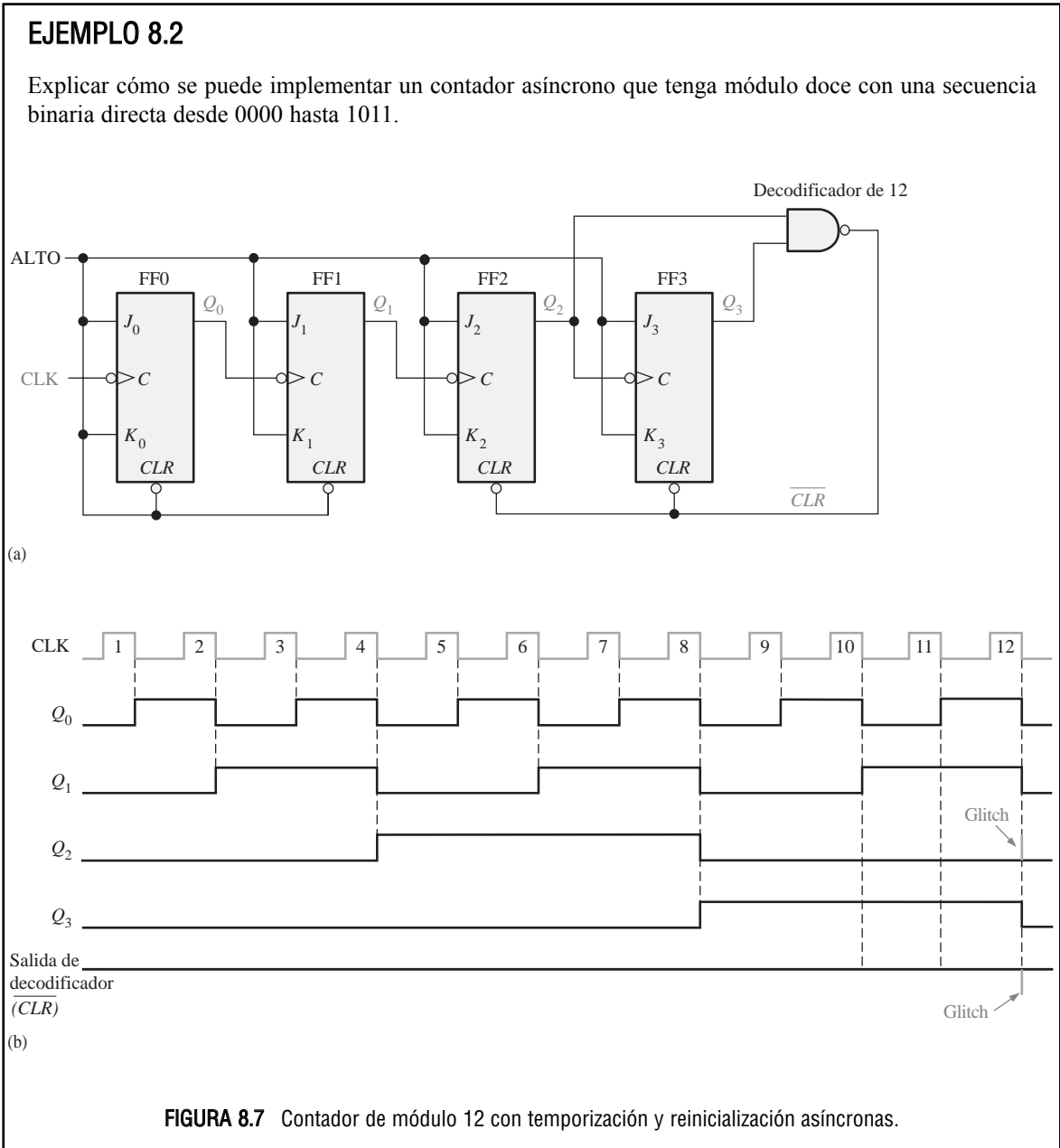
(b)

FIGURA 8.6 Contador de décadas asíncrono con reinicialización asíncrona.

Decodificación parcial Observe en la Figura 8.6(a) que únicamente Q_1 y Q_3 están conectadas a las entradas de la puerta NAND. Esta disposición es un ejemplo de *decodificación parcial*, mediante la cual dos únicos estados ($Q_1 = 1$ y $Q_3 = 1$) son suficientes para decodificar el valor diez, ya que ninguno de los otros estados (de cero a nueve) tienen Q_1 y Q_3 a nivel ALTO al mismo tiempo. Cuando el contador llega al número diez (1010), la salida de la puerta decodificadora pasa a nivel BAJO y pone a cero asíncronamente todos los flip-flops.

El diagrama de tiempos resultante se muestra en la Figura 8.6(b). Observe que hay un *glitch* en la forma de onda Q_1 . La razón de este *glitch* es que Q_1 tiene que pasar primero por el nivel ALTO antes de que el número diez pueda decodificarse. Hasta unos nanosegundos después de que el contador llegue al número diez, la salida de la puerta decodificadora no se pone a nivel BAJO (las dos entradas están a nivel ALTO). Por tanto, el contador se encuentra en el estado 1010 durante un período de tiempo corto antes de que se reinicie a 0000, produciendo, por tanto, el *glitch* en Q_1 y en la línea \overline{CLR} que sirve para poner a cero el contador.

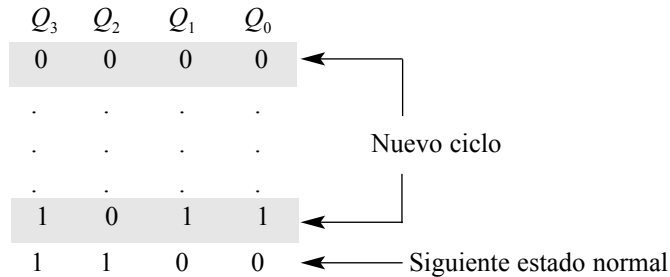
Como muestra el Ejemplo 8.2, se pueden implementar otras secuencias truncadas de manera similar.



Solución

Puesto que tres flip-flops pueden generar un máximo de ocho estados, necesitamos cuatro flip-flops para producir cualquier módulo mayor que ocho y menor o igual que dieciséis.

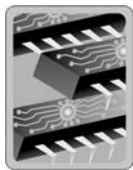
Cuando el contador alcanza el estado final 1011 tiene que iniciar un nuevo ciclo a partir de 0000, en lugar de pasar al siguiente estado natural, 1100, como ilustra la siguiente secuencia:



Observe que, en cualquier caso, tanto Q_0 como Q_1 toman el valor 0, mientras que a Q_2 y Q_3 se les debe forzar para que tomen el valor 0 en el duodécimo impulso de reloj. La Figura 8.7(a) muestra el contador de módulo 12. La puerta NAND decodifica parcialmente el número doce (1100) y pone a cero los flip-flops 2 y 3. Por tanto, en el duodécimo impulso de reloj, se fuerza al contador a iniciar un nuevo ciclo, pasando de once a cero, como se muestra en el diagrama de tiempos de la Figura 8.7(b). Permanece en el número doce sólo durante unos cuantos nanosegundos antes de ponerse a cero por el *glitch* en (CLR).

Problema relacionado. ¿Cómo se puede modificar el contador de la Figura 8.7(a) para hacer de él un contador de módulo 13?

CONTADOR BINARIO ASÍNCRONO DE 4 BITS 74LS93



El 74LS93 es un ejemplo de circuito integrado contador asíncrono. Como muestra el diagrama lógico de la Figura 8.8, este dispositivo está formado por un flip-flop y un contador asíncrono de 3 bits. Esta disposición le proporciona una gran flexibilidad. Si se utiliza únicamente el flip-flop, se puede utilizar como dispositivo divisor por 2; y si se utiliza únicamente el contador de 3 bits, se puede emplear como contador de módulo 8. Este dispositivo proporciona además entradas de puesta a cero (RESET) $RO(1)$ y $RO(2)$. Cuando estas dos entradas están a nivel ALTO, el contador se resetea al estado 0000 mediante \overline{CLR} .

Adicionalmente, el 74LS93A se puede utilizar como contador de 4 bits de módulo 16 (cuenta de cero a 15), conectando la salida Q_0 a la entrada CLK B, como muestra la Figura 8.9(a). También se puede configurar como contador de décadas (cuenta de 0 a 9) con reinicialización asíncrona, utilizando las entradas de puesta a cero para decodificar parcialmente el número diez, como muestra la Figura 8.9(b).

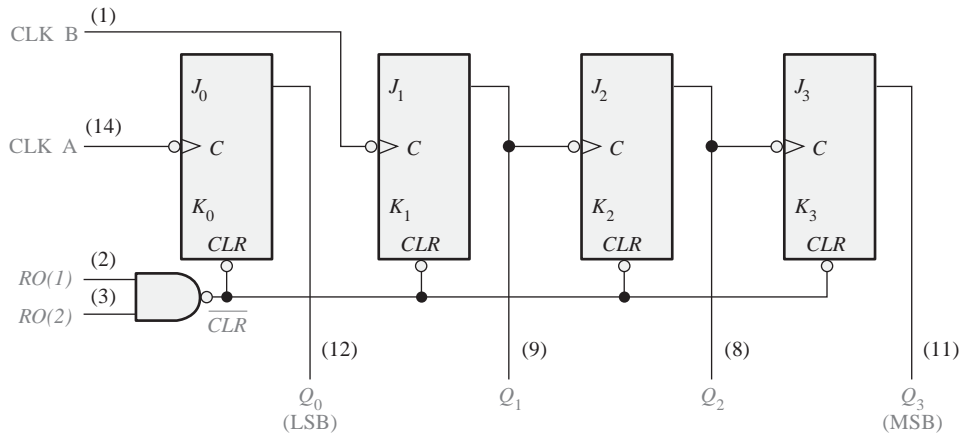
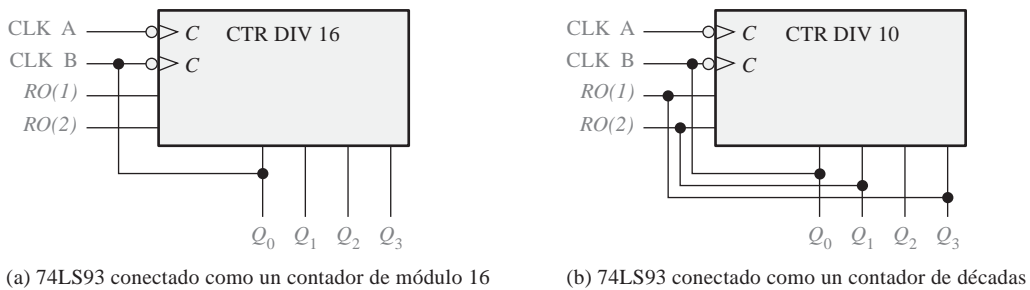


FIGURA 8.8 Diagrama lógico del contador binario asíncrono de 4 bits 74LS93. Los números de los pines se indican entre paréntesis. Todas las entradas J y K están internamente conectadas a nivel ALTO.



(a) 74LS93 conectado como un contador de módulo 16

(b) 74LS93 conectado como un contador de décadas

FIGURA 8.9 Dos configuraciones del contador asíncrono 74LS93. La etiqueta CTR DIV n indica un contador de n estados.

EJEMPLO 8.3

Explicar cómo se puede usar un 74LS93A como contador de módulo 12.

Solución

Utilizar las entradas de puesta a cero $RO(1)$ y $RO(2)$, para decodificar parcialmente el número 12 (recuerde que hay una puerta NAND interna asociada a estas entradas). La decodificación del número 12 se lleva cabo conectando Q_3 a $RO(1)$ y Q_2 a $RO(2)$, como se muestra en la Figura 8.10. La salida Q_0 se conecta a CLK B para conseguir un contador de 4 bits.

Inmediatamente después de que el contador alcanza el estado 12 (1100), vuelve al estado inicial 0000. El inicio de un nuevo ciclo, sin embargo, origina un *glitch* en Q_2 debido a que el contador tiene que permanecer en el estado 1100 durante unos pocos nanosegundos antes de comenzar otro ciclo.

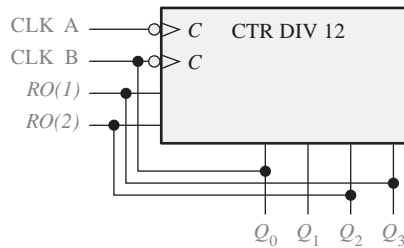


FIGURA 8.10 74LS93 conectado como contador de módulo 12.

Problema relacionado Explicar cómo se podría conectar un 74LS93 como contador de módulo 13.

REVISIÓN DE LA SECCIÓN 8.1

Las respuestas se encuentran al final del capítulo

1. ¿Qué significa el término *asíncrono* en relación a los contadores?
2. ¿Cuántos estados tiene un contador de módulo 14? ¿Cuál es el mínimo número de flip-flops requerido?

8.2 FUNCIONAMIENTO DEL CONTADOR SÍNCRONO

El término *síncrono* se refiere a los eventos que tienen una relación temporal fija entre sí. Un **contador síncrono** es aquel en el que todos los flip-flops del contador reciben en el mismo instante la señal de reloj.

Al finalizar esta sección, el lector deberá ser capaz de:

- Describir el funcionamiento de un contador síncrono binario de 2 bits.
- Describir el funcionamiento de un contador síncrono binario de 3 bits.
- Describir el funcionamiento de un contador síncrono binario de 4 bits.
- Describir el funcionamiento de un contador de décadas síncrono.
- Desarrollar los diagramas de tiempos de los contadores.
- Utilizar el contador binario de 4 bits 74HC163 y el contador BCD de décadas 74F162.

Contador binario síncrono de 2 bits

La Figura 8.11 muestra un contador binario síncrono de 2 bits. Observe que debe utilizarse una disposición distinta a la del contador asíncrono para las entradas J_1 y K_1 de FF1, con el fin de poder conseguir una secuencia binaria.

▲ En un contador síncrono, la entrada de reloj llega a cada flip-flop.

El funcionamiento de este **contador síncrono** es el siguiente: en primer lugar, se supone que el contador se encuentra inicialmente en el estado binario 0; es decir, los dos flip-flops se encuentran en estado RESET. Cuando se aplica el flanco positivo del primer impulso de reloj, FF0 bascula, por lo que Q_0 se pone a nivel ALTO. ¿Qué le ocurre a FF1 en el flanco positivo de CLK1? Para averiguarlo, vamos a fijarnos

en las condiciones de entrada de FF1. Las entradas J_1 y K_1 están ambas a nivel BAJO, ya que están conectadas a Q_0 , y ésta todavía no se ha puesto a nivel ALTO. Recuerde que existe un retardo de propagación desde

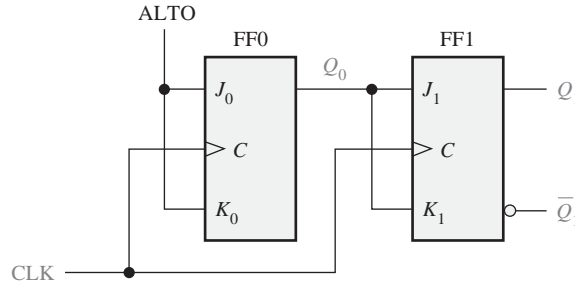


FIGURA 8.11 Contador binario síncrono de dos bits.

el flanco de disparo del impulso de reloj hasta que, realmente, se realiza la transición en la salida Q . Por tanto, $J=0$ y $K=0$ cuando se aplica el flanco anterior del primer impulso de reloj. Ésta es una condición de no cambio y, por tanto, FF1 no cambia de estado. En la Figura 8.12(a) se muestra una parte del diagrama de tiempos de esta fase del funcionamiento del contador.

Después de CLK1, $Q_0 = 1$ y $Q_1 = 0$ (que corresponde al estado binario 1). Cuando se produce el flanco anterior de CLK2, FF0 bascula y Q_0 se pone a nivel BAJO. Puesto que FF1 tiene un nivel ALTO ($Q_0 = 1$) en sus entradas J_1 y K_1 durante el flanco de disparo del impulso de reloj, el flip-flop bascula y Q_1 pasa a nivel ALTO. Por tanto, después de CLK2, $Q_0 = 0$ y $Q_1 = 1$ (que corresponde al estado binario 2). En la Figura 8.12(b) se muestra en detalle esta parte del diagrama de tiempos para esta condición.

Cuando se produce el flanco anterior de CLK3, FF0 bascula de nuevo al estado SET ($Q_0 = 1$) y FF1 permanece en estado SET ($Q_1 = 1$), ya que sus entradas J_1 y K_1 están ambas a nivel BAJO ($Q_0 = 0$). Tras este flanco de disparo, $Q_0 = 1$ y $Q_1 = 1$ (que corresponde al estado binario 3). En la Figura 8.12(c) se muestra en detalle el diagrama de tiempos para esta condición.

Finalmente, durante el flanco anterior de CLK4, Q_0 y Q_1 se ponen a nivel BAJO, dado que ambos flip-flops están en modo de basculación debido al valor presente en sus entradas J y K . En la Figura 8.12(d) se muestra en detalle el diagrama de tiempos para esta condición. El contador acaba de iniciar un nuevo ciclo a partir de su estado original, 0 binario.

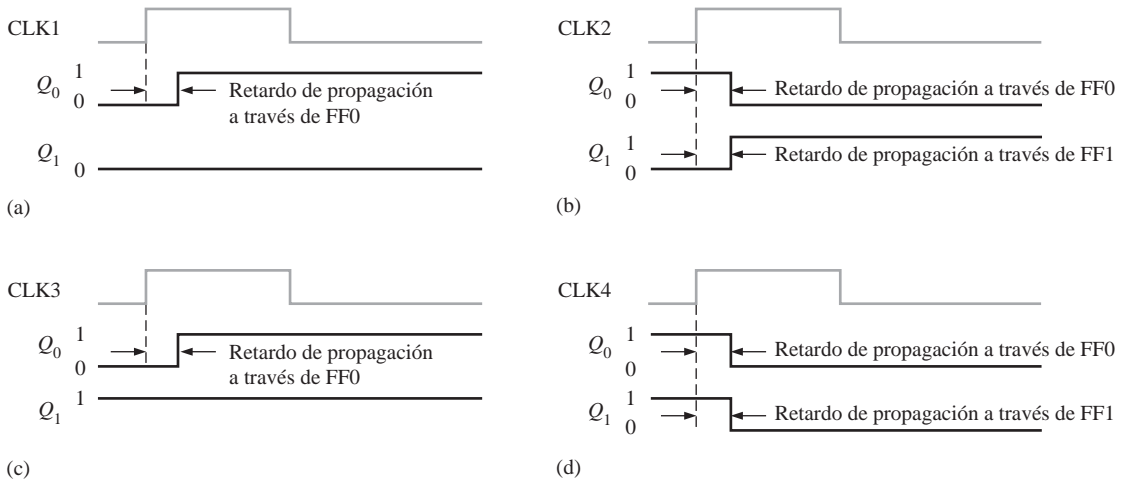


FIGURA 8.12 Diagramas de tiempos para un contador síncrono de 2 bits (los retardos de propagación de ambos flip-flops se consideran iguales).

El diagrama de tiempos completo del contador de la Figura 8.11 se muestra en la Figura 8.13. Observe que todas las transiciones de las señales son coincidentes; es decir, no se indican los retardos de propagación. Aunque los retardos son un factor importante en el funcionamiento de un contador síncrono, se suelen omitir para simplificar los diagramas de tiempos generales. Si no se muestran los pequeños retardos y las diferencias de temporización, se puede conseguir relacionar mejor las señales resultantes de un circuito lógico. Sin embargo, en circuitos digitales de alta velocidad, estos pequeños retardos son una consideración importante en el diseño y la localización de averías.

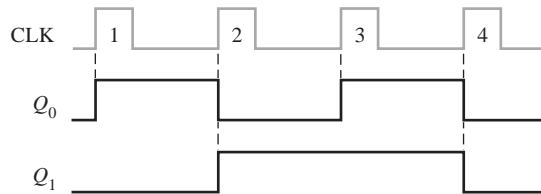


FIGURA 8.13 Diagrama de tiempos del contador de la Figura 8.11.

Contador síncrono binario de 3 bits

En la Figura 8.14 se muestra un contador síncrono binario de 3 bits y en la Figura 8.15 su diagrama de tiempos. Para entender el funcionamiento de este tipo de contador debe examinarse detenidamente su secuencia de estados, la cual se muestra en la Tabla 8.3.

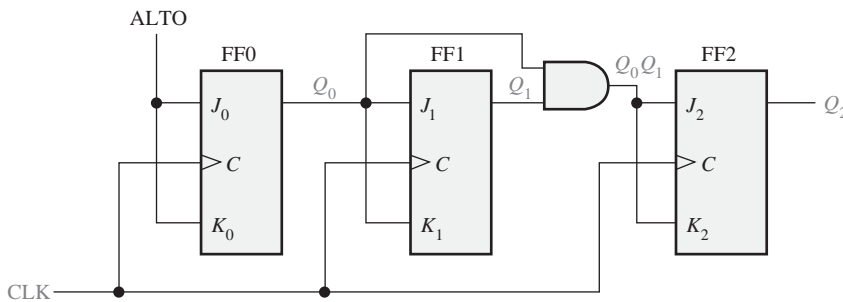


FIGURA 8.14 Contador binario síncrono de 3 bits.

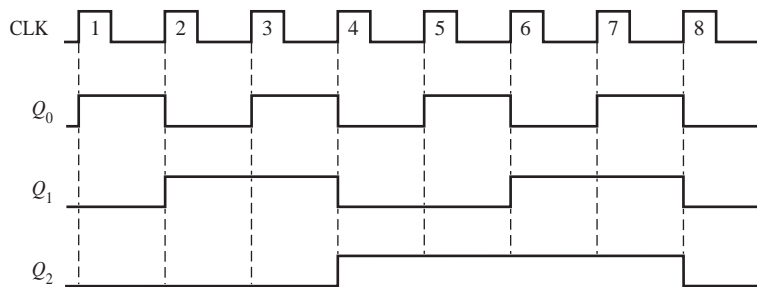


FIGURA 8.15 Diagrama de tiempos del contador de la Figura 8.14.

En primer lugar, vamos a fijarnos en Q_0 . Observe que, Q_0 cambia en cada impulso de reloj a medida que el contador avanza desde su estado original hasta su estado final, para luego iniciar un nuevo ciclo a partir del

Impulso de reloj	Q_2	Q_1	Q_0
Inicialmente	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (nuevo ciclo)	0	0	0

TABLA 8.3 Secuencia de estados del contador binario de tres bits.



NOTAS INFORMÁTICAS

El TSC (*Time Stamp Counter*, contador de marca temporal) en el Pentium se utiliza para monitorizar el funcionamiento, lo que permite determinar de forma exacta una serie de importantes parámetros dentro del funcionamiento global de un sistema Pentium. Leyendo el TSC antes y después de la ejecución de un procedimiento, se puede determinar el tiempo preciso requerido para el procedimiento, en función de la frecuencia de ciclo del procesador. De esta forma, el TSC es la base para determinar todas las temporizaciones relacionadas con la optimización del funcionamiento del sistema. Por ejemplo, se puede determinar de forma precisa cuál de dos o más secuencias de programación es la más eficiente. Ésta es una herramienta muy útil para los desarrolladores de compiladores y programadores de sistemas, a la hora de generar el código más eficiente para el Pentium.

estado original. Para conseguir este funcionamiento, FF0 tiene que mantenerse en modo de basculación, aplicando constantemente niveles altos en sus entradas J_0 y K_0 . Téngase en cuenta que Q_1 pasa al estado contrario cada vez que Q_0 está a 1. Este cambio se produce en CLK2, CLK4, CLK6 y CLK8. El impulso CLK8 hace que el contador inicie un nuevo ciclo. Para conseguir este modo de operación, se conecta Q_0 a las entradas J_1 y K_1 de FF1. Cuando Q_0 está a 1 y se produce un impulso de reloj, FF1 se encuentra en modo de basculación y, por tanto, cambia de estado. El resto de las veces, cuando Q_0 es 0, FF1 está en modo no cambio, quedando en su estado actual.

A continuación, vamos a ver cómo se consigue que FF2 cambie de estado en los instantes adecuados de acuerdo a la secuencia binaria. Observe que las dos veces que Q_2 cambia de estado, debe cumplirse la única condición de que tanto Q_0 como Q_1 estén a nivel ALTO. Esta condición se detecta mediante la puerta AND, cuya salida se aplica a las entradas J_2 y K_2 de FF2. Siempre que Q_0 y Q_1 están a nivel ALTO, la salida de la puerta AND hace que las entradas J_2 y K_2 de FF2 se pongan a nivel ALTO, y FF2 bascula en el siguiente impulso de reloj. El resto de las veces, las entradas J_2 y K_2 de FF2 se mantienen a nivel BAJO, al igual que la salida de la puerta AND, y FF2 no cambia de estado.

Contador síncrono binario de 4 bits

La Figura 8.16(a) presenta un contador binario síncrono de 4 bits y la Figura 8.16(b) muestra su diagrama de tiempos. Este contador particular se implementa con flip-flops disparados por flanco negativo. El razonamiento para controlar las entradas J y K de los tres primeros flip-flops es el mismo que el del contador de 3 bits, previamente estudiado. La cuarta etapa, FF3, varía sólo dos veces en la secuencia. Observe que estas dos transiciones ocurren justo cuando Q_0 , Q_1 y Q_2 están a nivel ALTO. Esta condición se decodifica mediante la puer-

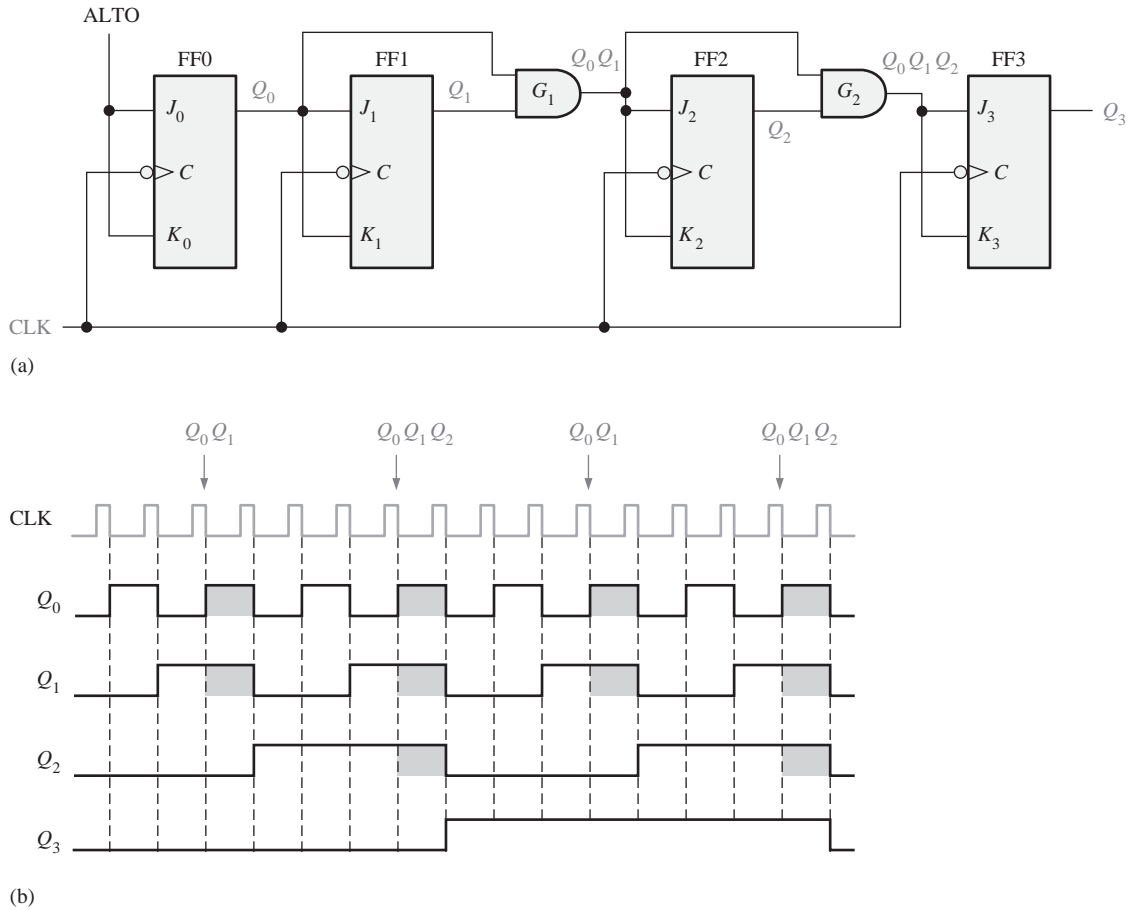


FIGURA 8.16 Contador binario síncrono de 4 bits y diagrama de tiempos. Los instantes en que las salidas de las puertas AND están a nivel ALTO se indican con áreas sombreadas.

ta AND G_2 de forma que, cuando se produce un impulso de reloj, FF3 cambia de estado. En los demás casos, las entradas J_3 y K_3 de FF3 están a nivel BAJO y se produce la condición de no cambio.

Contador de décadas síncrono de 4 bits

Como ya sabemos, un contador de décadas BCD dispone de una secuencia binaria truncada que va desde 0000 hasta el estado 1001. En lugar de pasar al estado 1010, inicia un nuevo ciclo a partir del estado 0000. En la Figura 8.17 se presenta un contador de décadas BCD síncrono. En la Figura 8.18 se muestra el diagrama de tiempos para este contador de décadas.

El funcionamiento de este contador se puede entender examinando la secuencia de estados de la Tabla 8.4, y siguiendo la implementación de la Figura 8.17. En primer lugar, observe que FF0 (Q_0) bascula en cada impulso de reloj, por lo que la ecuación lógica para sus entradas J_0 y K_0 es:

$$J_0 = K_0 = 1$$

Esta ecuación se implementa conectando J_0 y K_0 a un nivel ALTO constante.

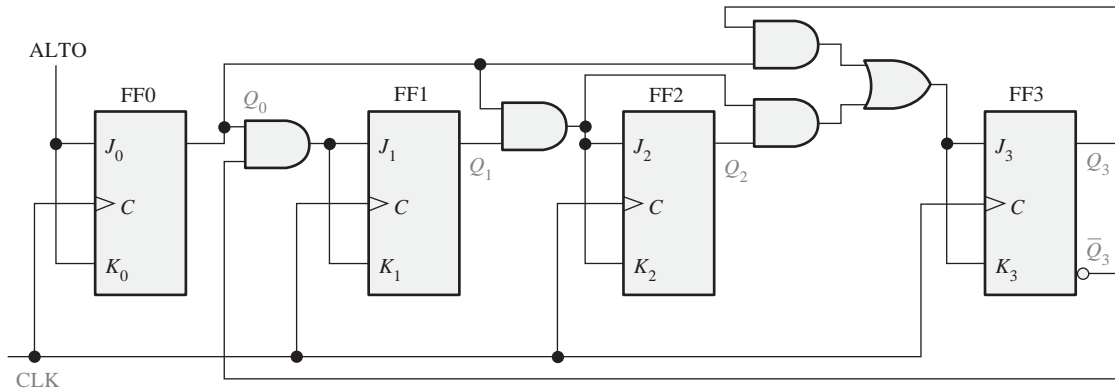


FIGURA 8.17 Contador de décadas BCD síncrono.

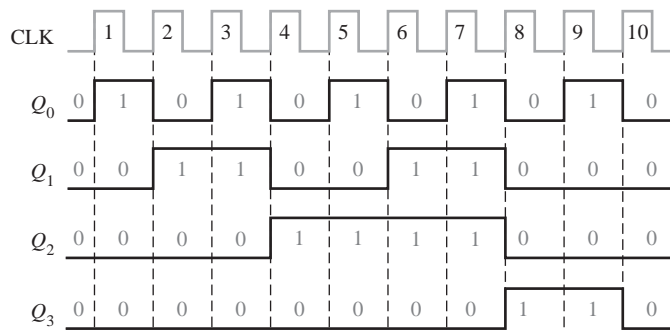


FIGURA 8.18 Diagrama de tiempos del contador de décadas BCD (Q_0 es el LSB).

A continuación, observe en la Tabla 8.4 que FF1 (Q_1) cambia en el siguiente impulso de reloj cada vez que $Q_0 = 1$ y $Q_3 = 0$, por lo que la ecuación lógica para las entradas J_1 y K_1 es:

$$J_1 = K_1 = Q_0 \bar{Q}_3$$

Esta ecuación se implementa aplicando la operación AND a las salidas Q_0 y \bar{Q}_3 , y conectando la salida de la puerta a las entradas J_1 y K_1 de FF1.

El flip-flop 2 (Q_2) cambia de estado en el siguiente impulso de reloj cada vez que $Q_0 = 1$ y $Q_1 = 1$. Luego la ecuación lógica de entrada es:

$$J_2 = K_2 = Q_0 Q_1$$

Esta ecuación se implementa aplicando Q_0 y Q_1 a las entradas de una puerta AND, y conectando la salida de la puerta a las entradas J_2 y K_2 de FF2.

Finalmente, FF3 (Q_3) cambia de estado en el siguiente impulso de reloj cada vez que $Q_0 = 1$, $Q_1 = 1$ y $Q_2 = 1$ (estado 7), o cuando $Q_0 = 1$ y $Q_3 = 1$ (estado 9). La ecuación que rige esto es la siguiente:

$$J_3 = K_3 = Q_0 Q_1 Q_2 + Q_0 Q_3$$

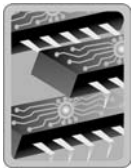
Esta función se implementa mediante la lógica AND/OR conectada a las entradas J_3 y K_3 de FF3, como se muestra en el diagrama lógico de la Figura 8.17. Observe que la única diferencia entre este contador de déca-

Impulso de reloj	Q_3	Q_2	Q_1	Q_0
Inicialmente	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10 (nuevo ciclo)	0	0	0	0

TABLA 8.4 Estados del contador de décadas BCD.

das y el contador binario de módulo 16 de la Figura 8.16 son la puerta AND con entradas $Q_0\bar{Q}_3$, la puerta AND con entradas Q_0Q_3 y la puerta OR; esta disposición detecta la ocurrencia del estado 1001 y hace que el contador inicie un nuevo ciclo correctamente en el siguiente impulso de reloj.

CONTADOR BINARIO SÍNCRONO DE 4 BITS 74HC163



El 74HC163 es un ejemplo de un circuito integrado contador binario síncrono de 4 bits. El símbolo lógico se muestra en la Figura 8.19, con la numeración de pines entre paréntesis. Este contador tiene varias características adicionales con respecto a las características básicas del contador binario síncrono general previamente tratado.

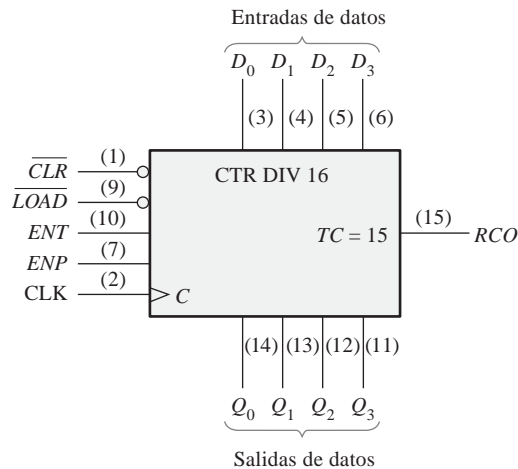


FIGURA 8.19 El contador binario síncrono de 4 bits 74HC163. La etiqueta CTR DIV 16 indica un contador con dieciséis estados.

En primer lugar, el contador puede reinicializarse de forma síncrona en cualquier número binario de 4 bits, aplicando los niveles adecuados en las entradas de datos paralelo. Cuando se aplica un nivel BAJO a la entrada \overline{LOAD} , el contador asumirá el estado de las entradas de datos en el siguiente impulso de reloj. Por tanto, la secuencia del contador se puede iniciar con cualquier número binario de 4 bits.

Además, hay una entrada de borrado activa a nivel BAJO (\overline{CLR}) que pone a cero de forma síncrona los cuatro flip-flops del contador. Hay dos entradas de habilitación, ENP y ENT . Estas entradas deben estar a nivel ALTO para que el contador pueda avanzar a través de su secuencia de estados binarios. Cuando al menos una de las entradas está a nivel BAJO, el contador se desactiva. La salida de propagación de reloj (*Ripple Clock Output*, RCO) se pone a nivel ALTO cuando el contador alcanza el **valor de fin de cuenta** (*Terminal Count*, TC) de quince ($TC = 15$). Esta salida, junto con las entradas de habilitación permiten que estos contadores se puedan disponer en cascada para conseguir secuencias de cuenta mayores.

La Figura 8.20 muestra un diagrama de tiempos de este contador, que se inicializa en el estado 12 (1100) y luego avanza hasta su valor de fin de cuenta 15 (1111). La entrada D_0 corresponde al bit de entrada menos significativo y Q_0 es el bit de salida menos significativo.

Vamos a examinar este diagrama de tiempos en detalle. Esto nos ayudará a interpretar los diagramas de tiempos que encontraremos más adelante en este mismo capítulo o

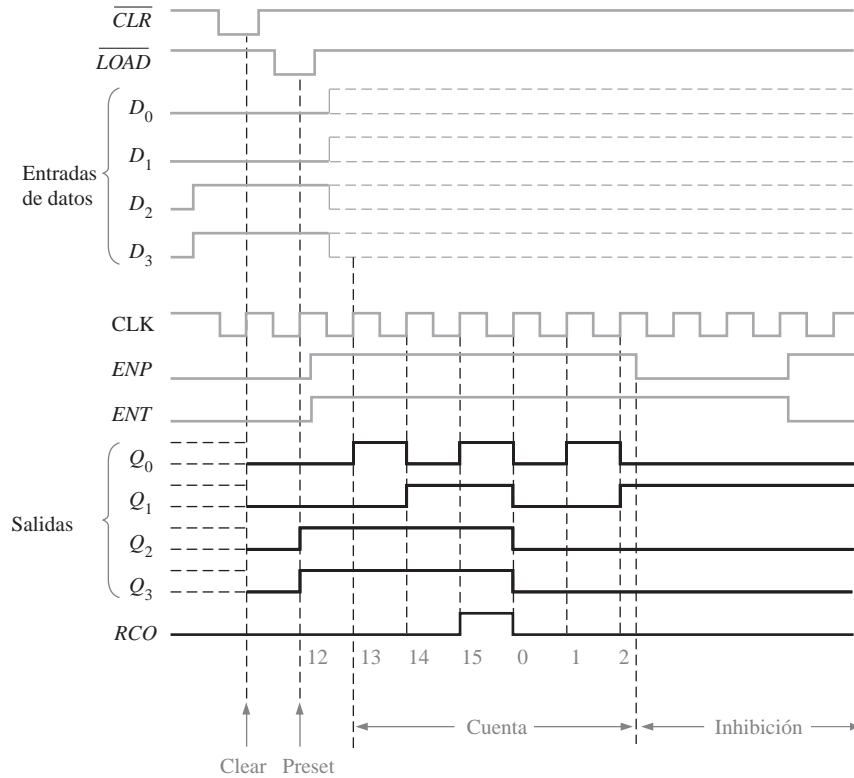


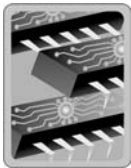
FIGURA 8.20 Ejemplo de un diagrama de tiempos para un 74HC163.

en las hojas de características de los fabricantes. Para comenzar, el impulso a nivel BAJO en la entrada \overline{CLR} hace que todas las salidas (Q_0 , Q_1 , Q_2 y Q_3) se pongan a nivel BAJO.

A continuación, el impulso a nivel BAJO en la entrada \overline{LOAD} introduce de forma síncrona los datos en las entradas (D_0 , D_1 , D_2 y D_3) del contador. Éstos aparecen en las salidas Q cuando se produce el primer flanco positivo de reloj después de que \overline{LOAD} pasa a nivel BAJO. Ésta es la operación de inicialización (PRESET). En este ejemplo particular, Q_0 está a nivel BAJO, Q_1 está a nivel BAJO, Q_2 está a nivel ALTO y Q_3 está a nivel ALTO. Por supuesto, esto corresponde al número decimal 12 (Q_0 es el bit menos significativo).

Ahora, el contador avanza por los estados 13, 14 y 15 en los tres siguientes flancos positivos de reloj, y luego comienza un nuevo ciclo en 0, 1, 2 con los siguientes impulsos de reloj. Observe que las dos entradas ENP y ENT están a nivel ALTO durante la secuencia de estados. Cuando ENP pasa a nivel BAJO, el contador se inhibe y permanece en el estado binario 2.

CONTADOR DE DÉCADAS BCD SÍNCRONO 74F162



El 74F162 es un ejemplo de un contador de décadas. Se puede inicializar con cualquier número BCD utilizando las entradas de datos con la entrada \overline{PE} a nivel BAJO. Un nivel BAJO en la entrada \overline{SR} asíncrona pone en estado RESET al contador. Las entradas de habilitación CEP y CET tienen que estar ambas a nivel ALTO para que el contador avance a través de la secuencia de estados, en respuesta a una transición positiva en la entrada de reloj CLK. Las entradas de habilitación junto con el valor de fin de cuenta, TC (1001), permiten conectar varios contadores de décadas en cascada. La Figura 8.21 muestra el símbolo lógico del contador 74F162 y la Figura 8.22 presenta un diagrama de tiempos del contador inicializado en el estado 7 (0111). Los contadores en cascada se tratarán en la Sección 8.5.

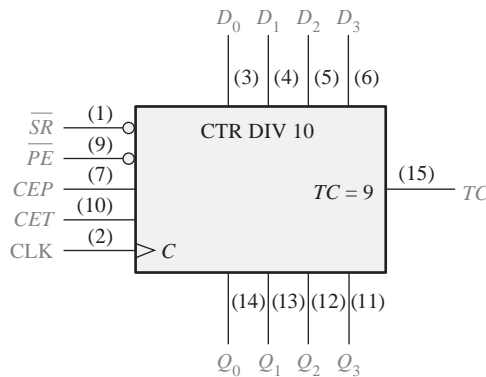


FIGURA 8.21 El contador de décadas BCD síncrono 74F162. La etiqueta CTR DIV 10 indica un contador con diez estados.

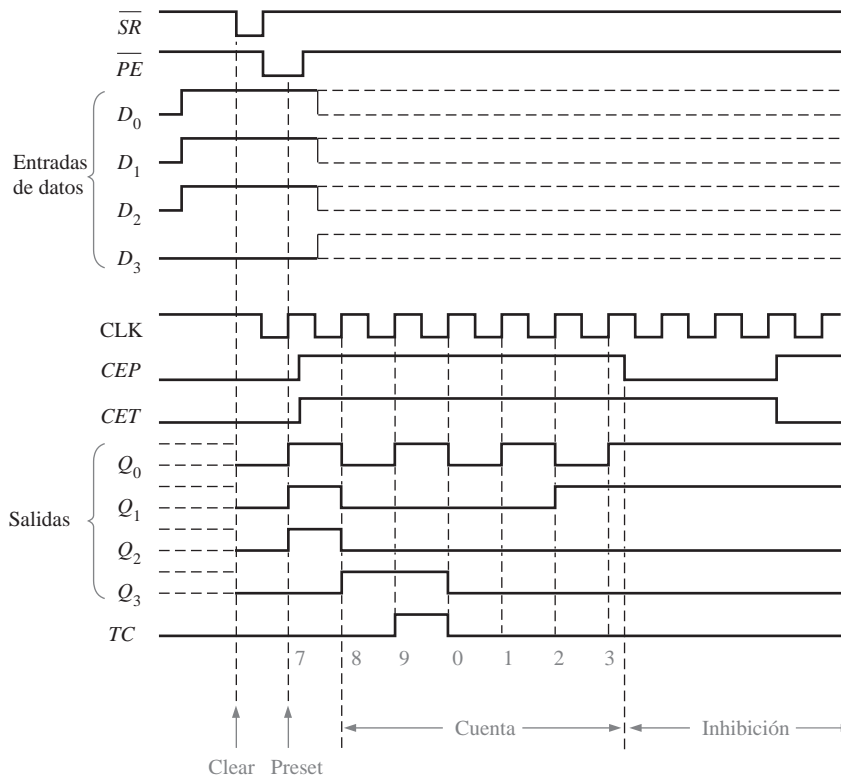


FIGURA 8.22 Ejemplo de diagrama de tiempos de un 74F162.

REVISIÓN DE LA SECCIÓN 8.2

1. ¿En qué se diferencia un contador síncrono de uno asíncrono?
2. Explicar el funcionamiento de la función preset de contadores tales como el 74HC163.
3. Describir el propósito de las entradas ENP y ENT , y de la salida RCO para el contador 74HC163.

8.3 CONTADOR SÍNCRONO ASCENDENTE/DESCENDENTE

Un **contador ascendente/descendente** (up/down) es aquel capaz de progresar en cualquier dirección a lo largo de una cierta secuencia. Un contador ascendente/descendente, algunas veces también denominado contador bidireccional, puede tener cualquier secuencia de estados especificada. Un contador binario de 3 bits que avanza en modo ascendente a través de la secuencia (0, 1, 2, 3, 4, 5, 6, 7) y que luego puede invertirse para recorrer la secuencia en sentido contrario (7, 6, 5, 4, 3, 2, 1, 0) es un ejemplo de un modo de operación secuencial ascendente/descendente.

Al finalizar esta sección, el lector deberá ser capaz de:

- Explicar el funcionamiento básico de un contador ascendente/descendente. ■ Utilizar el contador de décadas ascendente/descendente 74HC190.

En general, la mayoría de los contadores ascendentes/descendentes pueden invertirse en cualquier punto de su secuencia. Por ejemplo, el contador binario de 3 bits se puede configurar para que realice la siguiente secuencia:

$$\overbrace{0,1,2,3,4,5}^{\text{ASCENDENTE}}, \underbrace{4,3,2}_{\text{DESCENDENTE}}, \overbrace{3,4,5,6,7}^{\text{ASCENDENTE}}, \underbrace{6,5}_{\text{DESCENDENTE}}, \text{ etc.}$$

La Tabla 8.5 muestra la secuencia ascendente/descendente (up/down) completa de un contador binario de 3 bits. Las flechas indican los movimientos entre los estados del contador, tanto para el modo ASCENDENTE como para el modo Descendente. Un examen de Q_0 para ambas secuencias, ascendente y descendente, muestra que FF0 bascula con cada impulso de reloj. Luego las entradas J_0 y K_0 de FF0 son:

$$J_0 = K_0 = 1$$

Para la secuencia ascendente, Q_1 cambia de estado en el siguiente impulso de reloj cuando $Q_0 = 1$. Para la secuencia descendente, Q_1 cambia en el siguiente impulso de reloj cuando $Q_0 = 0$. Por tanto, las entradas J_1 y K_1 de FF1 tienen que ser igual a 1, para las condiciones expresadas en la siguiente ecuación:

$$J_1 = K_1 = (Q_0 \cdot \text{UP}) + (\bar{Q}_0 \cdot \text{DOWN})$$

Para la secuencia ascendente, Q_2 cambia de estado en el siguiente impulso de reloj cuando $Q_0 = Q_1 = 1$. Para la secuencia descendente, Q_2 cambia en el siguiente impulso de reloj cuando $Q_0 = Q_1 = 0$. Por tanto, las entradas J_2 y K_2 de FF2 tienen que ser igual a 1, para las condiciones expresadas en la siguiente ecuación:

$$J_2 = K_2 = (Q_0 \cdot Q_1 \cdot \text{UP}) + (\bar{Q}_0 \cdot \bar{Q}_1 \cdot \text{DOWN})$$

Cada una de las condiciones para las entradas J y K de cada flip-flop produce una basculación en el punto apropiado de la secuencia del contador.

La Figura 8.23 muestra una implementación básica de un contador binario de 3 bits ascendente/ descendente, utilizando las ecuaciones lógicas que acabamos de desarrollar para las entradas J y K de cada flip-flop. Observe que, la entrada de control UP / \overline{DOWN} (*ascendente / descendente*) está a nivel ALTO cuando trabaja en modo ascendente y a nivel BAJO cuando trabaja en modo descendente.

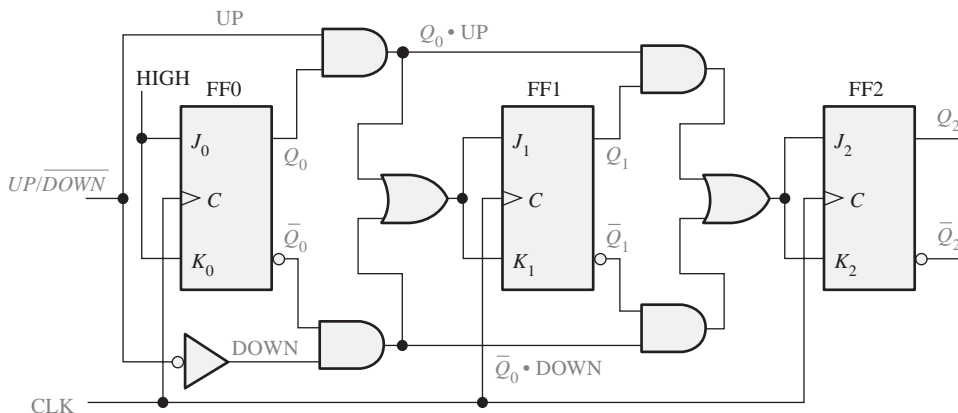
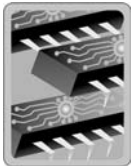


FIGURA 8.23 Contador síncrono ascendente/descendente básico de 3 bits.

Q_3	Q_2	Q_1	Q_0	
0	0	0	0	} ASCENDENTE
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	} DESCENDENTE
0	0	1	1	
0	0	1	0	
0	0	0	1	
0	0	0	0	} ASCENDENTE
1	1	1	1	
0	0	0	0	
0	0	0	1	
0	0	1	0	} DESCENDENTE
0	0	0	1	
0	0	0	0	
0	0	0	0	

TABLA 8.6

CONTADOR DE DÉCADAS ASCENDENTE/DESCENDENTE 74HC190



La Figura 8.25 muestra el diagrama lógico del 74HC190, buen ejemplo de un circuito integrado contador ascendente/descendente. La dirección de la cuenta se determina por el nivel de la entrada up/down (D/\bar{U}). Cuando esta entrada está a nivel ALTO, el contador se decrementa (desciende); cuando está a nivel BAJO, el contador se incrementa (asciende). Además, este dispositivo se puede inicializar en cualquier dígito BCD que se desee, el cual se carga a través de las entradas de datos cuando la entrada \overline{LOAD} está a nivel BAJO.

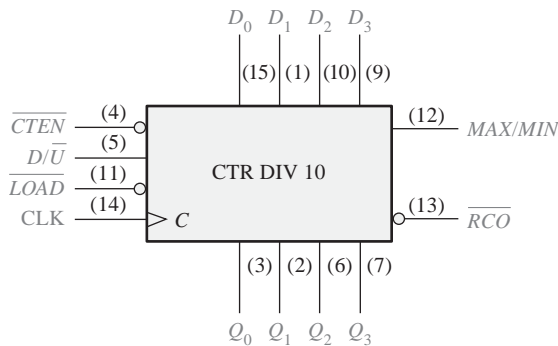


FIGURA 8.25 El contador de décadas ascendente/descendente síncrono 74HC190.

La salida *MAX/MIN* produce un impulso a nivel ALTO cuando se alcanza el valor de fin de cuenta de nueve (1001) en el modo ascendente, o cuando se alcanza el valor de fin de cuenta de cero (0000) en el modo descendente. La salida *MAX/MIN*, junto con la salida de propagación de reloj (\overline{RCO}) y la entrada de habilitación de cuenta (\overline{CTEN}), se usa para conectar contadores en cascada (los contadores en cascada se verán en la Sección 8.5).

La Figura 8.26 es un diagrama de tiempos, que muestra un contador 74HC190 inicializado en siete (0111); el contador luego describe una secuencia ascendente, seguida de una secuencia descendente. La salida *MAX/MIN* está a nivel ALTO cuando el contador está en el estado 0 (*MIN*) o en el estado 1001 (*MAX*).

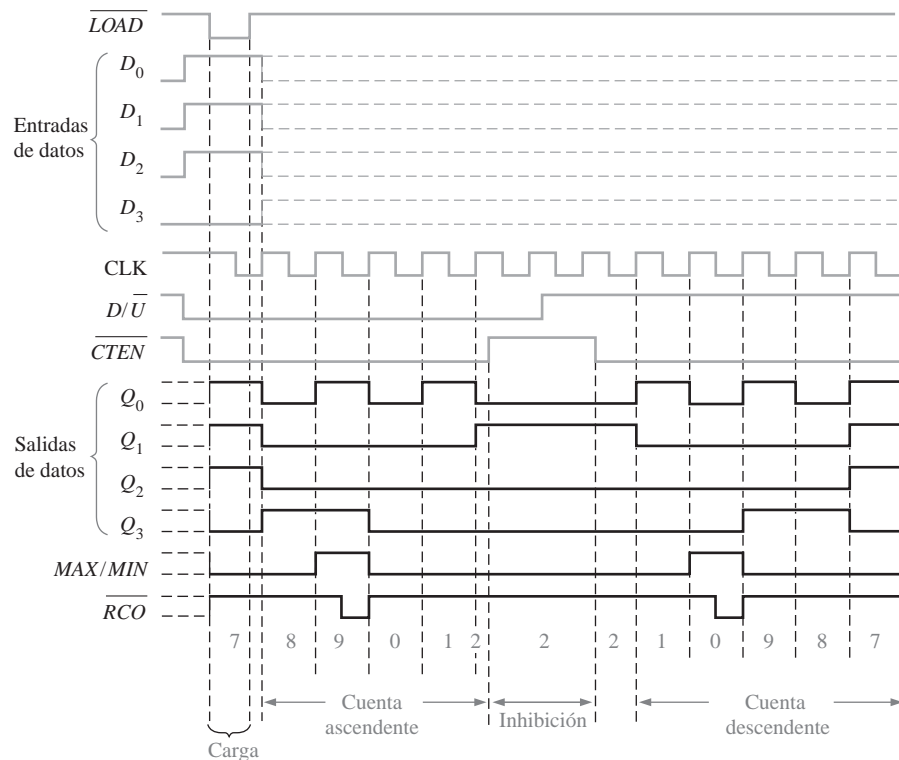


FIGURA 8.26 Ejemplo de un diagrama de tiempos para un 74HC190.

REVISIÓN DE LA SECCIÓN 8.3

1. Un contador binario de 4 bits ascendente/descendente se encuentra en modo descendente y en el estado 1010. En el siguiente impulso de reloj, ¿a qué estado pasa?
2. ¿Cuál es el valor de fin de cuenta de un contador binario de 4 bits en modo ascendente? ¿Y en modo descendente? ¿Cuál es el siguiente estado después del valor final de cuenta en modo descendente?

8.4 DISEÑO DE CONTADORES SÍNCRONOS

En esta sección veremos cómo pueden aplicarse técnicas de diseño de circuitos secuenciales específicamente al diseño de contadores. En general, los circuitos secuenciales pueden clasificarse en dos tipos; (1) aquellos en los que la salida o salidas dependen únicamente del estado interno actual (denominados *circuitos de Moore*) y (2) aquellos en los que la salida o salidas dependen tanto del estado actual como de la entrada o entradas (denominados *circuitos de Mealy*). Esta sección es opcional y puede ser omitida sin que afecte al material expuesto en lo que resta de libro. Se recomienda el estudio de esta sección a aquéllos que deseen una introducción al diseño de contadores o de máquinas de estados en general. No es necesario su conocimiento para abordar otros temas.

Al finalizar esta sección, el lector deberá ser capaz de:

- Describir un circuito secuencial general en función de sus partes básicas, y de sus entradas y salidas.
- Desarrollar un diagrama de estados para una determinada secuencia.
- Desarrollar una tabla del estado siguiente para una secuencia de contador específica.
- Crear una tabla de transiciones de flip-flops.
- Utilizar el método del mapa de Karnaugh para obtener los requisitos lógicos de un contador asíncrono.
- Implementar un contador para generar una secuencia de estados específica.

Modelo general de un circuito secuencial

Antes de exponer una técnica de diseño de contadores específica, vamos a comenzar con una definición general de **circuito secuencial** o **máquina de estados**: un circuito secuencial está formado por una etapa de lógica combinacional y una sección de memoria (flip-flops), como se muestra en la Figura 8.27. En un circuito secuencial sincronizado, hay una entrada de reloj en la etapa de memoria, tal como se indica.

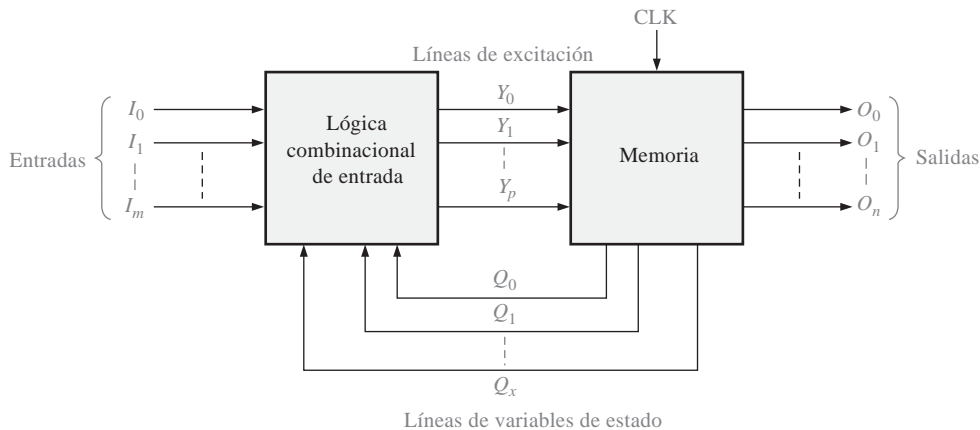


FIGURA 8.27 Circuito secuencial general sincronizado.

Para el correcto funcionamiento del circuito se requiere la información almacenada en la etapa de memoria, así como las entradas de la lógica combinacional (I_0, I_1, \dots, I_m). En cualquier instante de tiempo, la memoria se encuentra en un estado denominado *estado actual* y avanza al *estado siguiente* con un impulso de reloj, determinado por las condiciones de las líneas de excitación (Y_0, Y_1, \dots, Y_p). El estado actual de la memoria se representa por las variables de estado (Q_0, Q_1, \dots, Q_x). Estas variables de estado, junto con las entradas (I_0, I_1, \dots, I_m), determinan las salidas del sistema (O_0, O_1, \dots, O_n).

No todos los circuitos secuenciales tienen variables de entrada y salida como en el modelo general que se acaba de presentar. Sin embargo, todos tienen variables de excitación y variables de estado. Los contadores son un caso particular de los circuitos secuenciales sincronizados. En esta sección, se aplica un procedimiento de diseño general de los circuitos secuenciales a los contadores síncronos a través de una serie de pasos.

Paso 1: diagrama de estados

El primer paso en el diseño de un contador consiste en crear un diagrama de estados. Un *diagrama de estados* muestra la progresión de estados por los que el contador avanza cuando se aplica una señal de reloj. Como ejemplo, en la Figura 8.28, se muestra un diagrama de estados de un contador básico en código Gray de 3 bits. Este circuito particular no tiene ninguna entrada aparte de la de reloj, y ninguna otra salida más que las que se toman en cada flip-flop del contador. Si lo desea, puede repasar el código Gray, descrito en el Capítulo 2.

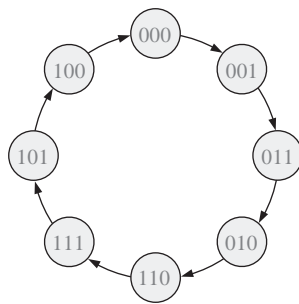


FIGURA 8.28 Diagrama de estados para un contador en código Gray de 3 bits.

Paso 2: tabla del estado siguiente

Una vez que se define el circuito secuencial mediante un diagrama de estados, el segundo paso consiste en obtener una tabla del estado siguiente, que enumera cada estado del contador (estado actual) junto con el correspondiente estado siguiente. *El estado siguiente es el estado al que el contador pasa desde su estado actual, al aplicar un impulso de reloj.* La tabla del estado siguiente se obtiene a partir del diagrama de estados, y se muestra en la Tabla 8.7 para el contador en código Gray de 3 bits. Q_0 es el bit menos significativo.

Estado actual			Estado siguiente		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0

TABLA 8.7 Tabla del estado siguiente para el contador en código Gray de 3 bits.

Paso 3: tabla de transiciones de los flip-flops

La Tabla 8.8 es una tabla de transiciones del flip-flop J-K. Se enumeran todas las posibles transiciones de salida, mostrando cómo evoluciona la salida Q del flip-flop al pasar de los estados actuales a los estados siguientes. Q_N es el estado presente en el flip-flop (antes de un impulso de reloj) y Q_{N+1} es el estado siguiente (después de un impulso de reloj). Para cada transición de salida, se indican las entradas J y K que dan lugar a la transición. Las "X" indican condiciones indiferentes (la entrada puede ser un 1 o un 0).

Al diseñar el contador, se aplica la tabla de transiciones a cada flip-flop del contador, la cual está basada en la tabla del estado siguiente (Tabla 8.7). Por ejemplo, para el estado actual 000, Q_0 pasa del estado actual 0 al estado siguiente 1. Para que esto ocurra, J_0 tiene que ser 1 y es indiferente el valor que tome K_0 ($J_0 = 1$, $K_0 = X$), como se indica en la tabla de transiciones (Tabla 8.8). A continuación, el estado actual de Q_1 es 0 y permanece en 0 en el estado siguiente. Para esta transición, $J_1 = 0$ y $K_1 = X$. Por último, el estado actual de Q_2 es 0 y permanece en 0 en el estado siguiente. Por tanto, $J_2 = 0$ y $K_2 = X$. Este análisis se repite para cada estado actual definido en la Tabla 8.7.

Transiciones de salida		Entradas del flip-flop	
Q_N	Q_{N+1}	J	K
0	→ 0	0	X
0	→ 1	1	X
1	→ 0	X	1
1	→ 1	X	0

Q_N : estado actual
 Q_{N+1} : siguiente estado
 X: condición "indiferente"

TABLA 8.8 Tabla de transiciones para un flip-flop J-K.

Paso 4: mapas de Karnaugh

Los mapas de Karnaugh se utilizan para determinar la lógica requerida para las entradas J y K de cada flip-flop del contador. Se debe utilizar un mapa de Karnaugh para la entrada J y otro para la entrada K de cada flip-flop. En este procedimiento de diseño, cada celda del mapa de Karnaugh representa uno de los estados actuales de la secuencia del contador enumerados en la Tabla 8.7.

A partir de los estados J y K de la tabla de transiciones (Tabla 8.8) se introduce un 1, un 0 o una X en cada celda de la tabla correspondiente al estado actual, dependiendo de la transición de la salida Q de cada flip-flop en particular. Para ilustrar este procedimiento, se muestran en la Figura 8.29 dos valores de entrada de ejemplo para las entradas J_0 y K_0 del flip-flop menos significativo (Q_0).

Los mapas de Karnaugh completos de los tres flip-flops del contador se muestran en la Figura 8.30. Las celdas se agrupan tal como se indica, obteniéndose las expresiones booleanas correspondientes para cada grupo.

Paso 5: expresiones lógicas para las entradas de los flip-flops

A partir de los mapas de Karnaugh de la Figura 8.30 se obtienen las siguientes expresiones para las entradas J y K de cada flip-flop:

$$J_0 = Q_2 Q_1 + \bar{Q}_2 \bar{Q}_1 = \overline{Q_2 \oplus Q_1}$$

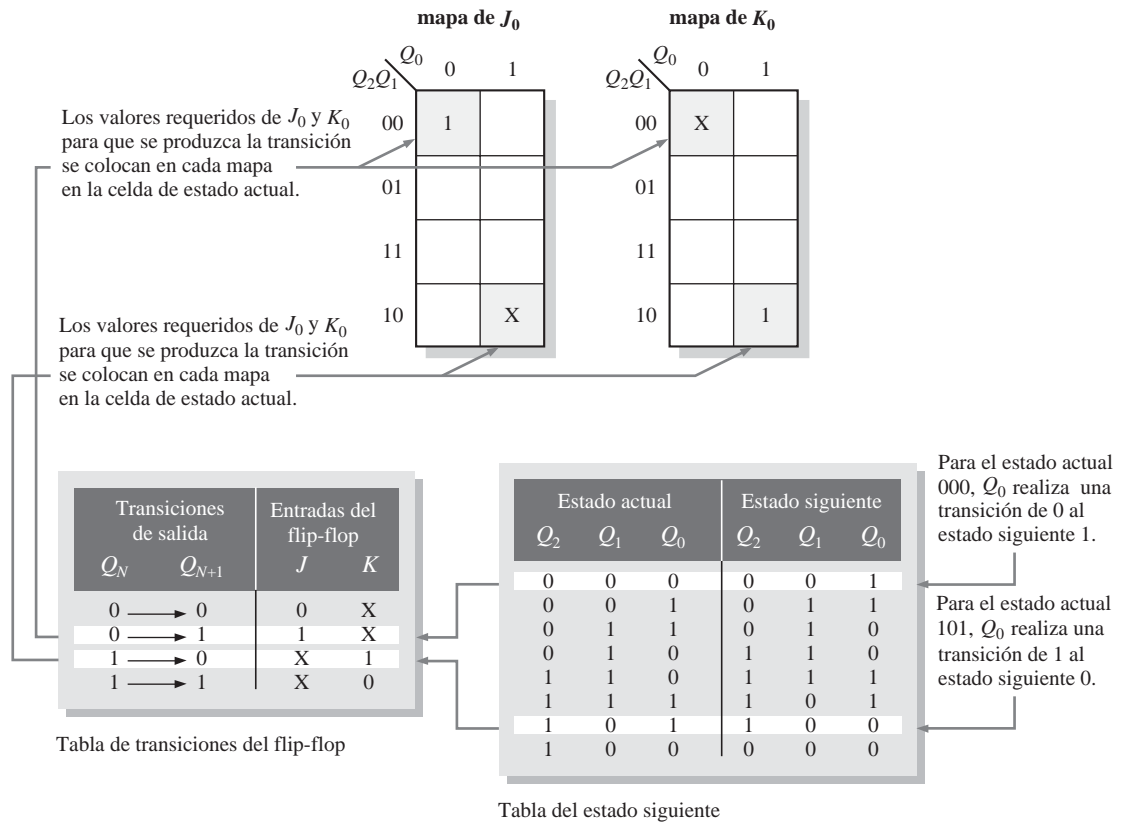


FIGURA 8.29 Ejemplos del procedimiento de utilización de mapas de Karnaugh para la secuencia de contador representada en las Tablas 8.7 y 8.8.

$$K_0 = Q_2\bar{Q}_1 + \bar{Q}_2Q_1 = Q_2 \oplus Q_1$$

$$J_1 = \bar{Q}_2Q_0$$

$$K_1 = Q_2Q_0$$

$$J_2 = Q_1\bar{Q}_0$$

$$K_2 = \bar{Q}_1\bar{Q}_0$$

Paso 6: implementación del contador

El paso final consiste en implementar la lógica combinacional a partir de las expresiones de las entradas J y K , y conectar los flip-flops para conseguir un contador en código Gray de 3 bits, como se muestra en la Figura 8.31.

A continuación, se expone un resumen de los pasos dados en el diseño de este contador. En general, estos pasos se pueden aplicar a cualquier circuito secuencial.

1. Especificar la secuencia del contador y dibujar un diagrama de estados.
2. Obtener la tabla del estado siguiente a partir del diagrama de estados.

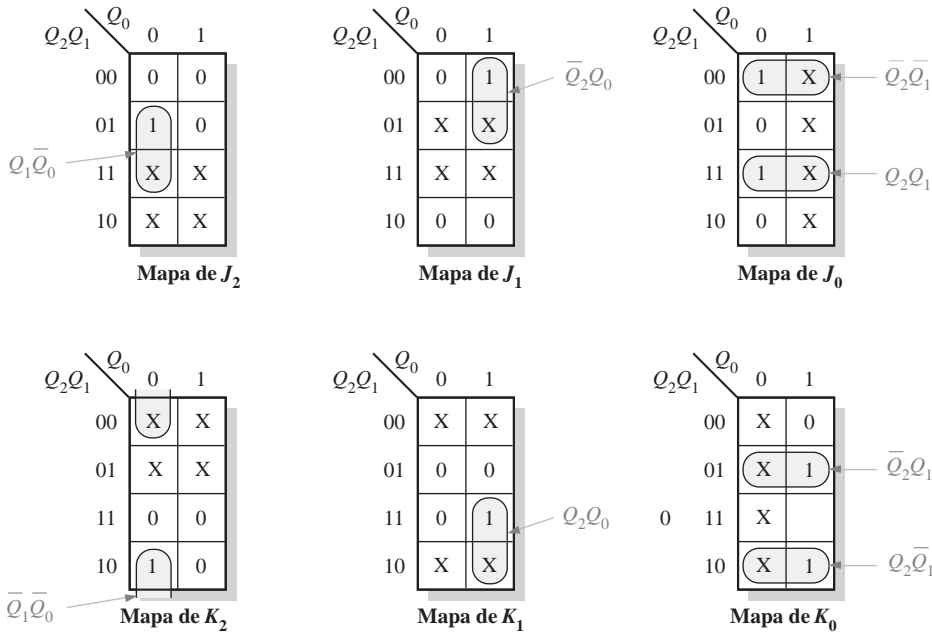


FIGURA 8.30 Mapas de Karnaugh para las entradas J y K del estado actual.

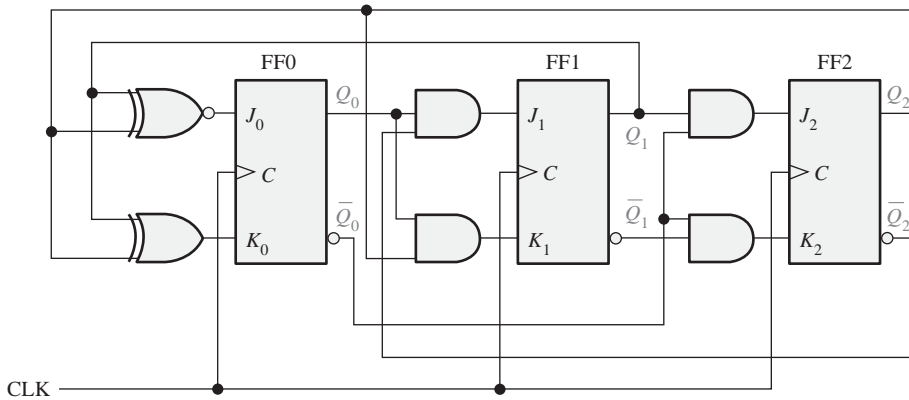


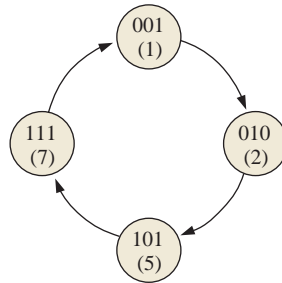
FIGURA 8.31 Contador en código de Gray de 3 bits.

3. Desarrollar una tabla de transiciones que muestre las entradas del flip-flop requeridas para cada transición. La tabla de transiciones es siempre la misma para cada tipo de flip-flop.
4. Transferir los estados J y K de la tabla de transiciones al mapa de Karnaugh. Utilizar un mapa de Karnaugh para cada entrada de cada flip-flop.
5. Formar los términos productos a partir de los mapas para generar una expresión lógica, para cada entrada de los flip-flops.
6. Implementar la expresión con lógica combinacional y conectarla a los flip-flops para crear el contador.

A continuación, en los Ejemplos 8.5 y 8.6, se va a aplicar este procedimiento al diseño de otros contadores síncronos.

EJEMPLO 8.5

Diseñar un contador que realice la secuencia de cuenta binaria irregular que se muestra en el diagrama de estados de la Figura 8.32. Utilizar flip-flops J-K.

**FIGURA 8.32**

- Solución**
- Paso 1.** El diagrama de estados es el que se muestra en la figura. Aunque hay sólo cuatro estados, necesitamos un contador de 3 bits para implementar esta secuencia, dado que el número binario máximo es siete. Ya que la secuencia requerida no incluye todos los posibles estados binarios, los estados no válidos (0, 3, 4 y 6) pueden ser considerados como indiferentes en el diseño. Sin embargo, si el contador pasara por error por un estado no válido, debe asegurarse que luego volverá a un estado válido.
- Paso 2.** La tabla del estado siguiente se desarrolla a partir del diagrama de estados y se muestra en la Tabla 8.9.

Estado actual			Estado siguiente		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	1	0	1	0
0	1	0	1	0	1
1	0	1	1	1	1
1	1	1	0	0	1

TABLA 8.9 Tabla del estado siguiente.

Transiciones de salida		Entradas del flip-flop	
Q_N	Q_{N+1}	J	K
0	→ 0	0	X
0	→ 1	1	X
1	→ 0	X	1
1	→ 1	X	0

TABLA 8.10 Tabla de transiciones para un flip-flop J-K.

Paso 3. En la Tabla 8.10 se repite la tabla de transiciones del flip-flop J-K.

Paso 4. En la Figura 8.33 se muestran las entradas J y K en los mapas de Karnaugh del estado actual. También se pueden incluir condiciones indiferentes (X) en las celdas correspondientes a los estados no válidos 000, 011, 100 y 110.

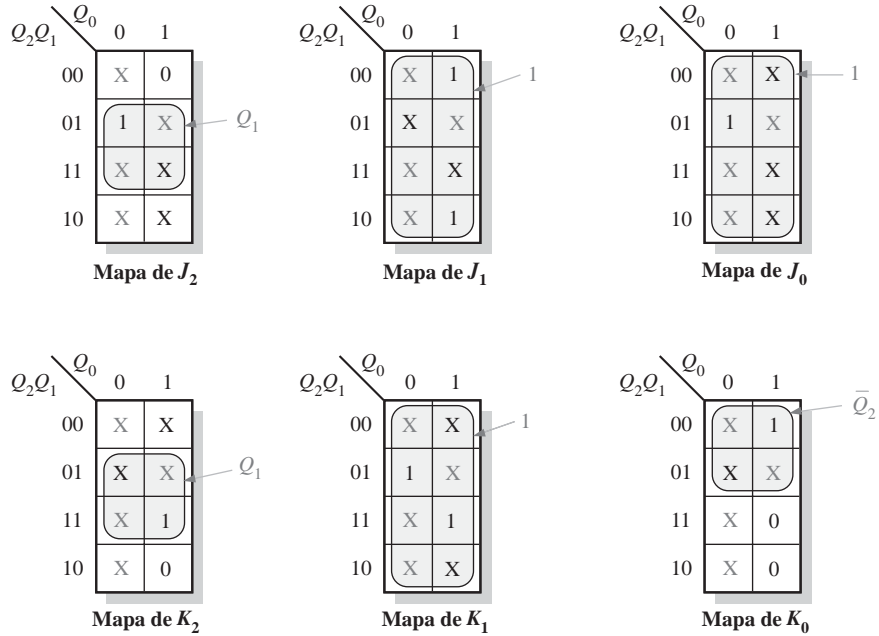


FIGURA 8.33

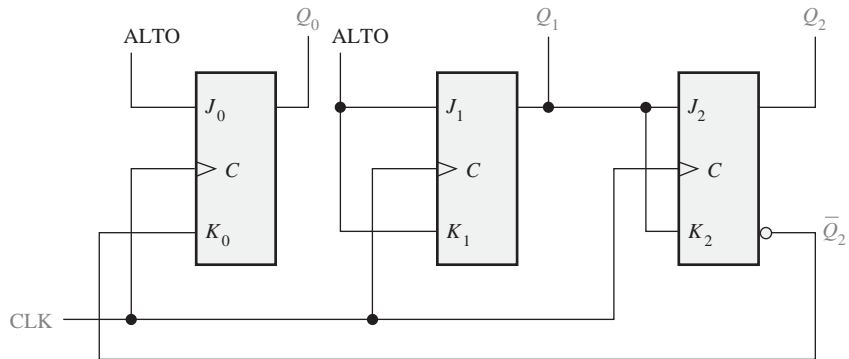


FIGURA 8.34

Paso 5. Agrupar los 1s, utilizando tantos estados indiferentes como sea posible para obtener la máxima simplificación, como se muestra en la Figura 8.33. Observe que cuando se agrupan *todas* las celdas de una tabla, la expresión es simplemente 1. La expresión para cada entrada J y K a partir de los mapas es la que sigue:

$$J_0 = 1, K_0 = \bar{Q}_2$$

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = Q_1$$

Paso 6. La implementación del contador se puede ver en la Figura 8.34.

Un análisis demuestra que si el contador, por accidente, cae en uno de los estados no válidos (0, 3, 4, 6) devolverá siempre un estado válido de acuerdo con las siguientes secuencias $0 \rightarrow 3 \rightarrow 4 \rightarrow 7$ y $6 \rightarrow 1$.

Problema relacionado Verificar el análisis que demuestra que el contador (al final) siempre va a pasar a un estado válido desde un estado no válido.

EJEMPLO 8.6

Desarrollar un contador síncrono ascendente/descendente de 3 bits con una secuencia en código Gray. El contador trabajará en modo ascendente cuando la entrada de control UP/\overline{DOWN} sea 1, y trabajará en modo descendente cuando la entrada de control sea 0.

Solución Paso 1. El diagrama de estados se muestra en la Figura 8.35. El 1 o 0 al lado de cada flecha indica el estado de la entrada de control UP/\overline{DOWN} , Y .

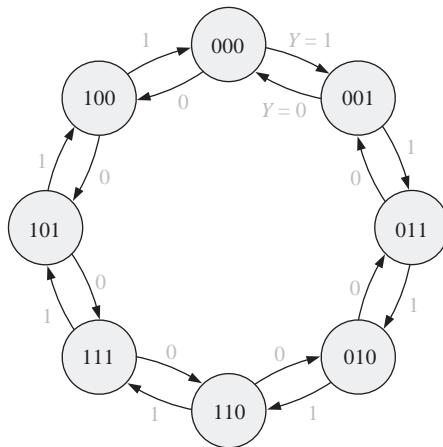


FIGURA 8.35 Diagrama de estados de un contador en código Gray ascendente/ descendente de 3bits.

Paso 2. La tabla del estado siguiente se obtiene a partir del diagrama de estados y se presenta en la Tabla 8.11. Observe que para cada estado actual hay dos posibles estados siguientes, dependiendo de la variable UP/\overline{DOWN} de control, Y .

Paso 3. La tabla de transiciones para el flip-flop J-K se repite en la Tabla 8.12.

Paso 4. Los mapas de Karnaugh para las entradas J y K de los flip-flops se presentan en la Figura 8.36. La entrada de control UP/\overline{DOWN} , Y , se considera una de las variables de estado junto con Q_0 , Q_1 y Q_2 . Utilizando la tabla del estado

siguiente, la información de la columna “Entradas del flip-flop” de la Tabla 8.12 se transfiere a las tablas indicadas para cada estado actual del contador.

Estado actual			Estado siguiente					
			Y = 0 (DOWN)			Y = 1 (UP)		
Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀
0	0	0	1	0	0	0	0	1
0	0	1	0	0	0	0	1	1
0	1	1	0	0	1	0	1	0
0	1	0	0	1	1	1	1	0
1	1	0	0	1	0	1	1	1
1	1	1	1	1	0	1	0	1
1	0	1	1	1	1	1	0	0
1	0	0	1	0	1	0	0	0

Y = entrada de control UP/ $\overline{\text{DOWN}}$.

TABLA 8.11 Tabla del estado siguiente del contador en código Gray ascendente/ descendente de 3 bits.

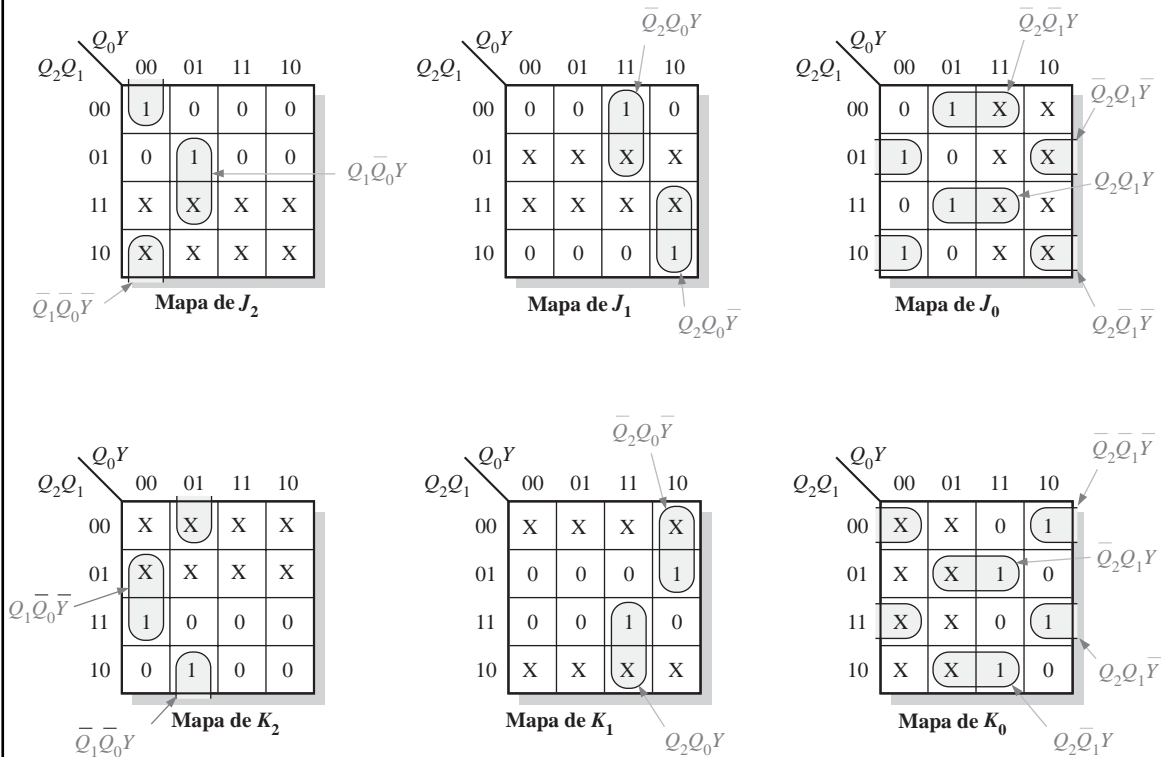


FIGURA 8.36 Mapas para J y K de acuerdo con la Tabla 8.11. La entrada de control UP/ $\overline{\text{DOWN}}$, Y, se trata como una cuarta variable.

Transiciones de salida		Entradas del flip-flop	
Q_N	Q_{N+1}	J	K
0	→ 0	0	X
0	→ 1	1	X
1	→ 0	X	1
1	→ 1	X	0

TABLA 8.12 Tabla de transiciones del flip-flop J-K.

Paso 5. Los 1s se combinan formando grupos tan grandes como sea posible, utilizando las condiciones indiferentes (X) siempre que se pueda. Se forman los términos producto y se obtienen las expresiones siguientes para las entradas J y K :

$$J_0 = Q_2 Q_1 Y + Q_2 \bar{Q}_1 \bar{Y} + \bar{Q}_2 \bar{Q}_1 Y + \bar{Q}_2 Q_1 \bar{Y}$$

$$J_1 = \bar{Q}_2 Q_0 Y + Q_2 Q_0 \bar{Y}$$

$$J_2 = Q_1 \bar{Q}_0 Y + \bar{Q}_1 \bar{Q}_0 \bar{Y}$$

$$K_0 = \bar{Q}_2 \bar{Q}_1 \bar{Y} + \bar{Q}_2 Q_1 Y + Q_2 \bar{Q}_1 Y + Q_2 Q_1 \bar{Y}$$

$$K_1 = \bar{Q}_2 Q_0 \bar{Y} + Q_2 Q_0 Y$$

$$K_2 = Q_1 \bar{Q}_0 \bar{Y} + \bar{Q}_1 \bar{Q}_0 Y$$

Paso 6. Las ecuaciones de J y K se implementan con lógica combinacional, obteniendo el contador completo que se muestra en la Figura 8.37 en la página siguiente.

Problema relacionado. Verificar que la lógica de la Figura 8.37 concuerda con las expresiones del paso 5.

REVISIÓN DE LA SECCIÓN 8.4

1. Un flip-flop J- K se encuentra actualmente en estado RESET y tiene que pasar al estado SET en el siguiente impulso de reloj. ¿Cuáles tienen que ser los valores de J y K ?
2. Un flip-flop J-K se encuentra actualmente en estado SET y tiene que permanecer en dicho estado durante el siguiente impulso de reloj. ¿Cuáles tienen que ser los valores de J y K ?
3. Un contador binario se encuentra en el estado $Q_3 \bar{Q}_2 Q_1 \bar{Q}_0 = 1010$.
 - (a) ¿Cuál es el estado siguiente?
 - (b) ¿Qué condición tiene que existir en cada entrada de los flip-flops para asegurar que pasa al estado siguiente correcto con el impulso de reloj?

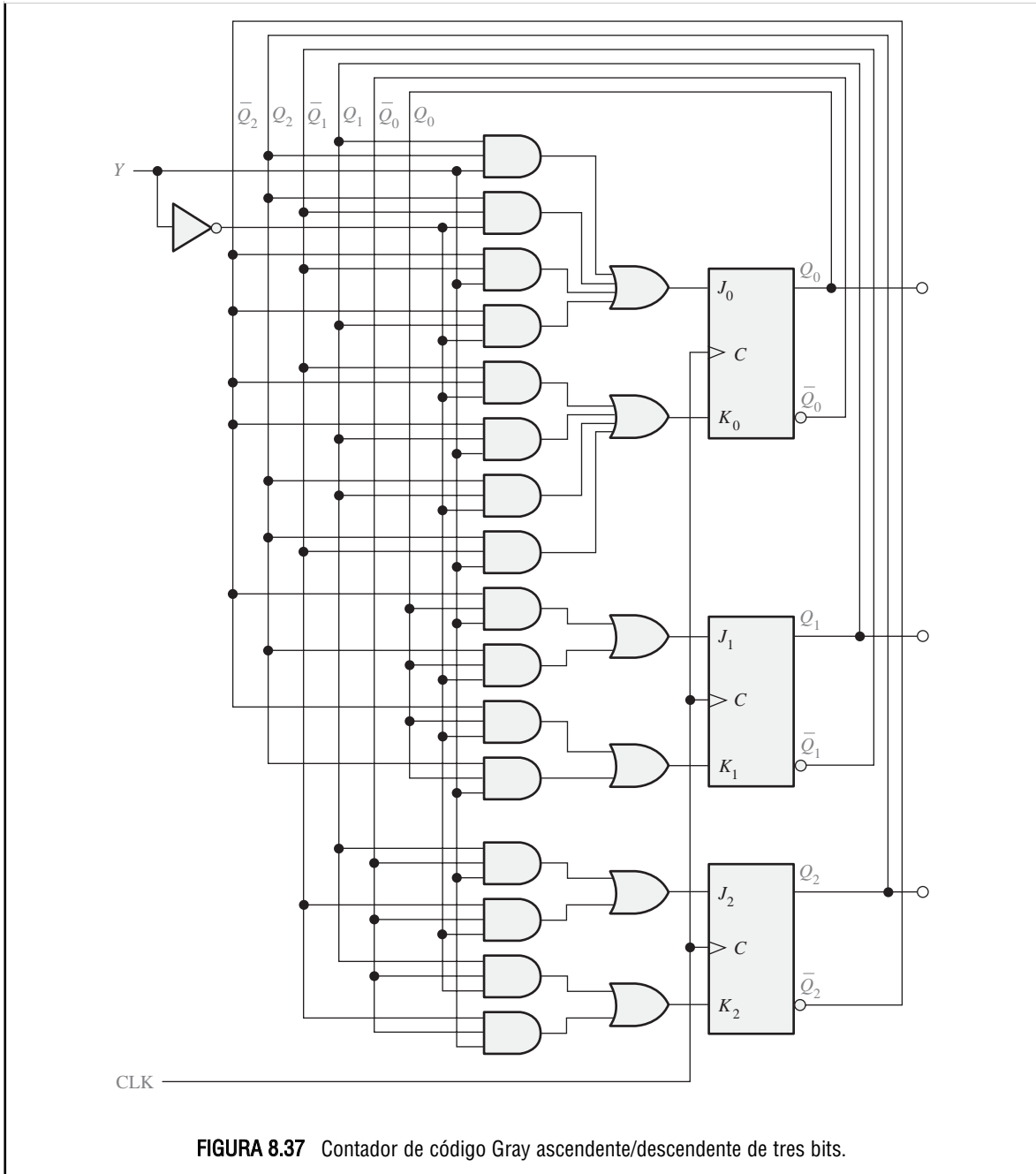


FIGURA 8.37 Contador de código Gray ascendente/descendente de tres bits.

8.5 CONTADORES EN CASCADA

Los contadores se pueden conectar en cascada para conseguir trabajar con módulos mayores. En esencia, conexión en cascada significa que la salida de la última etapa de un contador excita la entrada del siguiente contador.

Al finalizar esta sección, el lector deberá ser capaz de:

- Determinar el módulo global de los contadores en cascada.
- Analizar el diagrama de tiempos de una configuración de contadores en cascada.
- Utilizar contadores en cascada como divisores de frecuencia.
- Utilizar contadores en cascada para conseguir secuencias específicas truncadas.

▲ *El módulo global de los contadores en cascada es igual al producto de los módulos individuales.*

Un ejemplo de dos contadores conectados en **cascada** se muestra en la Figura 8.38, para el caso de dos contadores con propagación de 2 y 3 bits. El diagrama de tiempos se puede ver en la Figura 8.39. Observe que en el diagrama de tiempos, la salida final del contador de módulo 8, Q_4 , se produce una vez por cada 32 impulsos de reloj de entrada. El módulo global de los contadores en cascada es 32, es decir, actúan como un contador de división por 32.

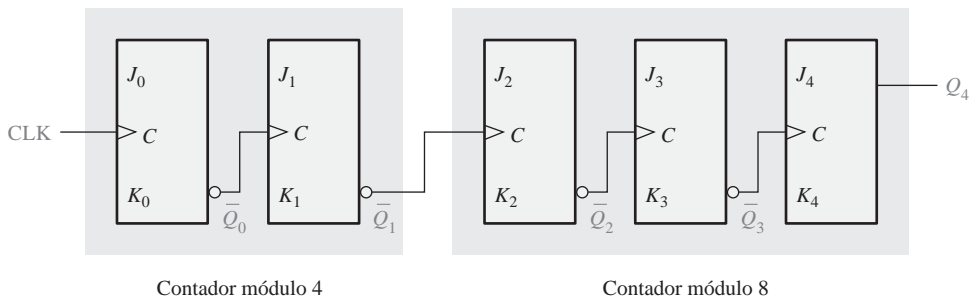


FIGURA 8.38 Dos contadores en cascada (todas las entradas J y K están a nivel ALTO).

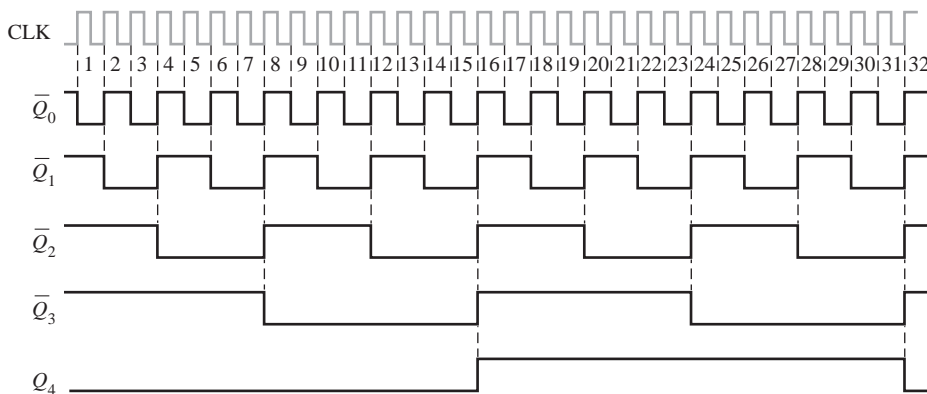


FIGURA 8.39 Diagrama de tiempos para la configuración de contadores en cascada de la Figura 8.38.



NOTAS INFORMÁTICAS

El contador de marca temporal (TSC) mencionado en la anterior nota informática, es un contador de 64 bits. Es interesante observar que si a este contador (o cualquier contador de 64 bits de módulo completo) se le aplica una frecuencia de 100 MHz, tardará 5.849 años en pasar por todos sus estados y alcanzar su valor de cuenta terminal. Por el contrario, un contador de 32 bits de módulo completo recorrerá todos sus estados en aproximadamente 43 segundos cuando se aplique una señal de reloj de 100 MHz. La diferencia es asombrosa.

Cuando se conectan contadores síncronos en una configuración en cascada, es necesario utilizar las funciones de habilitación de cuenta y de fin de cuenta para conseguir trabajar con módulos mayores. En algunos dispositivos, la habilitación de cuenta se denomina simplemente *CTEN* (*Count Enable*) o con cualquier otra designación como *G*, y la señal de fin de cuenta (*TC*, *Terminal Count*) es análoga a la salida de propagación de reloj (*RCO*) de algunos circuitos integrados contadores.

La Figura 8.40 muestra dos contadores de décadas conectados en cascada. El valor de fin de cuenta (*TC*) del contador 1 se conecta a la entrada de habilitación de cuenta (*CTEN*) del contador 2. El contador 2 se inhibe cuando su entrada *CTEN* está a nivel BAJO, hasta que el contador 1 alcanza su estado final y la salida del valor de fin de cuenta pasa a nivel ALTO. Este nivel ALTO activa ahora el contador 2, de modo que, cuando se produzca el primer impulso de reloj después de que el contador 1 alcance su valor de fin de cuenta (*CLK10*), el contador 2 pasa de su estado inicial a su segundo estado. Al terminar el segundo ciclo del contador 1 (cuando el contador 1 alcanza el valor de fin de cuenta por segunda vez), el contador 2 se encuentra de nuevo activado y avanza al estado siguiente. Esta secuencia se repite indefinidamente. Dado que se trata de contadores de décadas, el contador 1 tiene que pasar por diez ciclos completos antes de que el contador 2 complete su primer ciclo. En otras palabras, por cada diez ciclos del contador 1, el contador 2 realiza un único ciclo. Por tanto, el contador 2 completará un ciclo después de 100 impulsos de reloj. El módulo global de estos dos contadores en cascada es $10 \times 10 = 100$.

Si lo consideramos como un divisor de frecuencia, el circuito de la Figura 8.40 divide la frecuencia de entrada de reloj entre 100. Los contadores en cascada se utilizan a menudo para dividir una señal de reloj de alta frecuencia, y obtener impulsos de frecuencias precisas. Las configuraciones de los contadores en cascada utilizadas para estos propósitos se denominan algunas veces *cadena de división*. Por ejemplo, suponga que tenemos una frecuencia de reloj básica de 1 MHz y que se desea obtener 100 kHz, 10 kHz y 1 kHz. Para ello, se pueden utilizar una serie de contadores de décadas en cascada. Si la señal de 1 MHz se divide entre 10, la salida tendrá una frecuencia de 100 kHz. Si dividimos después la señal de 100 kHz entre 10, la salida será una señal de 10 kHz. Otra división por 10 dará la señal de 1 kHz. La implementación de estas cadenas de división se muestra en la Figura 8.41.

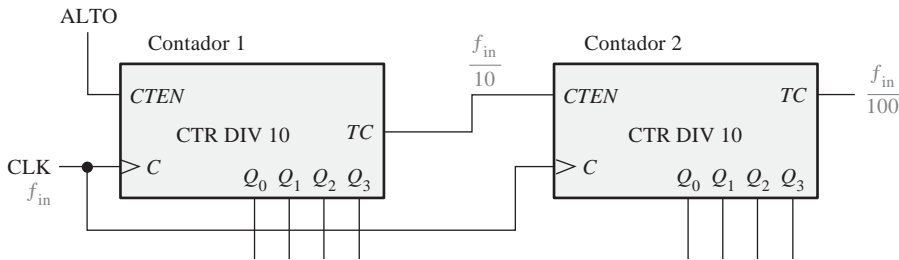


FIGURA 8.40 Contador de módulo 100, que utiliza dos contadores de décadas en cascada.

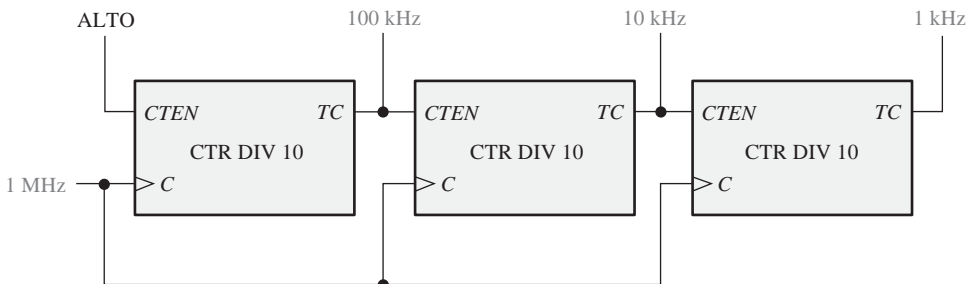
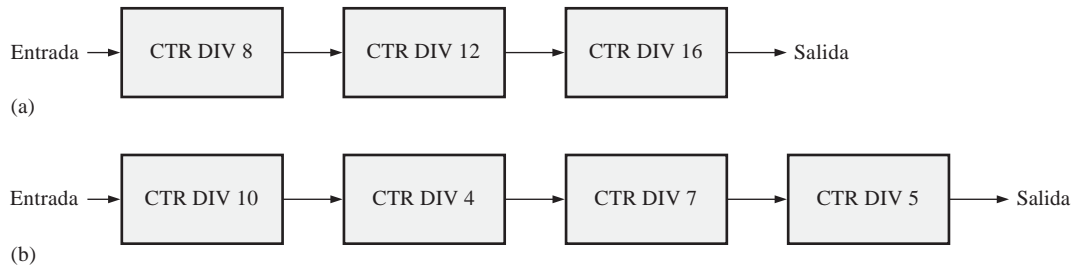


FIGURA 8.41 Tres contadores de décadas en cascada forman un divisor de frecuencia por 1000, con salidas intermedias de división por 100 y por 10.

EJEMPLO 8.7

Determinar el módulo global de las dos configuraciones de contadores en cascada de la Figura 8.42.

**FIGURA 8.42****Solución**

En la Figura 8.42(a), el módulo global para la configuración de tres contadores es:

$$8 \times 12 \times 16 = \mathbf{1536}$$

En la Figura 8.42(b), el módulo global para la configuración de cuatro contadores es:

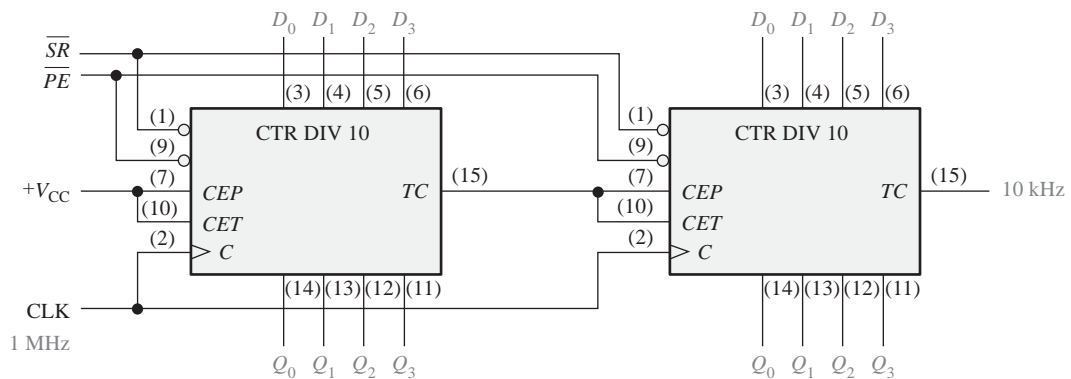
$$10 \times 4 \times 7 \times 5 = \mathbf{1400}$$

Problema relacionado

¿Cuántos contadores de décadas en cascada son necesarios para dividir una frecuencia de reloj entre 100.000?

EJEMPLO 8.8

Utilizar contadores 74F162 para obtener una señal de 10 kHz a partir de una señal de reloj de 1 MHz. Dibujar el diagrama lógico.

Solución**FIGURA 8.43** Contador divisor por 100 que utiliza dos contadores de décadas 74F162.

Para obtener 10 kHz a partir de una señal de reloj de 1 MHz se requiere un factor de división de 100. Se tienen que conectar en cascada dos contadores 74F162, como se muestra en la Figura 8.43. El contador de la izquierda produce un impulso *TC* por cada 10 impulsos de reloj. El contador de la derecha produce un impulso *TC* por cada 100 impulsos de reloj.

Problema relacionado Determinar la frecuencia de la onda de la salida Q_0 del segundo contador (el de la derecha) en la Figura 8.43.

Contadores en cascada con secuencias truncadas

El estudio precedente ha mostrado cómo conseguir un módulo global (factor de división) que sea igual al producto de los módulos individuales de los contadores conectados en cascada. Esto se denomina *conexión en cascada de módulo completo*.

A menudo, una aplicación requiere un módulo global menor que el que se puede conseguir con la conexión en cascada de módulo completo. Es decir, se tiene que implementar una secuencia truncada con contadores en cascada. Para ilustrar este método, utilizaremos la configuración de contadores en cascada de la Figura 8.44. Este circuito particular utiliza cuatro contadores binarios síncronos de 4 bits 74HC161. Si estos cuatro contadores (dieciséis bits en total) se dispusieran en una conexión en cascada de módulo completo, el módulo sería:

$$2^{16} = 65.536$$

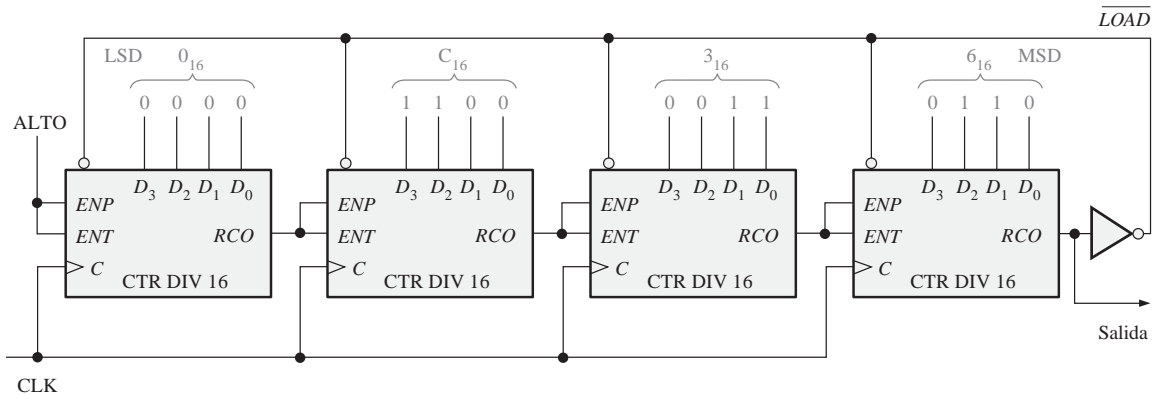


FIGURA 8.44 Contador divisor por 40.000 que utiliza contadores binarios de 4 bits 74HC161. Observe que las entradas paralelas de datos se muestran en orden binario (el bit más a la derecha, D_0 , es el LSB de cada contador).

Vamos a suponer que una cierta aplicación requiere un contador-divisor por 40.000 (módulo 40.000). La diferencia entre 65.536 y 40.000 es 25.536, que es el número de estados que tienen que ser *eliminados* de la secuencia de módulo completo. La técnica utilizada en el circuito de la Figura 8.44 sirve para inicializar los contadores en cascada en el estado 25.536 (63C0 en hexadecimal) cada vez que se inicia un nuevo ciclo, de forma que cuenten desde 25.536 hasta 65.536 en cada ciclo completo. Por tanto, cada ciclo completo del contador tiene 40.000 estados.

Observe en la Figura 8.44 que la salida *RCO* del contador más a la derecha está invertida y se aplica a la entrada \overline{LOAD} de cada contador de 4 bits. Cada vez que el contador alcanza su valor de fin de cuenta de

65.535, que es 1111111111111111_2 , RCO se pone a nivel ALTO y origina que el número que hay en sus entradas paralelas de datos ($63C0_{16}$) se cargue en el contador síncrono con el impulso de reloj. Por tanto, se produce un impulso RCO en el contador de 4 bits de más a la derecha por cada 40.000 impulsos de reloj.

Con esta técnica, se puede conseguir cualquier módulo, cargando el contador con el estado inicial apropiado en cada ciclo.

REVISIÓN DE LA SECCIÓN 8.5

1. ¿Cuántos contadores de décadas son necesarios para implementar un contador divisor por 1000 (módulo 1000)? ¿Y uno divisor por 10.000?
2. Mostrar mediante diagramas de bloques generales cómo conseguir cada uno de los siguientes dispositivos, utilizando un flip-flop, un contador de décadas, un contador binario de 4 bits o cualquier combinación de éstos:

(a) Contador divisor por 20	(b) Contador divisor por 32
(c) Contador divisor por 160	(d) Contador divisor por 320

8.6 DECODIFICACIÓN DE CONTADORES

En muchas aplicaciones, es necesario decodificar algunos o todos los estados del contador. La decodificación de un contador implica la utilización de decodificadores o de puertas lógicas para determinar cuándo se encuentra el contador en un determinado estado binario de su secuencia. Por ejemplo, la función de fin de cuenta estudiada previamente es una decodificación de un único estado (el último estado) de la secuencia del contador.

Al finalizar esta sección, el lector deberá ser capaz de:

- Implementar la lógica de decodificación para cualquier estado de la secuencia de un contador.
- Explicar por qué aparecen *glitches* en la lógica de decodificación de un contador.
- Utilizar el método de validación (*strobing*) para eliminar los *glitches* en la decodificación.

Supongamos que se desea decodificar el estado binario 6 (110) de un contador binario de 3 bits. Cuando $Q_2 = 1$, $Q_1 = 1$ y $Q_0 = 0$, aparece un nivel ALTO en la salida de la puerta de decodificación, indicando que el

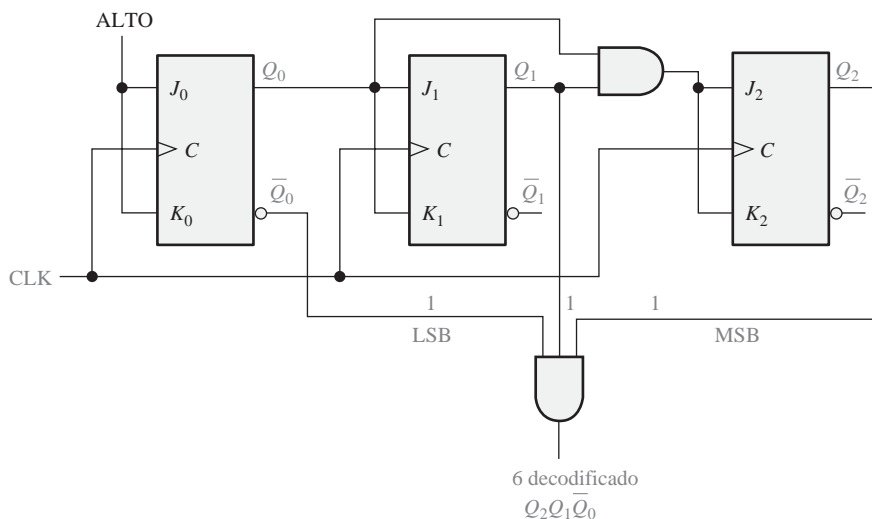


FIGURA 8.45 Decodificación del estado 6 (110).

EJEMPLO 8.9

Implementar la decodificación de los estados binarios 2 y 7 de un contador síncrono de 3 bits. Dibujar el diagrama de tiempos completo y las formas de onda de salida de las puertas de decodificación. 2 binario = $\bar{Q}_2Q_1\bar{Q}_0$ y 7 binario = $Q_2Q_1Q_0$.

Solución Véase la Figura 8.46. El contador de 3 bits fue explicado anteriormente en la Sección 8.2 (Figura 8.14).

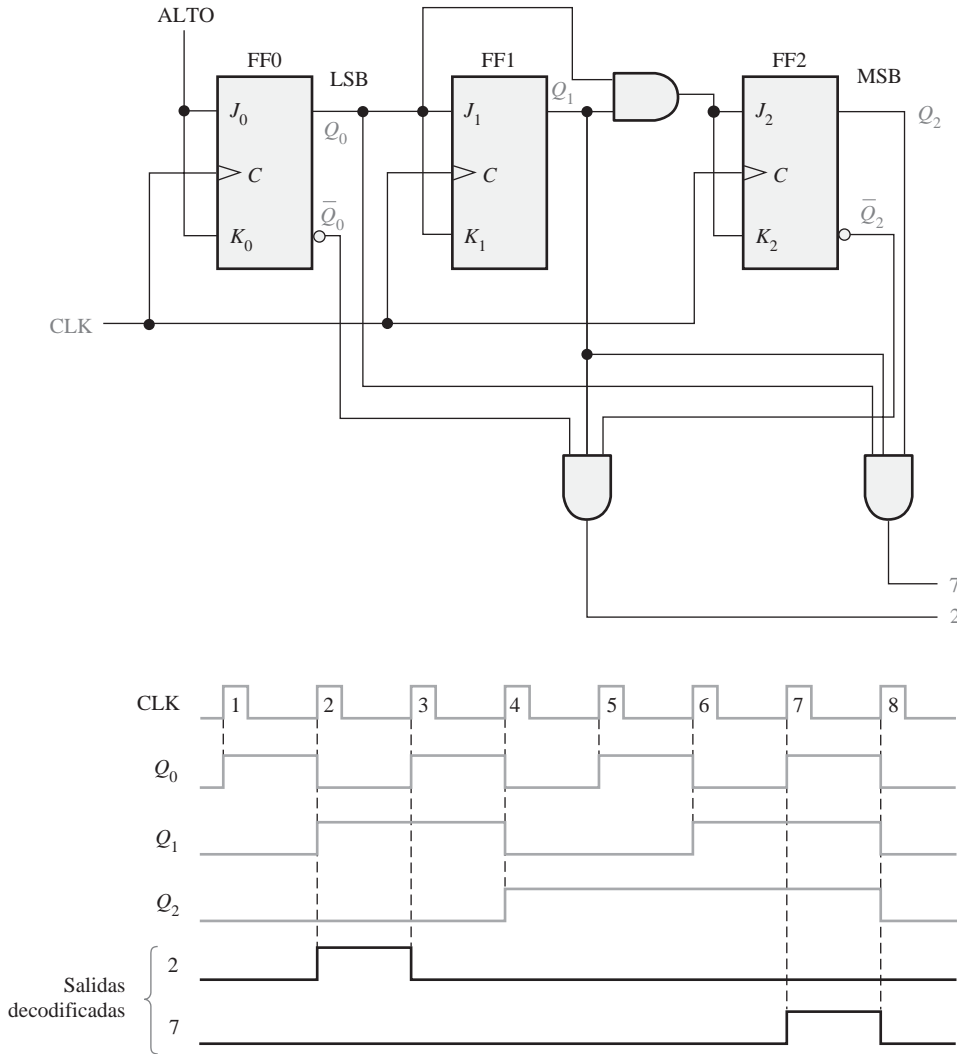


FIGURA 8.46 Contador de 3 bits con decodificación activa a nivel ALTO de los estados 2 y 7.

Problema relacionado Realizar la lógica de decodificación del estado 5 de un contador de 3 bits.

contador se encuentra en el estado 6. Esto se puede realizar como se muestra en la Figura 8.45. Esto se denomina *decodificación activa a nivel ALTO*. Reemplazando la puerta AND por una puerta NAND obtenemos una decodificación activa a nivel BAJO.

Glitches en la decodificación

▲ *Un glitch es un pico de tensión no deseado.*

En el Capítulo 6 se introdujo el problema de los *glitches* producidos por el proceso de decodificación. Como ya se ha visto, los retardos de propagación debidos al efecto del retraso en los contadores asíncronos origina estados transitorios, en los que las salidas del contador están variando en instantes de tiempo ligeramente distintos.

Estos estados transitorios producen picos de tensión de corta duración (*glitches*) no deseados, que aparecen en las salidas del decodificador conectado al contador. El problema de los *glitches* puede también aparecer en cierta medida en los contadores síncronos, ya que los retardos de propagación entre el reloj y las salidas Q de cada flip-flop del contador pueden diferir ligeramente.

La Figura 8.47 muestra un contador asíncrono básico de décadas BCD conectado a un decodificador BCD-decimal. Para ver qué es lo que ocurre, vamos a examinar el diagrama de tiempos de la Figura 8.48, en el que se tienen en cuenta los retardos de propagación. Observe que estos retardos originan estados erróneos de corta duración. El valor del estado binario falso en cada transición crítica se indica en el diagrama. Los *glitches* resultantes pueden verse en las salidas del decodificador.

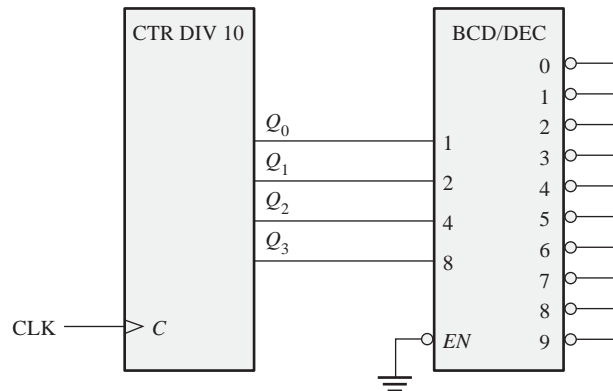


FIGURA 8.47 Contador básico de décadas (BCD) y decodificador.

Una manera de eliminar los *glitches* consiste en activar las salidas del decodificador después de que los impulsos de ruido hayan tenido tiempo de desaparecer. Este método se conoce como *validación (strobing)* y en el caso de una señal de reloj activa a nivel ALTO se puede implementar como se muestra en la Figura 8.49, utilizando el nivel BAJO del reloj para activar el decodificador. El diagrama de tiempos mejorado que se obtiene se presenta en la Figura 8.50.

REVISIÓN DE LA SECCIÓN 8.6

1. ¿Cuáles son los posibles estados transitorios cuando un contador binario de 4 bits asíncrono cambia del
 - (a) estado 2 al 3?
 - (b) estado 3 al 4?
 - (c) estado 10_{10} al 11_{10} ?
 - (d) estado 15 al 0?

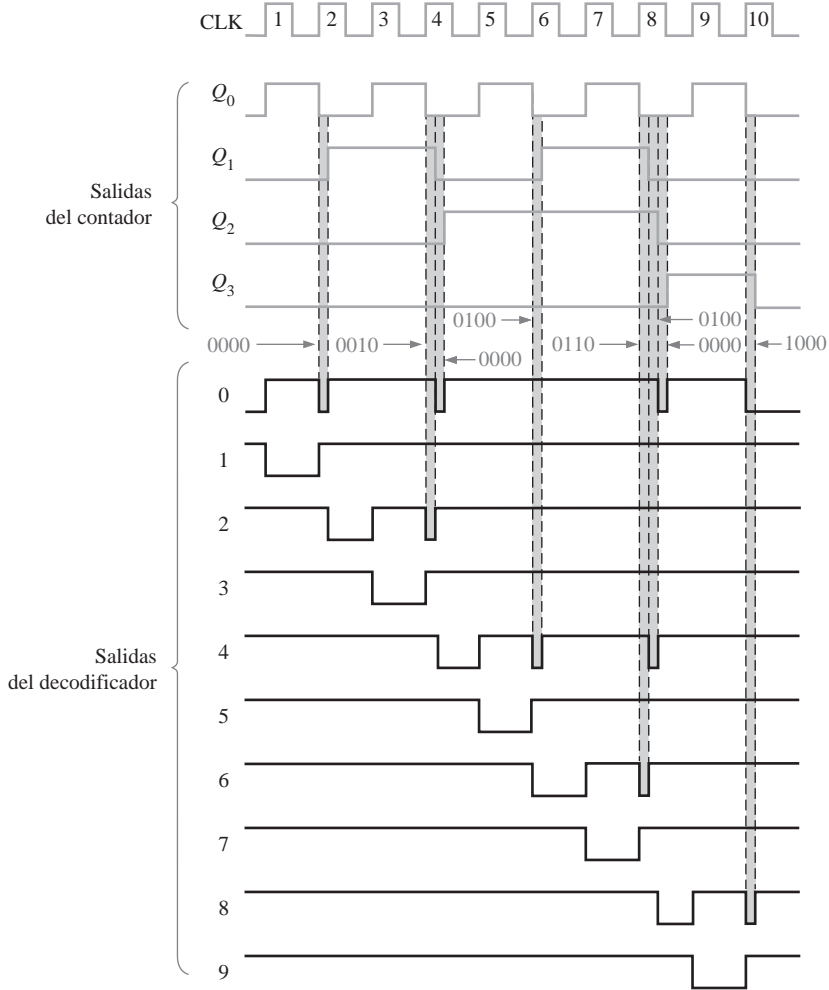


FIGURA 8.48 Salidas con *glitches* procedentes del decodificador de la Figura 8.47. Las anchuras de los *glitches* están exageradas y, generalmente, tienen un valor de unos pocos nanosegundos.

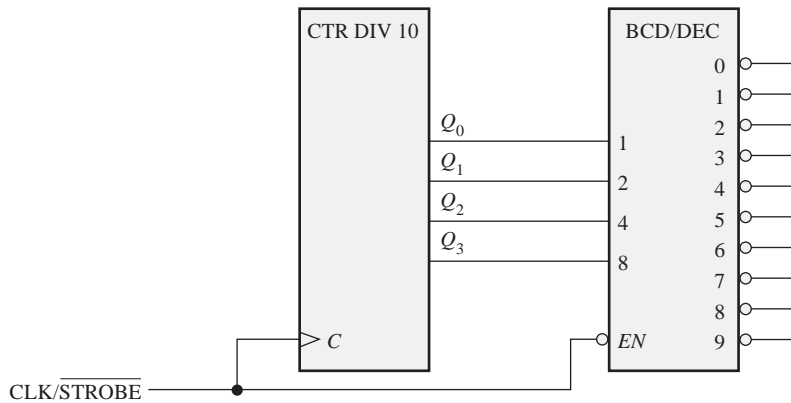


FIGURA 8.49 Contador básico de décadas y decodificador con validación (*strobe*) para eliminar los *glitches*.

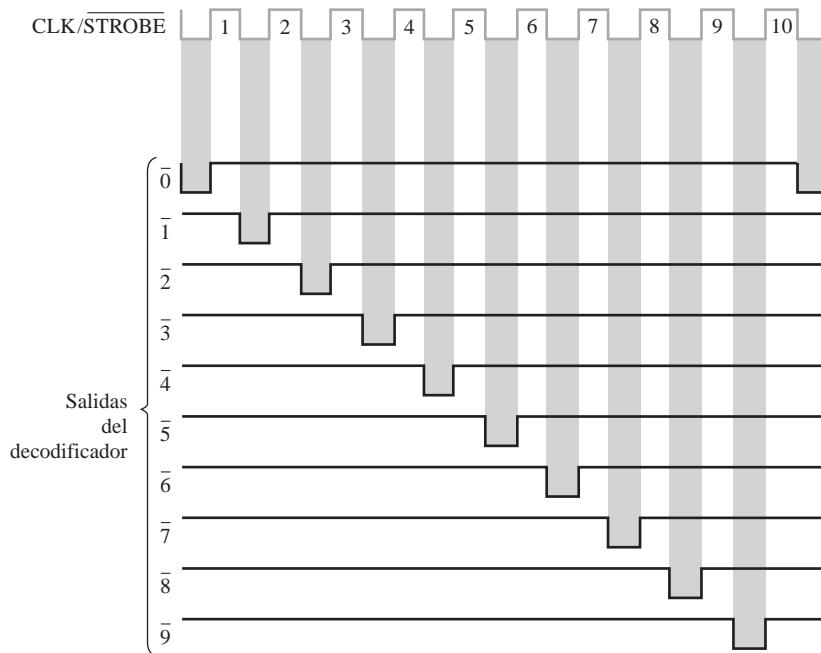


FIGURA 8.50 Salidas del decodificador con validación para el circuito de la Figura 8.49.

8.7 APLICACIONES DE LOS CONTADORES

Los contadores digitales son dispositivos muy versátiles y útiles que se pueden encontrar en muchas aplicaciones. En esta sección, se presentan varias aplicaciones representativas de los contadores.

Al finalizar esta sección, el lector deberá ser capaz de:

- Describir cómo se utilizan los contadores en un sistema básico de reloj digital.
- Explicar cómo se implementa un contador-divisor por 60 y cómo se utiliza en un reloj digital.
- Explicar cómo se implementan los contadores de horas.
- Estudiar cómo aplicar un contador en un sistema de control de un aparcamiento de automóviles.
- Describir cómo se utiliza un contador en un proceso de conversión de datos paralelo-serie

El reloj digital

Un ejemplo típico de aplicación de los contadores son los sistemas de control de tiempo. La Figura 8.51 es un diagrama lógico simplificado de un reloj digital, que presenta en el display segundos, minutos y horas. En primer lugar, se transforma una tensión alterna sinusoidal de 60 Hz en un tren de impulsos a 60 Hz y, posteriormente, se divide para obtener un tren de impulsos a 1 Hz, mediante un contador-divisor por 60, formado por un divisor por 10 seguido de un divisor por 6. La cuenta de *minutos* y de *segundos* se genera también mediante contadores-divisores por 60, operación que se puede ver en detalle en la Figura 8.52. Estos contadores cuentan desde 0 hasta 59 y luego vuelven al estado 0; en esta implementación particular se utilizan contadores de décadas síncronos. Observe que la etapa del divisor por 6 está constituida por un contador de décadas con una secuencia truncada, que se logra utilizando el estado 6 decodificado para borrar, en modo asíncrono, el contador. El valor de final de cuenta 59 también se codifica para activar el siguiente contador de la cadena.

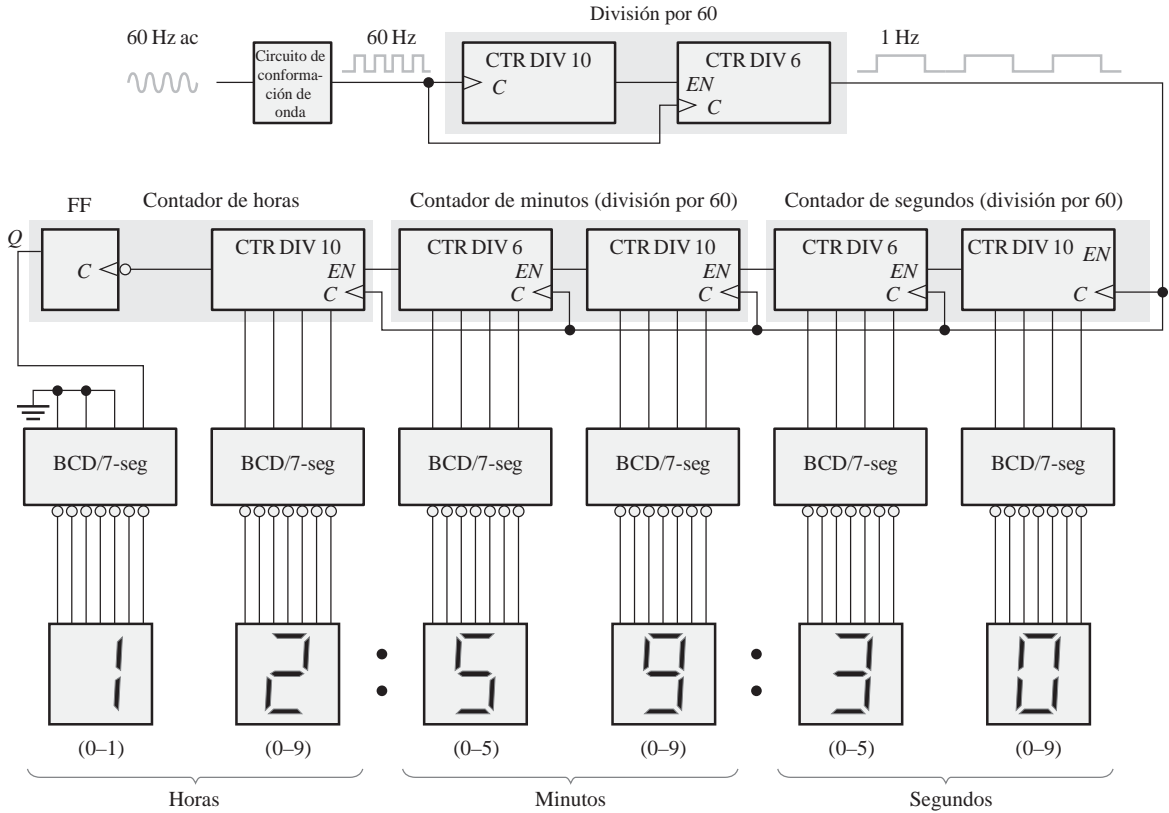


FIGURA 8.51 Diagrama lógico simplificado de un reloj digital de 12 horas. Los detalles del circuito lógico, con sus dispositivos específicos, se muestran en las Figuras 8.52 y 8.53.

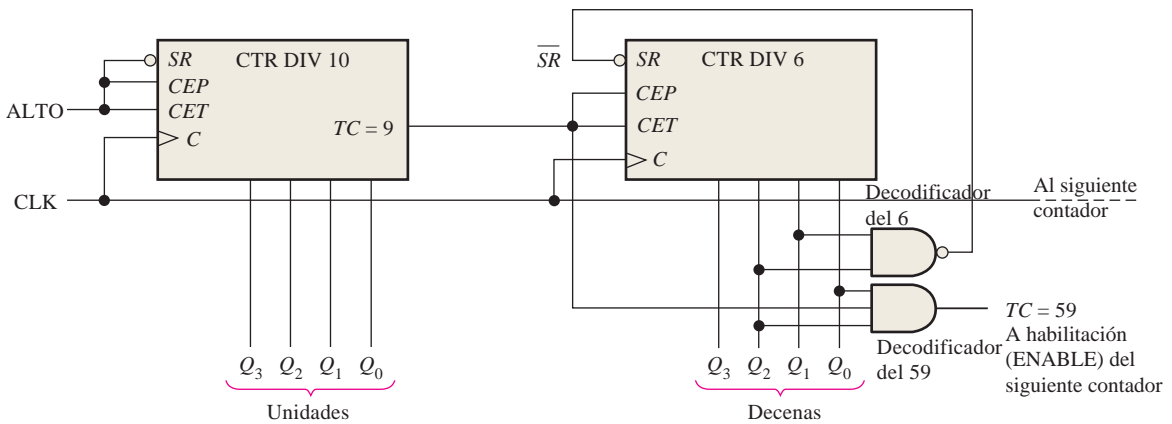


FIGURA 8.52 Diagrama lógico de un contador-divisor por 60 que utiliza contadores de décadas síncronos 74F162. Observe que las salidas están en orden binario (el bit más a la derecha es el menos significativo, LSB).

El contador de *horas* se implementa mediante un contador de décadas y un flip-flop, tal y como se muestra en la Figura 8.53. Suponga que, inicialmente, tanto el contador de décadas como el flip-flop se encuentran

en estado RESET, y que la puerta de decodificación del estado 12 está en nivel ALTO. El contador de décadas avanza pasando por todos sus estados desde cero hasta nueve y, al pasar de nueve a cero para iniciar un nuevo ciclo, el flip-flop bascula al estado SET ($J = 1, K = 0$). Esto hace que se ilumine un 1 en el display, que indica el dígito de las decenas de horas. El valor total de cuenta es ahora 10 (el contador de décadas está en estado cero y el flip-flop en estado SET).

A continuación, el número total avanza hasta once y luego a doce. En el estado 12, la salida Q_2 del contador de décadas es un nivel ALTO, el flip-flop sigue en estado SET y, por tanto, la salida de la puerta 12 de decodificación está a nivel BAJO. Esto activa la entrada \overline{PE} del contador de décadas. En el siguiente impulso de reloj, el contador de décadas es inicializado en el estado 1 a través de las entradas de datos, y el flip-flop pasa al estado de RESET ($J = 0, K = 1$). Como puede ver, esta lógica hace que siempre el contador inicie un nuevo ciclo pasando de doce a uno, en lugar de a cero.

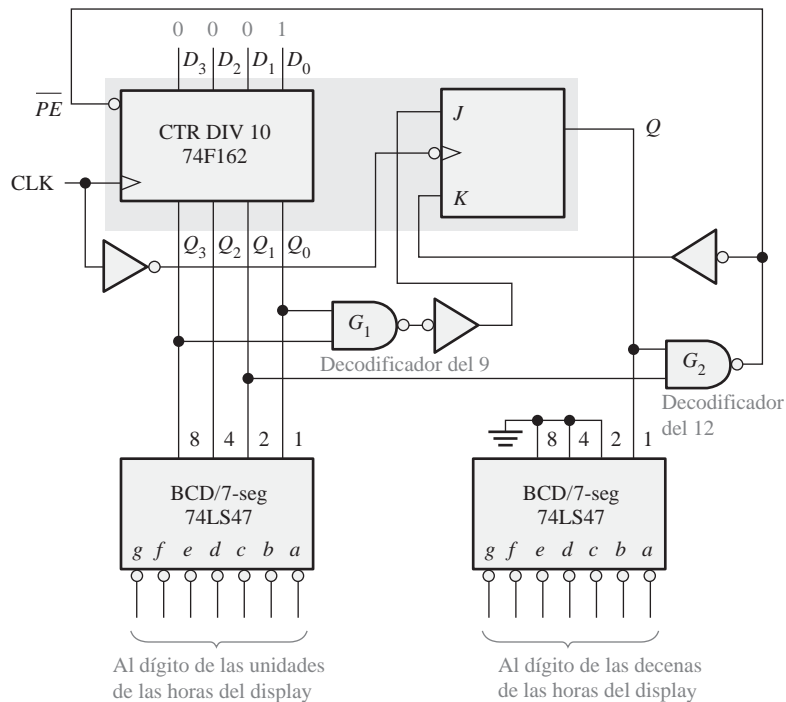


FIGURA 8.53 Diagrama lógico del contador y de los decodificadores de horas. Observe que en las entradas y salidas del contador, el bit más a la derecha es el LSB.

Sistema de control de un aparcamiento de automóviles

Ahora vamos a ver una sencilla aplicación que ilustra cómo puede resolver un contador ascendente/descendente un problema cotidiano. El problema consiste en concebir una forma de control de las plazas disponibles en un aparcamiento de 100 plazas y, en caso de que esté lleno, hacer que se encienda una luz de aviso y que se baje una barrera a la entrada.

Un sistema que resuelve este problema está constituido por: (1) sensores optoelectrónicos en la entrada y salida del aparcamiento, (2) un contador ascendente/descendente y su circuitería asociada y, (3) un circuito de interfaz que utilice la salida del contador para encender o apagar la luz de COMPLETO, así como para subir o bajar la barrera de entrada. En la Figura 8.54 se presenta un diagrama general de bloques de este sistema.

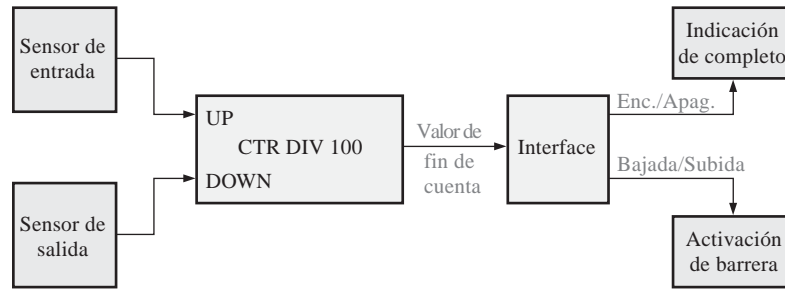


FIGURA 8.54 Diagrama de bloques funcional para el control del aparcamiento.

En la Figura 8.55 se muestra un diagrama lógico del contador ascendente/descendente. Está formado por dos contadores de décadas ascendentes/descendentes 74HC190 conectados en cascada. Su funcionamiento se describe en los siguientes párrafos.

▲ *Incrementar un contador es sumar uno al valor de cuenta.*

El contador se inicializa previamente en el estado 0 mediante las entradas de datos en paralelo, las cuales no se muestran. Cada automóvil que entra en el aparcamiento interrumpe la trayectoria de un haz de luz, activando un sensor que produce un impulso eléctrico. Este impulso positivo activa el latch S-R con su flanco anterior.

El nivel BAJO en la salida \bar{Q} del latch hace que el contador entre en el modo de trabajo ascendente. Además, el impulso producido por el sensor pasa a través de la puerta NOR y aplica la señal de reloj al contador durante la transición de nivel BAJO a nivel ALTO de su flanco posterior. Cada vez que entra un coche en el aparcamiento, el contador avanza una posición (**se incrementa**). Cuando han entrado cien automóviles, el contador llega a su estado final (100_{10}). La salida *MAX/MIN* se pone a nivel ALTO y activa el circuito de interfaz (el cual no se detalla), que enciende la luz de COMPLETO y baja la barrera para evitar que sigan entrando coches.

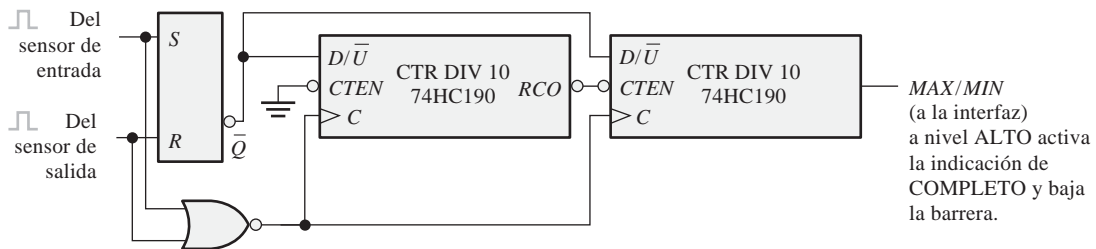


FIGURA 8.55 Diagrama lógico de un contador ascendente/descendente de módulo 100 para el control del aparcamiento.

▲ *Decrementar un contador es restar uno al valor de cuenta.*

Cuando sale un automóvil, un sensor optoelectrónico produce un impulso positivo, que pone a cero (RESET) el latch S-R y hace que el contador entre en modo descendente. El flanco posterior del reloj **decrementa** en una unidad el número que marque el contador. Si el aparcamiento está completo y sale un automóvil, la salida

MAX/MIN del contador pasa a nivel BAJO, haciendo que desaparezca la luz de COMPLETO y subiendo la barrera.

Conversión de datos paralelo-serie (multiplexación)

En el Capítulo 6 ya expusimos un ejemplo simplificado de transmisión de datos utilizando técnicas de multiplexación y demultiplexación. Esencialmente, los bits de datos paralelos en las entradas del multiplexor se

convierten en bits de datos serie que se transmiten por una única línea. Se denominan *datos en paralelo* a un grupo de bits que se presentan simultáneamente sobre varias líneas paralelas. Se denominan *datos en serie* a un grupo de bits que se presentan secuencialmente por una única línea.

Normalmente, la conversión paralelo-serie se realiza utilizando un contador que proporcione una secuencia binaria para las entradas de selección de datos de un multiplexor/selector de datos, como muestra la Figura 8.56. Las salidas Q del contador de módulo 8 se conectan a las entradas de selección de datos de un multiplexor de 8 bits.

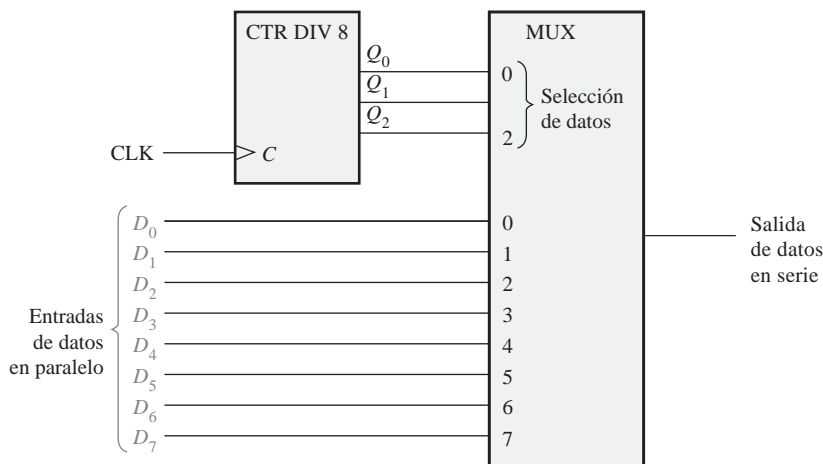


FIGURA 8.56 Lógica de conversión de datos paralelo-serie.

La Figura 8.57 es un diagrama de tiempos que muestra el funcionamiento de este circuito. El primer byte (grupo de ocho bits) de datos en paralelo se aplica a las entradas del multiplexor. A medida que el contador avanza a lo largo de su secuencia binaria desde cero hasta siete, cada bit, comenzando por D_0 , se selecciona secuencialmente y pasa a través del multiplexor hasta la línea de salida. Después de ocho impulsos de reloj, el byte de datos ha sido convertido a formato serie y enviado a través de la línea de transmisión. Cuando el contador inicia un nuevo ciclo retornando a 0, el siguiente byte se aplica a las entradas de datos y se convierte secuencialmente en formato serie a medida que el contador pasa por sus ocho estados. Este proceso continúa repetidamente para convertir cada byte paralelo a serie.



NOTAS INFORMÁTICAS

Las computadoras disponen de un contador interno que puede programarse para distintas frecuencias y duraciones de tonos, produciendo "música". Para seleccionar un tono concreto, la instrucción programada selecciona un valor divisor que es enviado al contador. El divisor configura al contador de modo que divida la frecuencia básica del reloj del periférico, para generar un tono de audio. La duración de un tono también se puede definir mediante una instrucción de programa; por tanto, se utiliza un contador básico para generar melodías controlando la frecuencia y duración de los tonos.

REVISIÓN DE LA SECCIÓN 8.7

1. Explicar para qué sirve cada puerta NAND de la Figura 8.53.
2. Identificar las dos condiciones para iniciar un nuevo ciclo en el contador de horas de la Figura 8.51, y explicar para qué sirven.

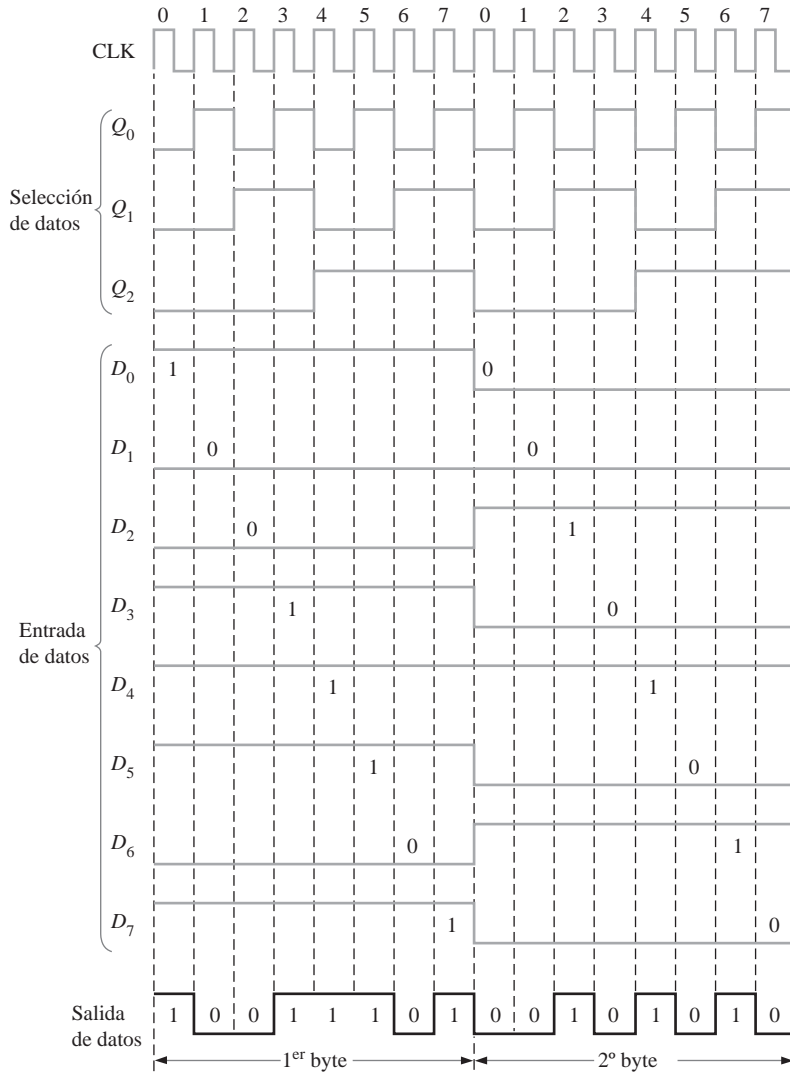


FIGURA 8.57 Diagrama de tiempos de la conversión paralelo-serie del circuito de la Figura 8.56.

8.8 SÍMBOLOS LÓGICOS CON NOTACIÓN DE DEPENDENCIA

Hasta este momento, se han introducido de una manera limitada los símbolos lógicos con notación de dependencia especificados en las normas ANSI/IEEE Standard 91-1984. En muchos casos, los nuevos símbolos no se apartan significativamente de los tradicionales. Sin embargo, existen diferencias considerables en algunos dispositivos, incluidos los contadores y otros dispositivos más complejos, con respecto a lo que estamos acostumbrados a ver. Aunque vamos a continuar utilizando principalmente los símbolos más tradicionales y familiares a lo largo del libro, se proporciona una breve descripción de los símbolos lógicos con notación de dependencia. Se utiliza como ejemplo un circuito integrado contador específico.

Al finalizar esta sección, el lector deberá ser capaz de:

- Interpretar los símbolos lógicos que incluyen notación de dependencia.
- Interpretar el bloque común y los elementos individuales del símbolo de un contador.
- Interpretar el símbolo de cualificación.
- Explicar la dependencia de control.
- Explicar la dependencia de modo.
- Explicar la dependencia AND.

La notación de dependencia es fundamental en el estándar ANSI/IEEE. La notación de dependencia se utiliza junto con los símbolos lógicos para especificar las relaciones entre entradas y salidas, de forma que el funcionamiento lógico de un dispositivo específico pueda ser determinado enteramente a partir de su símbolo lógico, sin ningún conocimiento a priori de los detalles de su estructura interna y sin necesidad de ningún diagrama lógico detallado como referencia. Esta explicación de un símbolo lógico específico con notación de dependencia tiene el fin de ayudar en la interpretación de otros símbolos de este tipo con los que se puede encontrar en el futuro.

Se utiliza el contador binario síncrono de 4 bits 74HC163 como ejemplo. Para poder comparar, la Figura 8.58 muestra el símbolo de bloque tradicional y el símbolo ANSI/IEEE con notación de dependencia. La descripción básica del símbolo y de la notación de dependencia es la siguiente:

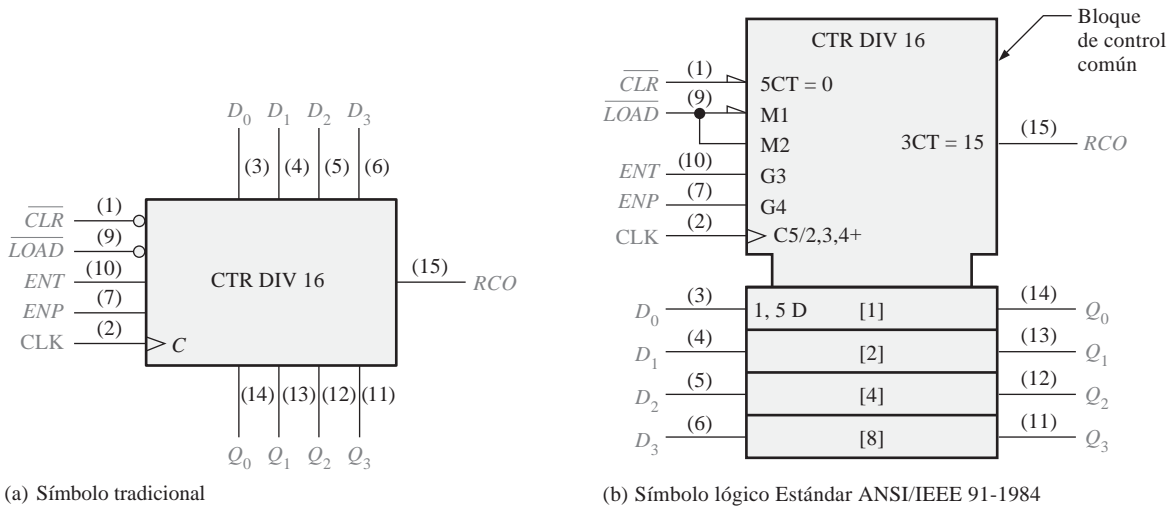


FIGURA 8.58 El contador síncrono de 4 bits 74HC163.

Bloque de control común El bloque superior con las esquinas cortadas de la Figura 8.58(b) tiene varias entradas y una salida que se consideran comunes a todos los elementos del dispositivo y no son exclusivas de ningún elemento.

Elementos individuales El bloque inferior de la Figura 8.58(b), que está dividido en cuatro secciones colindantes, representa los cuatro elementos de almacenamiento (flip-flops D) del contador, cuyas entradas son D_0 , D_1 , D_2 y D_3 , y cuyas salidas son Q_0 , Q_1 , Q_2 , y Q_3 .

Símbolo de cualificación La etiqueta “CTR DIV 16” de la Figura 8.58(b) identifica el dispositivo como un contador (CTR) con dieciséis estados (DIV 16).

Dependencia de control (C) Como se muestra en la Figura 8.58(b), la letra C denota dependencia del control. Las entradas de control normalmente activan o desactivan las entradas de datos (D , J , K , S y R) de un elemen-

to de almacenamiento. La entrada C suele ser la entrada de reloj. En este caso, el dígito 5 que sigue a C ($C5/2,3,4+$) indica que las entradas etiquetadas con un prefijo 5 dependen del reloj (están sincronizadas con el reloj). Por ejemplo, $5CT = 0$ en la entrada \overline{CLR} indica que la función de borrado depende del reloj; es decir, es una entrada de borrado síncrona. Cuando la entrada \overline{CLR} está a nivel BAJO (0), el contador se pone a cero ($CT = 0$) en el flanco de disparo del impulso de reloj. Además, la etiqueta 5D en la entrada del elemento de almacenamiento [1] indica que el almacenamiento de datos depende del reloj (está sincronizado con el reloj). Todas las etiquetas en el elemento de almacenamiento [1] se aplican también a los elementos [2], [4] y [8] que están situados por debajo, ya que no se indica en ellos una notación diferente.

Dependencia de modo (M) Como se muestra en la Figura 8.58(b), la letra M indica dependencia de modo. Se utiliza para indicar cómo dependen las funciones correspondientes a varias entradas o salidas del modo en que está funcionando el dispositivo. En este caso, el dispositivo tiene dos modos de funcionamiento. Cuando la entrada \overline{LOAD} está a nivel BAJO (0), como se indica mediante el triángulo de entrada, el contador está en modo de carga ($M1$) en el que los datos de entrada (D_0, D_1, D_2 y D_3) se introducen de manera síncrona en los cuatro flip-flops. El dígito 1 detrás de M ($M1$) y el 1 en la etiqueta 1, 5 D muestran una relación de dependencia y nos indican que los datos de entrada se almacenan sólo cuando el dispositivo está en el modo de carga ($M1$), en el que $\overline{LOAD} = 0$. Cuando la entrada \overline{LOAD} está a nivel ALTO (1), el contador avanza a través de su secuencia binaria normal, como se indica mediante $M2$ y el 2 en $C5/2,3,4+$.

Dependencia AND (G) Como muestra la Figura 8.58(b), la letra G denota dependencia AND, la cual indica que se efectúa una operación AND entre una entrada, designada con la letra G y seguida por un dígito, por un lado, y cualquier otra entrada o salida que tenga el mismo dígito como prefijo en su etiqueta. En este ejemplo en particular, $G3$ en la entrada ENT y $3CT = 15$ en la salida RCO están relacionadas, como indica el dígito 3, y esta relación es una dependencia AND, como indica la G . Esto nos dice que ENT tiene que ser un nivel ALTO (no hay triángulo en la entrada) y que el estado del contador debe ser quince ($CT = 15$) para que la salida RCO sea un nivel ALTO.

Además, los dígitos 2, 3 y 4 en la etiqueta $C5/2,3,4+$ indican que el contador avanza a través de sus estados cuando $\overline{LOAD} = 1$, como se indica mediante la etiqueta $M2$ de dependencia de modo, y cuando $ENT = 1$ y $ENP = 1$, como se indica por las etiquetas de dependencia AND $G3$ y $G4$. El signo más (+) indica que el contador se incrementa cuando existe esta condición.

Esta descripción de un símbolo lógico con notación de dependencia específico pretende ayudar en la interpretación de otros símbolos similares con los que pueda encontrarse en el futuro.

REVISIÓN DE LA SECCIÓN 8.8

1. En la notación de dependencia, ¿qué significan las letras C , M y G ?
2. ¿Qué letra indica almacenamiento de datos?

8.9 LOCALIZACIÓN DE AVERÍAS

La localización de averías en los contadores puede ser simple o muy complicada, dependiendo del tipo de contador y del tipo de fallo. Esta sección nos va a proporcionar un poco de práctica en la resolución de problemas en los circuitos secuenciales.

Al finalizar esta sección, el lector deberá ser capaz de:

- Detectar fallos en un contador. ■ Aislar los fallos en los contadores en cascada de módulo máximo.
- Aislar los fallos en los contadores en cascada con secuencia truncada. ■ Determinar los fallos en los contadores implementados con flip-flops individuales.

Contadores

En un contador que tenga una secuencia que no esté controlada por alguna lógica externa, la única cosa que se puede comprobar (aparte de V_{CC} y tierra) es la posibilidad de tener entradas o salidas en circuito abierto o cortocircuitadas. Un CI contador casi nunca altera su secuencia de estados debido a un fallo interno, por lo que sólo se debe comprobar la actividad de los impulsos en las salidas Q , para detectar la existencia de circuitos abiertos o cortocircuitos. La ausencia de actividad de impulsos en una de las salidas Q indica que hay un circuito abierto o un cortocircuito interno. La ausencia de actividad de impulsos en todas las salidas Q indica que la entrada de reloj está fallando o que la entrada de borrado se mantiene en su estado activo.

Para comprobar la entrada de borrado, se aplica un nivel activo constante a la misma a la vez que la señal de reloj. Si se obtiene un nivel BAJO en cada una de las salidas Q , el funcionamiento es correcto.

La capacidad de carga paralelo de un contador se puede comprobar activando la entrada de carga paralelo y probando cada uno de los estados del siguiente modo: se aplican niveles bajos a las entradas de datos en paralelo, impulsos en la entrada de reloj y se comprueba que haya niveles bajos en todas las salidas Q . A continuación, se aplican niveles altos a las entradas de datos en paralelo, se introducen impulsos en la entrada de reloj y se comprueba que haya niveles altos en todas las salidas Q .

Contadores en cascada con módulo máximo

Un fallo en uno de los contadores de una cadena de contadores en cascada puede afectar a todos los demás contadores que le siguen. Por ejemplo, si la entrada de habilitación de cuenta de un contador está en circuito abierto, actúa como si fuera un nivel ALTO (en TTL) y el contador estará siempre activado. Este tipo de fallo en uno de los contadores hará que ese contador funcione a la máxima velocidad de reloj y también que todos los demás contadores que lo sigan funcionen a velocidades mayores de las normales. Esto se ilustra en la Figura 8.59 para un contador-divisor por 1000 en cascada, donde una entrada de habilitación de cuenta ($CTEN$) en circuito abierto actúa como un nivel ALTO TTL y activa continuamente al segundo contador. Otro de los fallos que pueden afectar a las “etapas secundarias” de los contadores pueden ser entradas de reloj o salidas de valor de fin de cuenta en circuito abierto o cortocircuitadas. En algunas de estas situaciones, se

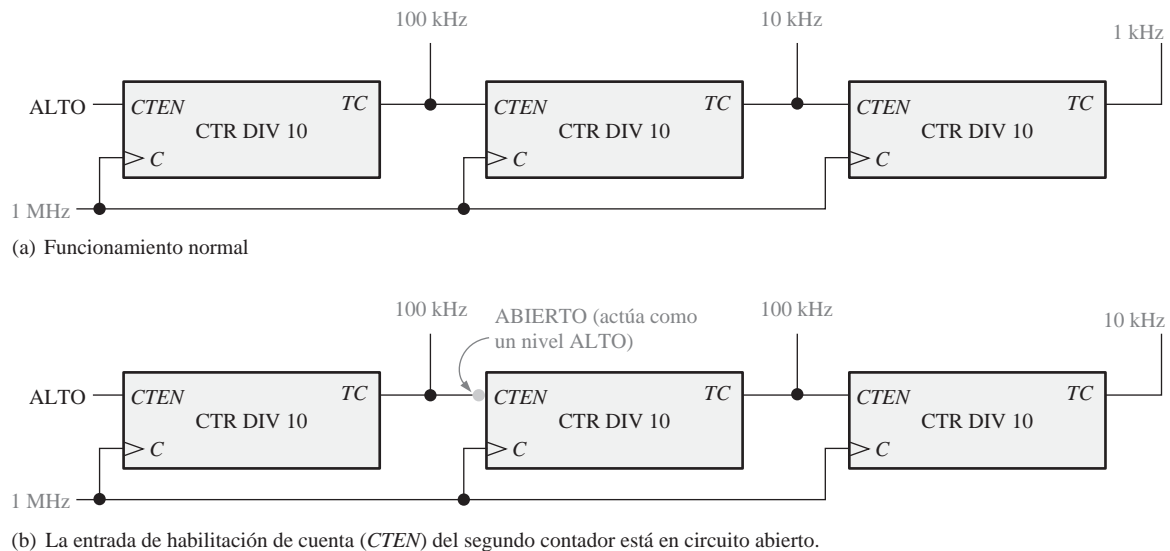


FIGURA 8.59 Ejemplo de fallo que afecta a los sucesivos contadores en una configuración en cascada.

puede observar actividad de impulsos, pero a frecuencias erróneas. En este caso, se tendrán que realizar medidas de frecuencia exactas.

Contadores en cascada con secuencias truncadas

La secuencia de números de un contador en cascada con una secuencia truncada, como el de la Figura 8.60, puede dar lugar a otros tipos de fallos, además de los mencionados para los contadores en cascada de módulo máximo. Por ejemplo, un fallo en una de las entradas de datos en paralelo, la entrada \overline{LOAD} o el inversor pueden alterar el valor de inicialización y, por tanto, cambiar el módulo del contador.

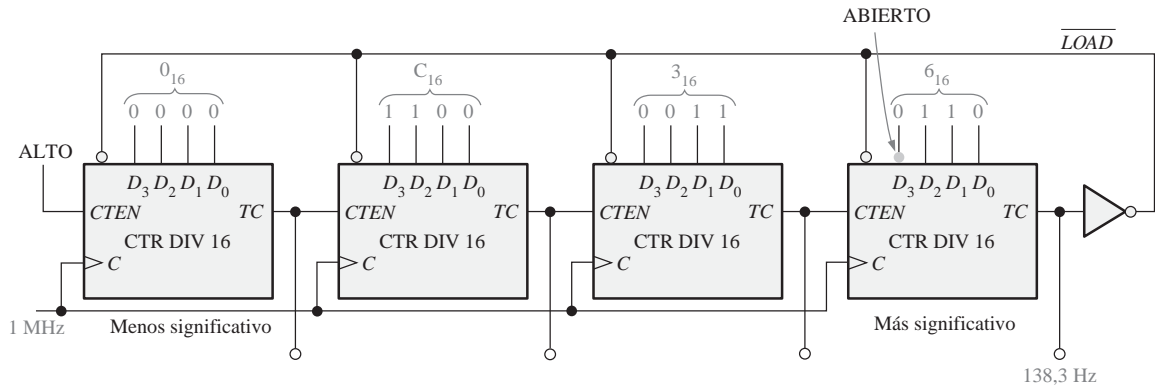


FIGURA 8.60 Ejemplo de fallo en un contador en cascada con secuencia truncada.

Por ejemplo, supongamos que la entrada D_3 del contador más significativo de la Figura 8.60 está en circuito abierto y actúa como un nivel ALTO. Entonces, en lugar de hacer la reinicialización en el estado 6_{16} (0110), se hará en el estado E_{16} (1110). De esta manera, en lugar de comenzar en $63C0_{16}$ (25.536_{10}), cada vez que el contador inicie un nuevo ciclo, la secuencia comenzará en $E3C0_{16}$ (58.304_{10}). Esto hace que varíe el módulo del contador de 40.000 a $65.536 - 58.304 = 7232$.

Para comprobar este contador se aplica una frecuencia de reloj conocida, por ejemplo 1 MHz, y se mide la frecuencia de salida en el terminal del valor de fin de cuenta. Si el contador está funcionando adecuadamente, la frecuencia de salida será:

$$f_{out} = \frac{f_{in}}{\text{módulo}} = \frac{1\text{MHz}}{40.000} = 25\text{Hz}$$

En este caso, el fallo específico descrito en el párrafo anterior hará que la frecuencia de salida sea:

$$f_{out} = \frac{f_{in}}{\text{módulo}} = \frac{1\text{MHz}}{7232} = 138,3\text{Hz}$$

EJEMPLO 8.10

Se realizan medidas de frecuencia en el contador truncado de la Figura 8.61 tal y como se indica. Determinar si el contador está funcionando adecuadamente y, si no es así, determinar cuál es el fallo.

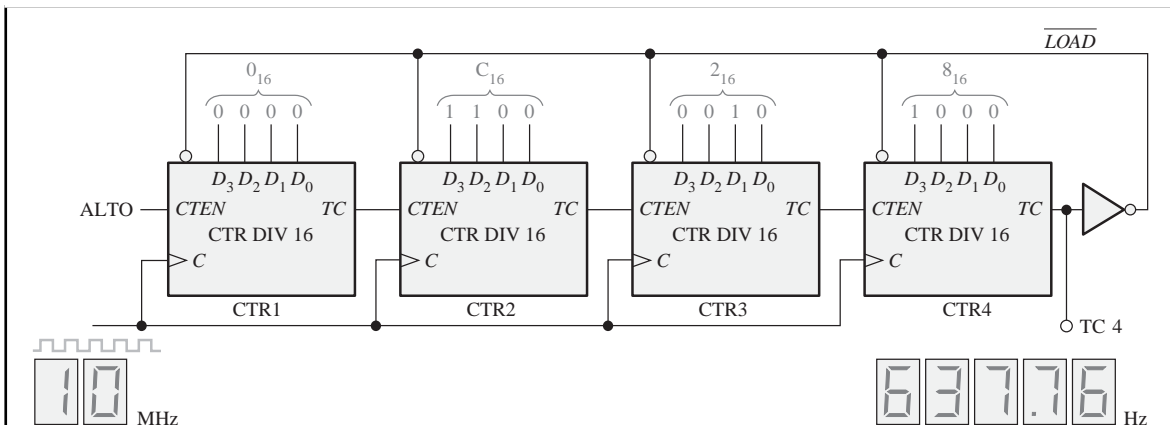


FIGURA 8.61

Solución

Se comprueba que la frecuencia medida en TC 4 es la correcta. Si así es, el contador está funcionando perfectamente.

$$\begin{aligned} \text{módulo truncado} &= \text{módulo completo} - \text{valor de inicialización} \\ &= 16^4 - 82C0_{16} \\ &= 65.536 - 33.472 = 32.064 \end{aligned}$$

La frecuencia correcta en TC 4 es

$$f_4 = \frac{10 \text{ MHz}}{32.064} = 311,88 \text{ Hz}$$

Sin embargo, al medir, detectamos que hay un problema. La frecuencia medida de 637,76 Hz no concuerda con la frecuencia correcta calculada de 311,88 Hz.

Para comprobar el contador que falla, se determina el módulo truncado real del siguiente modo:

$$\text{módulo} = \frac{f_{\text{in}}}{f_{\text{out}}} = \frac{10 \text{ MHz}}{637,76 \text{ Hz}} = 15.680$$

Debido a que el módulo truncado tiene que ser 32.064, lo más probable es que la inicialización del contador se esté haciendo con un valor erróneo cuando se inicia un nuevo ciclo. El valor de inicialización real se determina de la manera siguiente:

$$\begin{aligned} \text{módulo truncado} &= \text{módulo completo} - \text{valor de inicialización} \\ \text{valor de inicialización} &= \text{módulo completo} - \text{módulo truncado} \\ &= 65.536 - 15.680 \\ &= 49.856 \\ &= C2C0_{16} \end{aligned}$$

Esto muestra que el valor de inicialización del contador es, cada vez que se inicia un nuevo ciclo, $C2C0_{16}$ en lugar de $82C0_{16}$.

La carga de los contadores 1, 2 y 3 se realiza correctamente, pero no la del contador 4. Dado que $C_{16} = 1100_2$, la entrada D_2 del contador 4 está a nivel ALTO cuando debería estar a nivel BAJO. Lo más probable es que este fallo esté causado por una **entrada en circuito abierto**. Hay que comprobar también un circuito abierto externo causado por una mala soldadura en las conexiones, un conductor roto o un pin curvado del circuito integrado. Si no se detecta ninguno de estos fallos, debe reemplazarse el CI y el contador funcionará correctamente.

Problema relacionado Determinar cuál sería la frecuencia de salida en TC 4 si la entrada D_3 del contador 3 estuviera en circuito abierto.

Contadores implementados con flip-flops individuales

Los contadores implementados con flip-flops individuales y circuitos integrados de puertas son, algunas veces, más difíciles de comprobar en caso de fallo, ya que hay muchas más entradas y salidas con conexiones externas, que en un CI contador. La secuencia de un contador se puede alterar por la existencia de un único circuito abierto o un cortocircuito en una entrada o salida, como nos muestra el Ejemplo 8.11.

CONSEJOS PRÁCTICOS

Cuando se observa la relación temporal entre dos señales digitales en un osciloscopio de doble traza, la forma adecuada de disparar el osciloscopio es mediante la señal más lenta de las dos. La razón de esto es que la señal más lenta dispone de menos puntos de disparo que la señal más rápida, por lo que no existirá ambigüedad en el inicio del barrido. El disparo en modo vertical utiliza una señal compuesta de ambos canales y nunca se debería emplear para determinar información temporal absoluta. Dado que, generalmente, las señales de reloj son las más rápidas en un sistema digital, no se deberían utilizar para el disparo.

EJEMPLO 8.11

Supongamos que se observan las formas de onda de salida que se indican, para el contador de la Figura 8.62. Determinar si existe algún problema en el contador.

Solución

La forma de onda Q_2 es incorrecta. La forma de onda correcta se indica mediante una línea discontinua. Puede observar que la forma de onda Q_2 tiene exactamente la misma forma que Q_1 . Esto indica que la misma señal que está haciendo bascular a FF1 controla también a FF2.

Si comprobamos las entradas J y K de FF2, encontramos una señal que tiene la misma forma que Q_0 . Este resultado indica que Q_0 pasa de alguna manera a través de la puerta AND. Esto sólo puede ocurrir si la entrada Q_1 de la puerta AND está siempre a nivel ALTO. Pero acabamos de ver que Q_1 tiene una forma de onda correcta. Esta observación nos conduce a la conclusión de que la entrada inferior de la puerta AND tiene que estar, internamente, en circuito abierto, por lo que actúa como un nivel ALTO. Es necesario entonces reemplazar la puerta AND y volver a comprobar el circuito.

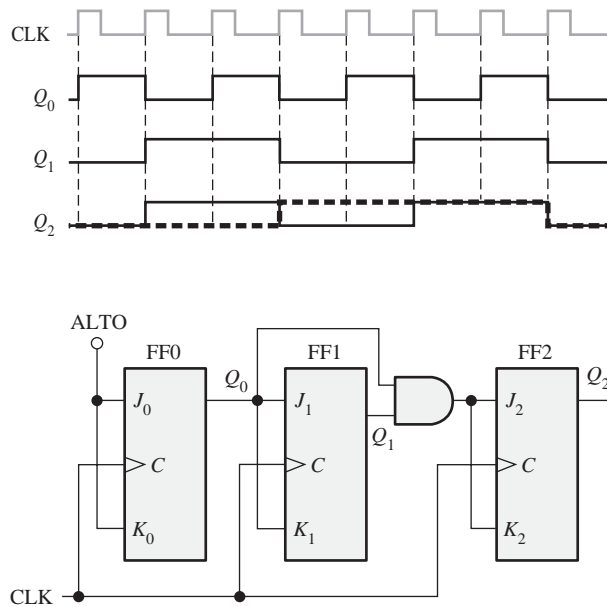


FIGURA 8.62

Problema relacionado Describir la salida Q_2 del contador de la Figura 8.62 si la salida Q_1 de FF1 está en circuito abierto.

REVISIÓN DE LA SECCIÓN 8.9

1. ¿Cuáles son los fallos que pueden causar que el contador de la Figura 8.59 no tenga actividad de impulsos en ninguna de las salidas TC ?
2. ¿Qué ocurre si el inversor de la Figura 8.61 tiene una salida en circuito abierto?



APLICACIÓN A LOS SISTEMAS DIGITALES

El sistema de control de luces de los semáforos que se ha iniciado en el Capítulo 6 y con el que se ha continuado en el Capítulo 7 se completa en este capítulo. En el Capítulo 6 se ha desarrollado la lógica combinacional.

En el Capítulo 7 se han desarrollado los circuitos de temporización.

En este capítulo se aborda la lógica secuencial y se conectan todos los bloques para generar el sistema de control completo de las luces de los semáforos. De nuevo, el diagrama de bloques global del sistema se muestra en la Figura 8.63.

Requisitos de la lógica secuencial

La lógica secuencial controla el secuenciamiento de las luces de los semáforos basándose en las entradas procedentes de los circuitos de temporización y del sensor de vehículos. La lógica secuencial generará una secuencia de código Gray de 2 bits para los cuatro estados del sistema indicados en la Figura 8.64.

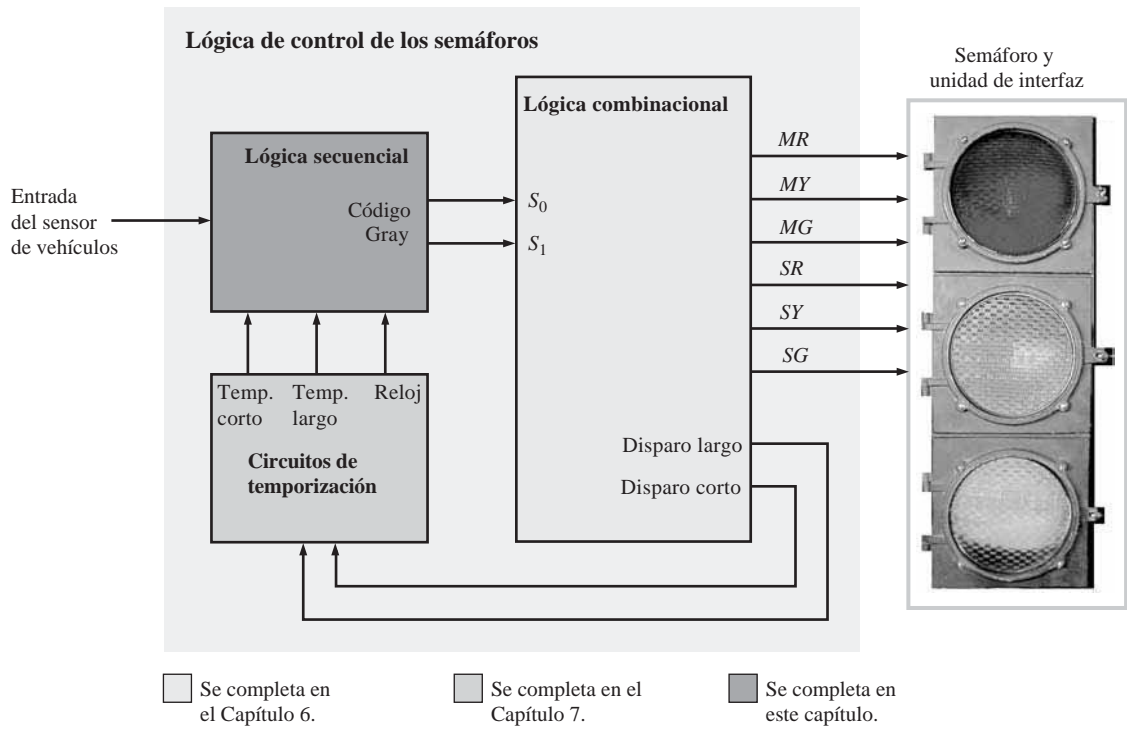


FIGURA 8.63 Diagrama de bloques del sistema de control de semáforos.

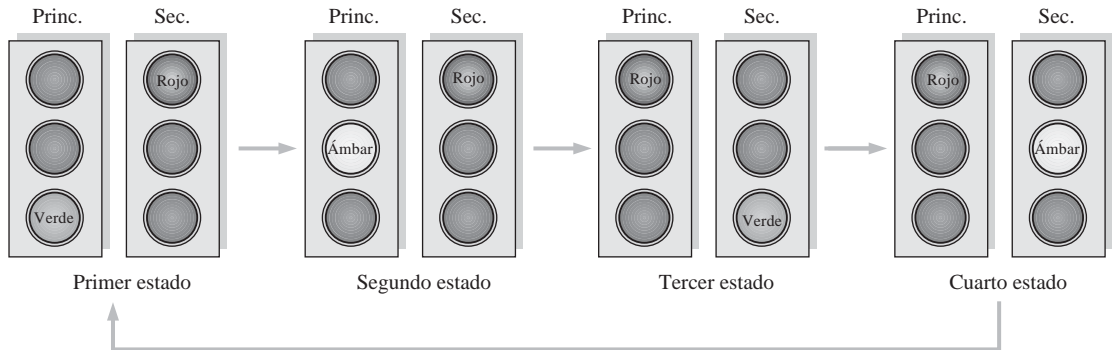


FIGURA 8.64 Secuencia de estados de las luces de los semáforos.

Diagrama de bloques La lógica secuencial consiste en un contador en código Gray de 2 bits y la lógica de entrada asociada, como se muestra en la Figura 8.65.

El contador genera una secuencia de cuatro estados. Las transiciones desde un estado al siguiente están determinadas por el temporizador de 4 s, por el temporizador de 25 s y por la entrada del sensor de vehículos. El reloj del

contador es la señal de 10 kHz producida por el oscilador de los circuitos de temporización.

Diagrama de estados El diagrama de estados del sistema se ha introducido en el Capítulo 6 y se muestra de nuevo en la Figura 8.66. En función de este diagrama de estados, se describe a continuación el funcionamiento de la lógica secuencial.

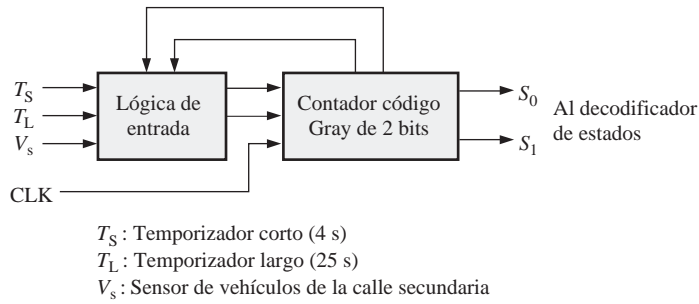


FIGURA 8.65 Diagrama de bloques de la lógica secuencial.

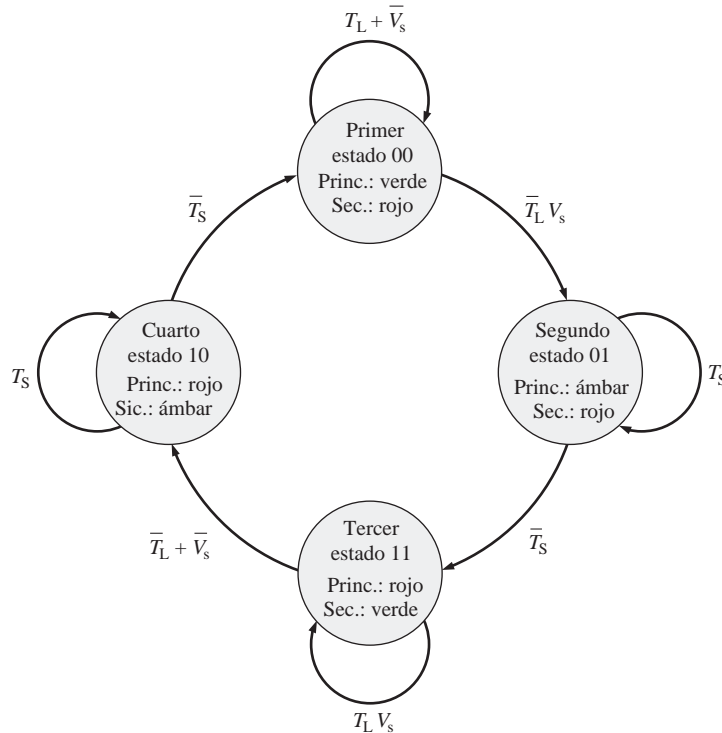


FIGURA 8.66 Diagrama de estados del sistema de control de las luces de los semáforos.

Primer estado El código Gray para este estado es 00. La luz del semáforo de la calle principal está en verde y la de la calle secundaria está en rojo. El sistema permanece en este estado al menos durante 25 s cuando el temporizador largo está *activado* o mientras que no haya vehículos en la calle secundaria. Esto se expresa como $T_L + \bar{V}_s$. El sistema pasa al siguiente estado cuando el temporizador largo está *desactivado* y hay un vehículo en la calle secundaria. Esto se expresa como $(\bar{T}_L V_s)$.

Segundo estado El código Gray para este estado es 01. La luz del semáforo de la calle principal está en ámbar y la de la calle secundaria está en rojo. El sistema permanece en este estado durante 4 s cuando el temporizador corto está *activado* (T_S) y pasa al siguiente estado cuando este mismo temporizador se *desactiva* (\bar{T}_S).

Tercer estado El código Gray para este estado es 11. La luz del semáforo de la calle principal está en rojo y la de la

calle secundaria está en verde. El sistema permanece en este estado cuando el temporizador largo está *activado* y hay un vehículo en la calle secundaria. Esto se expresa como $T_L V_S$. El sistema pasa al estado siguiente cuando se *desactiva* el temporizador largo o cuando no hay vehículos en la calle secundaria, lo que se indica como $\bar{T}_L + \bar{V}_S$

Cuarto estado El código Gray para este estado es 10. La luz del semáforo de la calle principal está en rojo y la de la calle secundaria está en ámbar. El sistema permanece en este estado durante 4 s cuando el temporizador corto está *activado* (T_S) y vuelve al primer estado cuando el temporizador corto se *desactiva* (\bar{T}_S).

Implementación de la lógica secuencial El diagrama de la Figura 8.67 muestra que se emplean dos flip-flops D para implementar el contador Gray. Las salidas de la lógica de entrada proporcionan las entradas D a los biestables y el contador se sincroniza mediante el reloj de 10 kHz del

oscilador. La lógica de entrada tiene cinco variables de entrada: Q_0, Q_1, T_L, T_S y V_S .

En la Tabla 8.13 se muestra la tabla de transiciones del flip-flop D. A partir del diagrama de estados, puede desarrollarse la tabla del estado siguiente, como se muestra en la Tabla 8.14. Las condiciones de entrada para T_L, T_S y V_S para cada combinación de estado actual/estado siguiente se enumeran en la tabla.

Transiciones de salida		Entradas del flip-flop
Q_N	Q_{N+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

TABLA 8.13 Tabla de transiciones del flip-flop D.

Estado actual		Estado siguiente		Condiciones de entrada	Entradas FF	
Q_1	Q_0	Q_1	Q_0		D_1	D_0
0	0	0	0	$T_L + \bar{V}_S$	0	0
0	0	0	1	$\bar{T}_L V_S$	0	1
0	1	0	1	T_S	0	1
0	1	1	1	\bar{T}_S	1	1
1	1	1	1	$T_L V_S$	1	1
1	1	1	0	$\bar{T}_L + \bar{V}_S$	1	0
1	0	1	0	T_S	1	0
1	0	0	0	\bar{T}_S	0	0

TABLA 8.14 Tabla del estado siguiente para las transiciones de la lógica secuencial.

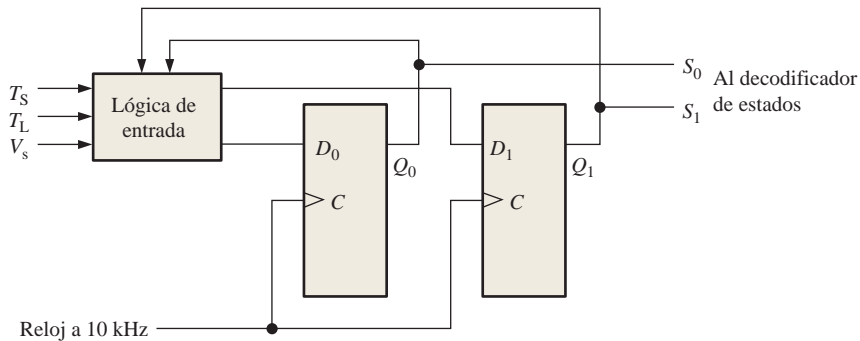


FIGURA 8.67 Diagrama de la lógica secuencial.

A partir de las Tablas 8.13 y 8.14 pueden determinarse las condiciones lógicas requeridas para que cada flip-flop pase al estado 1. Por ejemplo, Q_0 pasa de 0 a 1 cuando el estado actual es 00 y la condición de entrada es $\bar{T}_L V_s$, como se indica en la segunda fila de la Tabla 8.13. D_0 debe estar a 1 para hacer que Q_0 pase a 1 o permanezca en 1 en el siguiente impulso de reloj. Para que D_0 sea un 1, puede escribirse una expresión lógica a partir de la Tabla 8.14:

$$\begin{aligned} D_0 &= \bar{Q}_1 \bar{Q}_0 \bar{T}_L V_s + \bar{Q}_1 Q_0 T_s \\ &\quad + \bar{Q}_1 Q_0 \bar{T}_s + Q_1 Q_0 T_L V_s \\ &= \bar{Q}_1 \bar{Q}_0 \bar{T}_L V_s + \bar{Q}_1 Q_0 + Q_1 Q_0 T_L V_s \end{aligned}$$

Puede utilizarse un mapa de Karnaugh para reducir aún más la expresión de D_0

$$D_0 = \bar{Q}_1 \bar{T}_L V_s + \bar{Q}_1 Q_0 + Q_0 T_L V_s$$

También, podemos desarrollar la expresión de D_1 a partir de la Tabla 8.14,

$$\begin{aligned} D_1 &= \bar{Q}_1 Q_0 \bar{T}_s + Q_1 Q_0 T_L V_s \\ &\quad + Q_1 Q_0 \bar{T}_L + Q_1 Q_0 \bar{V}_s + Q_1 \bar{Q}_0 T_s \\ &= \bar{Q}_1 Q_0 \bar{T}_s + Q_1 Q_0 (T_L V_s + \bar{T}_L) \\ &\quad + Q_1 Q_0 \bar{V}_s + Q_1 \bar{Q}_0 T_s \\ &= \bar{Q}_1 Q_0 \bar{T}_s + Q_1 Q_0 (V_s + \bar{T}_L) \\ &\quad + Q_1 Q_0 \bar{V}_s + Q_1 \bar{Q}_0 T_s \\ &= \bar{Q}_1 Q_0 \bar{T}_s + Q_1 Q_0 (V_s + \bar{T}_L + \bar{V}_s) \\ &\quad + Q_1 \bar{Q}_0 T_s \\ &= \bar{Q}_1 Q_0 \bar{T}_s + Q_1 Q_0 + Q_1 \bar{Q}_0 T_s \end{aligned}$$

Puede utilizarse un mapa de Karnaugh para reducir aún más la expresión de D_1

$$D_1 = Q_0 \bar{T}_s + Q_1 T_s$$

D_0 y D_1 se implementan como se muestra en la Figura 8.68.

Combinando la lógica de entrada con el contador de 2 bits, se obtiene el diagrama lógico secuencial completo mostrado en la Figura 8.69.

Sistema de control completo de los semáforos

Ahora que disponemos de los tres bloques (lógica combinatorial, circuitos de temporización y lógica secuencial) vamos a combinarlos para formar el sistema completo, cuyo diagrama de bloques es el mostrado en la Figura 8.70.

Circuitos de interfaz Los circuitos de interfaz son necesarios porque la lógica no puede controlar directamente las luces debido a los requisitos de corriente y de tensión. Existen varias formas de proporcionar una interfaz y se proporcionan dos posibles diseños en el Apéndice B.

Práctica de sistemas

- **Actividad 1** Utilizar un mapa de Karnaugh para confirmar que la expresión simplificada de D_0 es correcta.
- **Actividad 2** Utilizar un mapa de Karnaugh para confirmar que la expresión simplificada de D_1 es correcta.

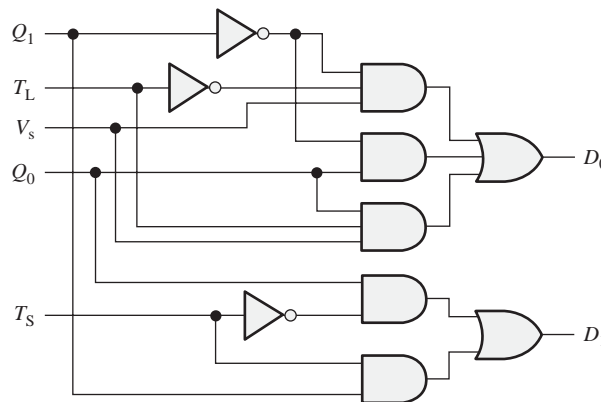


FIGURA 8.68 Lógica de entrada para el contador código Gray de 2 bits.

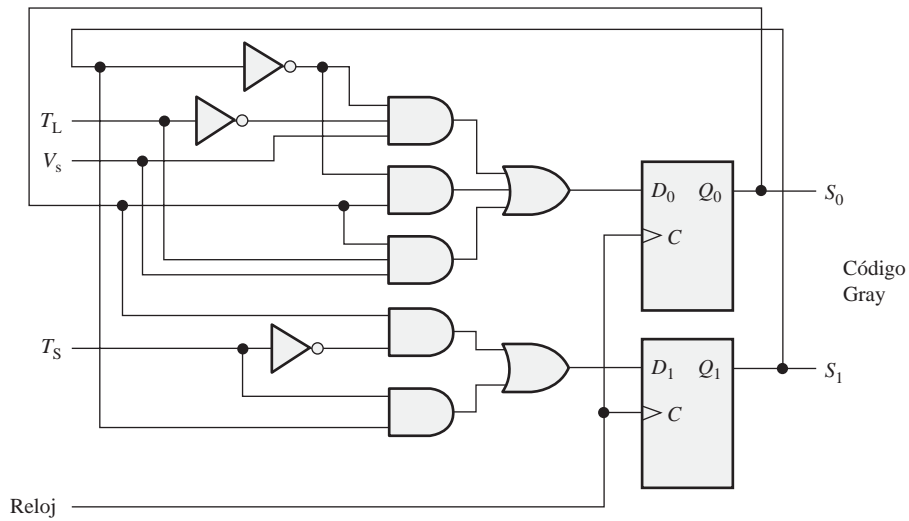


FIGURA 8.69 La lógica secuencial.

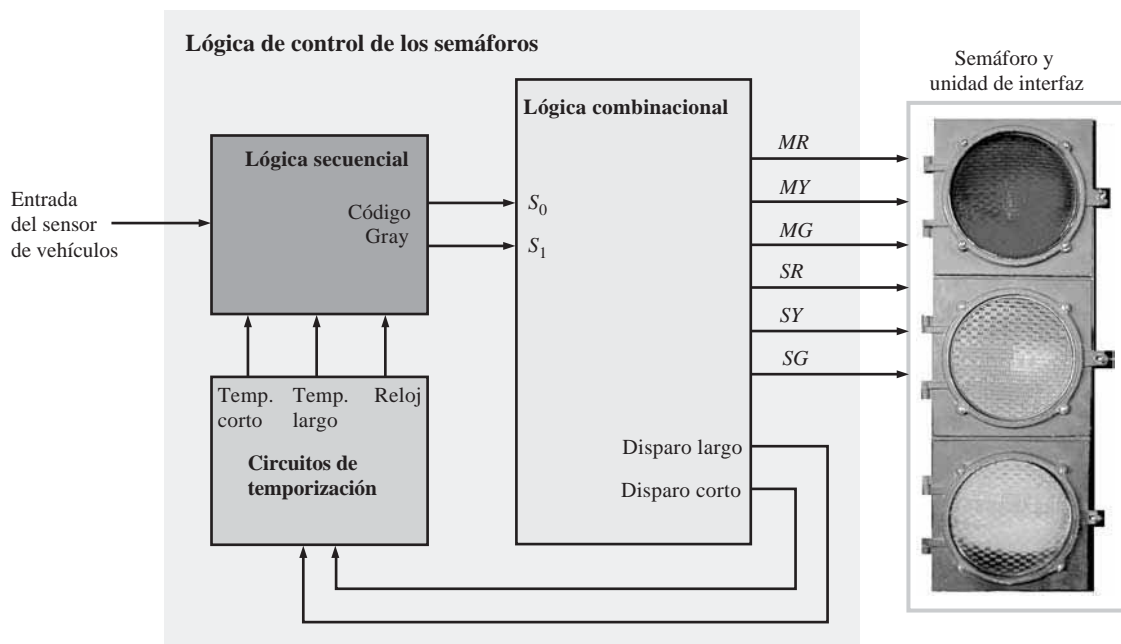


FIGURA 8.70 Diagrama de bloques del sistema de control de luces de los semáforos.

RESUMEN

- Como se muestra en la Figura 8.71, los contadores síncronos y asíncronos únicamente se diferencian en la forma en que se les aplica la señal de reloj. Los contadores síncronos pueden trabajar a frecuencias de reloj mayores que los contadores asíncronos.

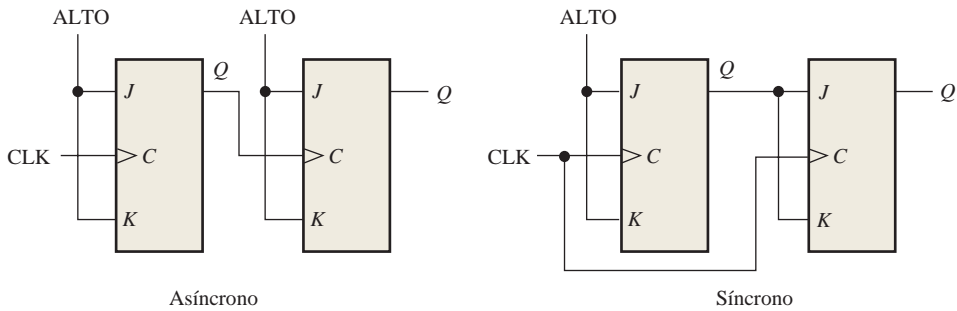


FIGURA 8.71 Comparación de los contadores síncronos y asíncronos.

■ En la Figura 8.72 se muestran las conexiones de los circuitos integrados contadores presentados en este capítulo.

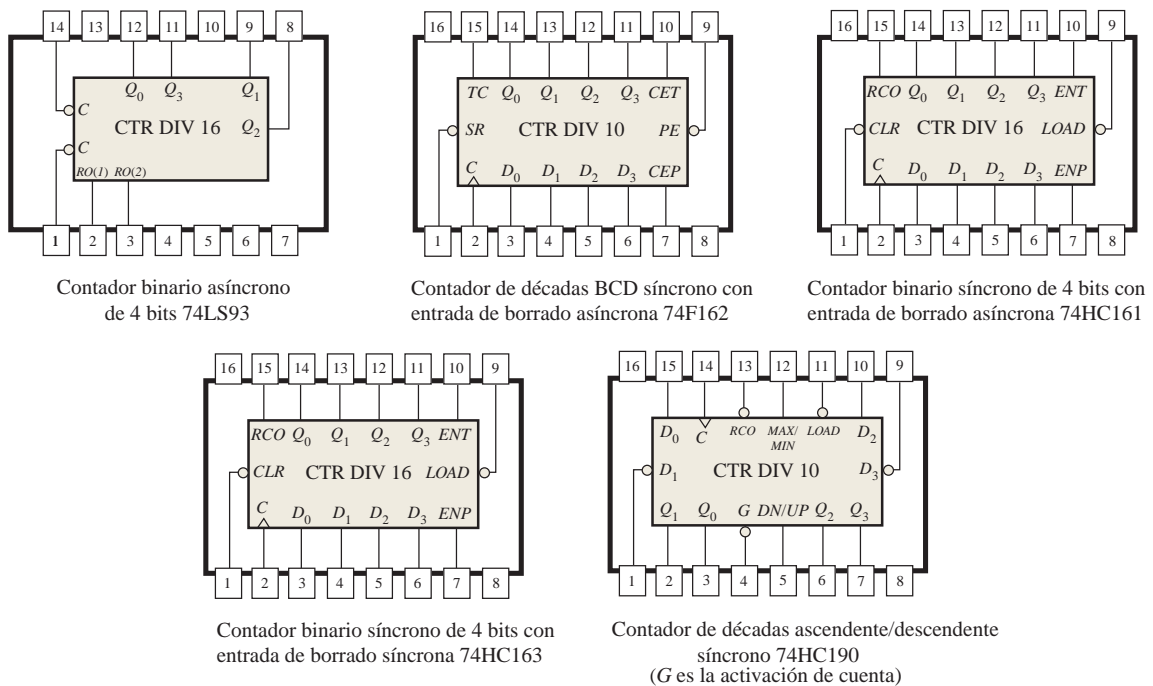


FIGURA 8.72 Observe que las etiquetas (nombres de las entradas y de las salidas) son consecuentes con el texto, pero pueden diferir con respecto al catálogo del fabricante que esté utilizando. Los dispositivos mostrados son funcionalmente iguales y compatibles en cuanto a pines con los dispositivos del mismo tipo disponibles en otras familias CMOS y TTL de circuitos integrados.

■ El módulo máximo de un contador es el número máximo de posibles estados y es función del número de etapas (flip-flops). Por tanto,

$$\text{Módulo máximo} = 2^n$$

donde n es el número de etapas del contador. El módulo de un contador es el número *real* de estados de la secuencia, y puede ser igual o menor que el módulo máximo.

- El módulo global de los contadores en cascada es igual al producto de los módulos de los contadores individuales.

PALABRAS CLAVE

Las palabras clave y otros términos que se han resaltado en negrita se encuentran en el glosario final del libro.

Asíncrono Que no ocurre a un mismo tiempo.

Cascada Conectar dispositivos "uno tras otro", como cuando se conectan varios contadores de forma que la salida de un contador esté conectada a la entrada de habilitación del siguiente contador.

Década Que se caracteriza por diez estados o valores.

Diagrama de estados Una descripción gráfica de una secuencia de estados o valores.

Inicio de un nuevo ciclo Sufrir una transición (como ocurre en los contadores) desde el estado final o terminal hasta el estado inicial.

Máquina de estados Sistema lógico que exhibe una secuencia de estados condicionada por la lógica interna y las entradas externas. Cualquier circuito secuencial que exhibe una determinada secuencia de estados.

Módulo El número de estados exclusivos a través de los cuales pasa la secuencia de un contador.

Síncrono Que ocurre de forma simultánea

Valor de fin de cuenta Estado final de la secuencia de un contador.

AUTOTEST

Las respuestas se encuentran al final del capítulo.

- Los contadores asíncronos se conocen como:
 - contadores con propagación
 - contadores de reloj múltiple
 - contadores de décadas
 - contadores de módulo
- Un contador asíncrono se diferencia de un contador síncrono en:
 - el número de estados de su secuencia
 - el método de sincronización con la señal de reloj
 - el tipo de flip-flops utilizados
 - el valor del módulo
- El módulo de un contador es:
 - el número de flip-flops
 - el número real de estados en su secuencia
 - el número de veces que inicia un nuevo ciclo por segundo
 - el máximo número posible de estados
- Un contador binario de 3 bits tiene un módulo máximo de:
 - 3
 - 6
 - 8
 - 16
- Un contador binario de 4 bits tiene un módulo máximo de:
 - 16
 - 32
 - 8
 - 4
- Un contador de módulo 12 tiene:
 - 12 flip-flops
 - 3 flip-flops
 - 4 flip-flops
 - temporización síncrona

7. ¿Cuál de los siguientes contadores es un ejemplo de un contador con un módulo truncado?
 - (a) módulo 8 (b) módulo 14
 - (c) módulo 16 (d) módulo 32
8. Un contador asíncrono de 4 bits está formado por flip-flops que tienen un retardo de propagación de la señal de reloj a Q de 12 ns. ¿Cuánto tiempo tarda el contador en iniciar un nuevo ciclo desde 1111 a 0000?
9. Un contador BCD es un ejemplo de
 - (a) contador de módulo completo
 - (b) un contador de décadas
 - (c) un contador de módulo truncado
 - (d) las respuestas (b) y (c)
10. En un contador BCD 8421, ¿cuál de los siguientes estados es un estado no válido?
 - (a) 1100 (b) 0010 (c) 0101 (d) 1000
11. Tres contadores de módulo 10 en cascada tienen un módulo global de:
 - (a) 30 (b) 100 (c) 1000 (d) 10.000
12. Se aplica una frecuencia de reloj de 10 MHz a un contador en cascada formado por un contador de módulo 5, un contador de módulo 8 y dos contadores de módulo 10. La frecuencia de salida más baja posible es:
 - (a) 10 kHz (b) 2,5 kHz (c) 5 kHz (d) 25 kHz
13. Un contador ascendente/descendente de 4 bits se encuentra en estado binario cero. El siguiente estado en el modo descendente es:
 - (a) 0001 (b) 1111 (c) 1000 (d) 1110
14. El valor fin de cuenta de un contador binario de módulo 13 es:
 - (a) 0000 (b) 1111 (c) 1101 (d) 1100

PROBLEMAS

Las respuestas a los problemas impares se encuentran al final del libro.

SECCIÓN 8.1. Funcionamiento del contador asíncrono

1. Para el contador asíncrono de la Figura 8.73, dibujar el diagrama de tiempos completo para ocho impulsos de reloj, indicando las formas de onda de la señal de reloj, de Q_0 y de Q_1 .

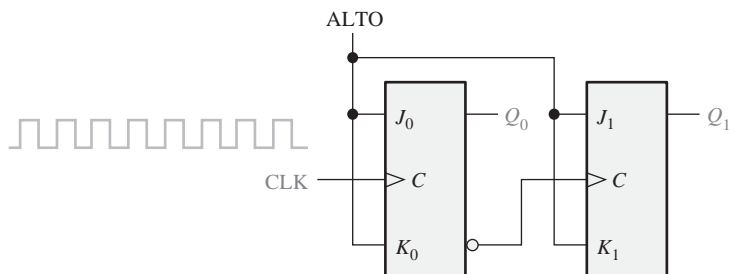


FIGURA 8.73

2. Para el contador asíncrono de la Figura 8.74, dibujar el diagrama de tiempos completo para dieciséis impulsos de reloj, indicando las formas de onda de la señal de reloj, Q_0 , Q_1 y Q_2 .
3. En el contador del Problema 2, suponer que cada flip-flop tiene un retardo de propagación, entre el impulso de disparo de reloj y el cambio en la salida Q , de 8 ns. Determinar el retardo

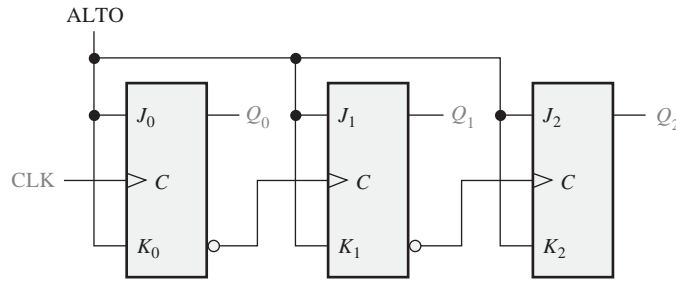


FIGURA 8.74

en el caso peor (el más largo) a partir de que se aplica un impulso de reloj hasta que el contador alcanza un determinado estado. Especificar el estado o estados para los que se produce dicho caso peor.

4. Indicar cómo se conecta un contador asíncrono de 4 bits 74LS93, para obtener cada uno de los siguientes módulos:
 - (a) 9 (b) 11 (c) 13 (d) 14 (e) 15

SECCIÓN 8.2 Funcionamiento del contador síncrono

5. Si el contador del Problema 3 fuera síncrono en lugar de asíncrono, ¿cuál sería el retardo más largo?
6. Dibujar el diagrama de tiempos completo para el contador binario síncrono de cinco etapas de la Figura 8.75. Verificar que las formas de onda de las salidas Q representan el número binario correcto después de cada impulso de reloj.

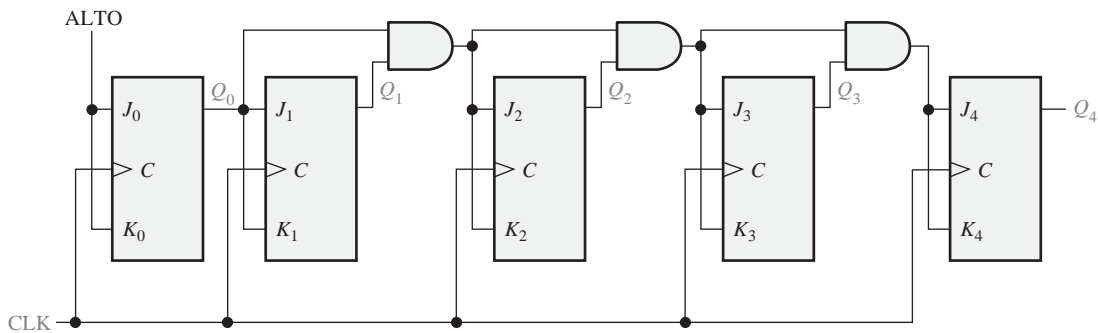


FIGURA 8.75

7. Analizando las entradas J y K de cada flip-flop antes de cada impulso de reloj, probar que el contador de décadas de la Figura 8.76 avanza a través de una secuencia BCD. Explicar, en cada caso, cómo estas condiciones hacen que el contador pase al siguiente estado correcto.
8. Las formas de onda de la Figura 8.77 se aplican a las entradas de habilitación, borrado y de reloj, como se indica. Dibujar las señales de salida del contador en función de estas entradas. La entrada de borrado es asíncrona.
9. En la Figura 8.78 se muestra un contador de décadas BCD. Se aplican las entradas de reloj y de borrado que se indican. Determinar las formas de onda de las salidas del contador (Q_0 , Q_1 , Q_2 y Q_3). La entrada de borrado es síncrona y el contador, inicialmente, está en el estado binario 1000.
10. Las formas de onda de la Figura 8.79 se aplican a un contador 74HC163. Determinar las salidas Q y RCO . Las entradas son $D_0 = 1$, $D_1 = 1$, $D_2 = 0$ y $D_3 = 1$.

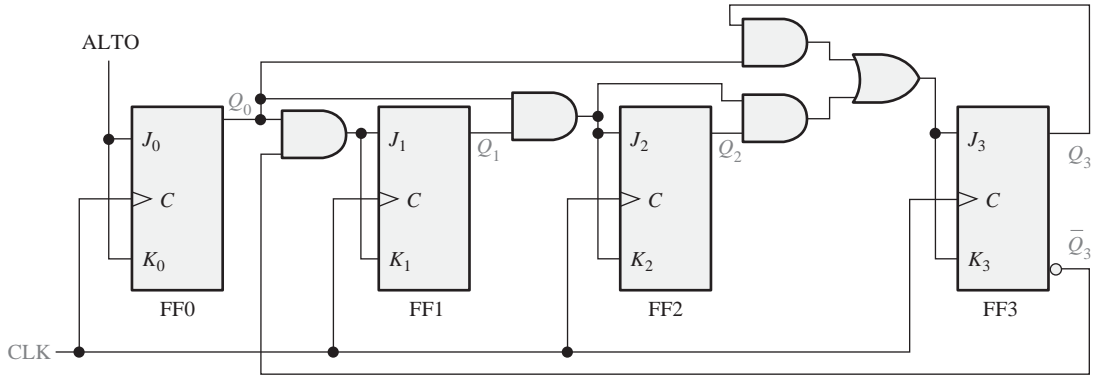


FIGURA 8.76

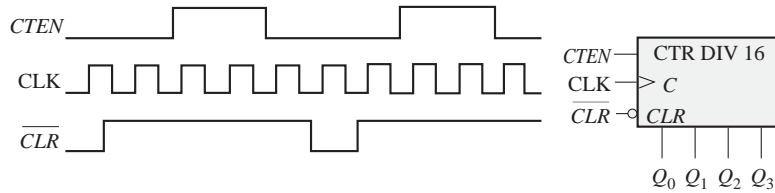


FIGURA 8.77

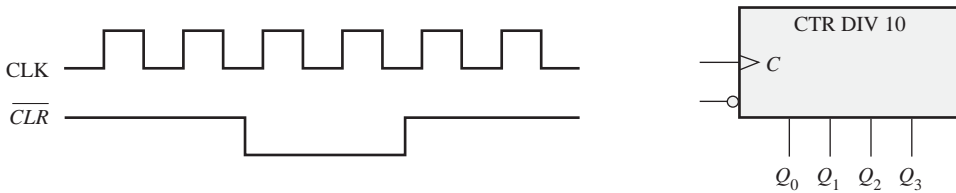


FIGURA 8.78

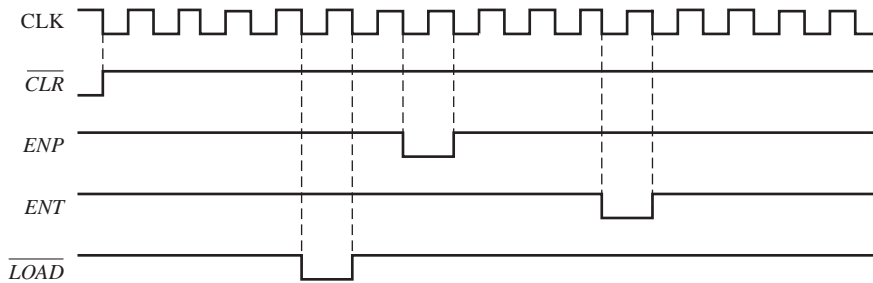


FIGURA 8.79

11. Las formas de onda de la Figura 8.79 se aplican a un contador 74F162. Determinar las salidas Q y TC . Las entradas son $D_0 = 1$, $D_1 = 0$, $D_2 = 0$ y $D_3 = 1$.

SECCIÓN 8.3. Contadores ascendentes/descendentes síncronos

12. Dibujar un diagrama de tiempos completo para un contador ascendente/descendente de 3 bits que sigue la siguiente secuencia. Indicar cuándo el contador está en modo ascendente y cuándo está en modo descendente. Suponer que es disparado por flanco positivo.

0, 1, 2, 3, 2, 1, 2, 3, 4, 5, 6, 5, 4, 3, 2, 1, 0

13. Dibujar la forma de onda de salida Q de un contador ascendente/descendente 74HC190 con las formas de onda de entrada mostradas en la Figura 8.80. Las entradas de datos están a cero. Comenzar la cuenta en el estado 0000.

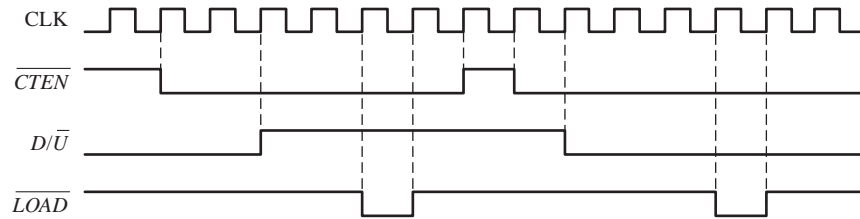


FIGURA 8.80

SECCIÓN 8.4 Diseño de los contadores síncronos

14. Determinar la secuencia del contador de la Figura 8.81.

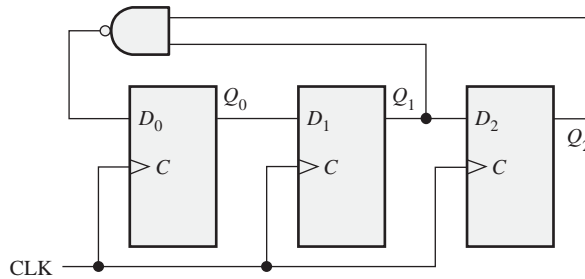


FIGURA 8.81

15. Determinar la secuencia del contador de la Figura 8.82. Comenzar con el contador borrado.

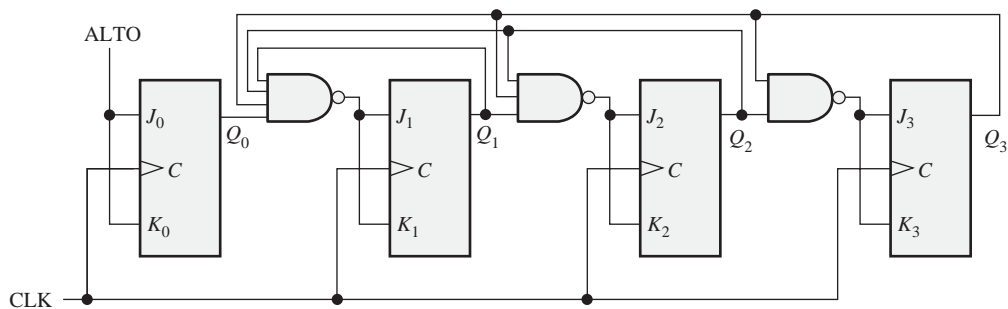


FIGURA 8.82

16. Diseñar un contador que genere la siguiente secuencia. Utilizar flip-flops J-K.
00, 10, 01, 11, 00 ...
17. Diseñar un contador que genere la siguiente secuencia binaria. Utilizar flip-flops J-K.
1, 4, 3, 5, 7, 6, 2, 1 ...
18. Diseñar un contador que genere la siguiente secuencia binaria. Utilizar flip-flops J-K.
0, 9, 1, 8, 2, 7, 3, 6, 4, 5, 0, ...

19. Diseñar un contador binario que genere la secuencia que indica el diagrama de estados de la Figura 8.83.

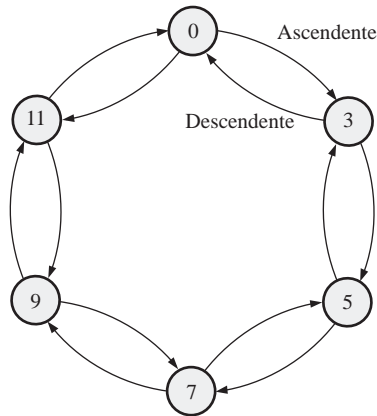


FIGURA 8.83

SECCIÓN 8.5 Contadores en cascada

20. Para cada una de las configuraciones en cascada de la Figura 8.84, determinar la frecuencia de la señal en cada punto señalado con un número encerrado en un círculo, y calcular los módulos globales.

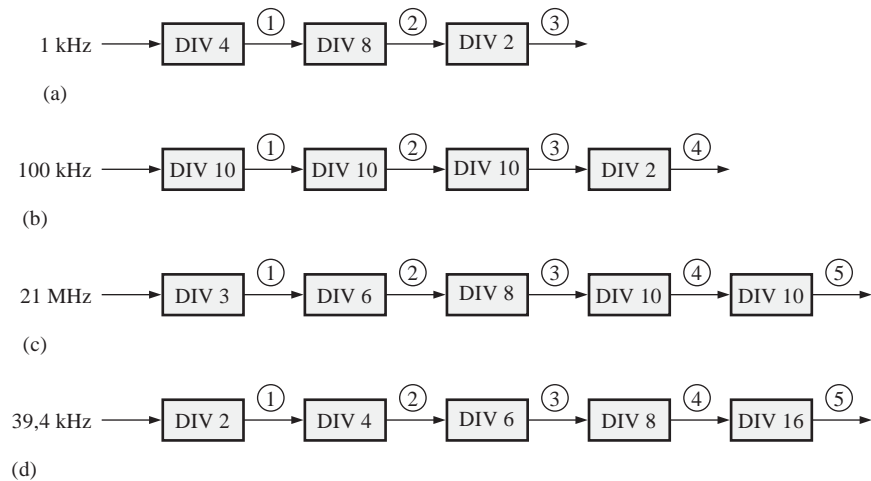


FIGURA 8.84

21. Ampliar el contador de la Figura 8.41 para crear un contador divisor por 10.000 y un contador divisor por 100.000.
22. Por medio de diagramas de bloques generales, indicar cómo se obtendrán las siguientes frecuencias a partir de una señal de reloj a 10 MHz, empleando flip-flops, contadores de módulo 5 y contadores de décadas.
- | | | | |
|--------------|-------------|-------------|-----------|
| (a) 5 MHz | (b) 2,5 MHz | (c) 2 MHz | |
| (d) 1 MHz | (e) 500 kHz | (f) 250 kHz | |
| (g) 62,5 kHz | (h) 40 kHz | (i) 10 kHz | (j) 1 kHz |

SECCIÓN 8.6 Decodificación de los contadores

23. Dado un codificador de décadas BCD con sólo disponibles las salidas Q , definir la lógica requerida para decodificar cada uno de los estados futuros e indicar cómo se conectaría al contador. Se precisa una salida a nivel ALTO para indicar cada estado decodificado. El MSB es el de la izquierda.
- (a) 0001
 - (b) 0011
 - (c) 0101
 - (d) 0111
 - (e) 1000
24. Para el contador binario de 4 bits conectado al decodificador de la Figura 8.85, determinar cada forma de onda de salida del decodificador en función de los impulsos de reloj.

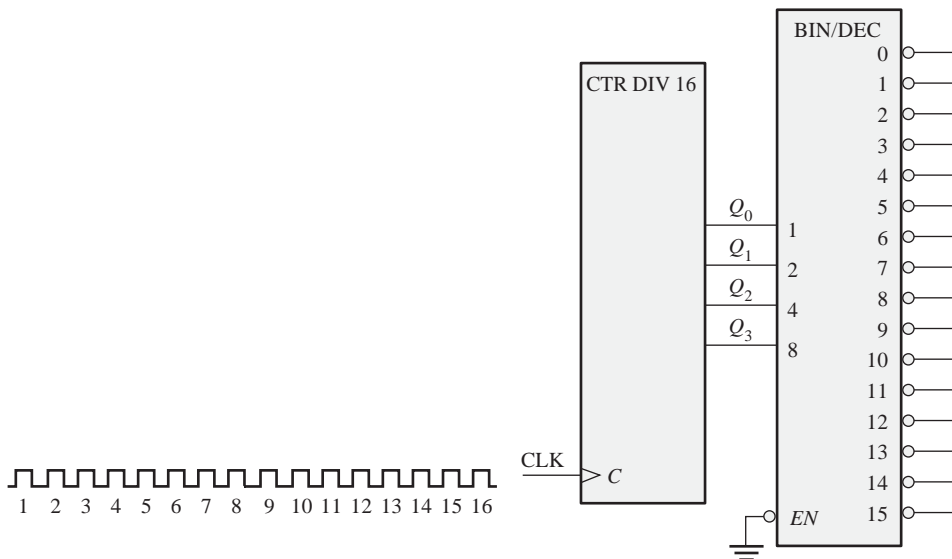


FIGURA 8.85

- 25. Si el contador de la Figura 8.85 es asíncrono, determinar dónde se producen los glitches en las señales de salida del decodificador.
- 26. Modificar el circuito de la Figura 8.85 para eliminar los *glitches* de decodificación.
- 27. Analizar la ocurrencia de *glitches* en la salida de la puerta de decodificación en el contador de la Figura 8.45. Si se producen *glitches*, sugerir una forma de eliminarlos.
- 28. Analizar la ocurrencia de *glitches* en las salidas de las puertas de decodificación en el contador de la Figura 8.46. Si éstos se producen, modificar el diseño para eliminarlos.

SECCIÓN 8.7 Aplicaciones de los contadores

- 29. Suponer que el reloj digital de la Figura 8.51 se inicializa a las doce horas. Determinar el estado binario de cada contador después de que se hayan producido sesenta y dos impulsos de 60 Hz de frecuencia.
- 30. ¿Cuál es la frecuencia de salida de cada contador en el circuito del reloj digital de la Figura 8.51?

31. Para el sistema de control del aparcamiento de coches de la Figura 8.54, en la Figura 8.86 se presenta una secuencia patrón de entrada y los impulsos del sensor para un determinado período de 24 horas. Si ya había 53 coches en el garaje al inicio del período, ¿cuál es el estado del contador pasadas las 24 horas?

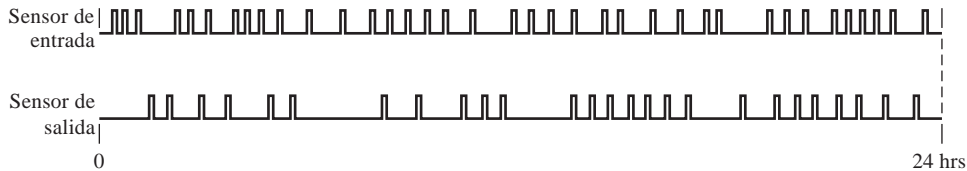


FIGURA 8.86

32. El número binario correspondiente al decimal 57 se presenta en las entradas de datos en paralelo del convertidor paralelo-serie de la Figura 8.56 (D_0 es el LSB). Inicialmente, el contador contiene todo ceros y se aplica una señal de reloj a 10 kHz. Desarrollar el diagrama de tiempos que muestre el reloj, las salidas del contador y la salida de datos serie.

SECCIÓN 8.9 Localización de averías

33. Para el contador de la Figura 8.1, dibujar el diagrama de tiempos para las formas de onda Q_0 y Q_1 si se produce alguno de los fallos siguientes (suponer que, inicialmente, Q_0 y Q_1 están a nivel BAJO):
- la entrada de reloj de FF0 está cortocircuitada a masa.
 - la salida Q_0 está en circuito abierto.
 - la entrada de reloj de FF1 está en circuito abierto
 - la entrada J de FF0 está en circuito abierto
 - la entrada K de FF1 está cortocircuitada a masa.
34. Resolver el Problema 33 para el contador de la Figura 8.11.
35. Aislar el fallo del contador de la Figura 8.3, analizando las formas de onda de la Figura 8.87.

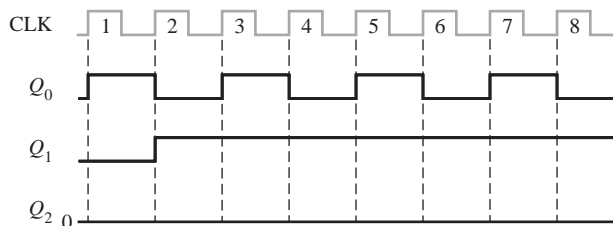


FIGURA 8.87

36. A partir del diagrama de señales de la Figura 8.88, determinar el fallo más probable en el contador de la Figura 8.14.
37. Resolver el Problema 36, si la salida Q_2 se corresponde con la forma de onda de la Figura 8.89. Las salidas Q_0 y Q_1 son las de la Figura 8.88.
38. Se aplica una señal de reloj de 5 MHz al contador en cascada de la Figura 8.44 y se mide una frecuencia de 76,2939 Hz en la última salida RCO . ¿Es esto correcto? Si no lo es, ¿cuál es el fallo más probable?
39. Desarrollar una tabla para probar el contador de la Figura 8.44, que muestre la frecuencia de la última salida RCO , para todos los posibles fallos que se producen cuando cada una de las entradas de datos (D_0 , D_1 , D_2 y D_3) está en circuito abierto. Utilizar una frecuencia de prueba de reloj de 10 MHz.

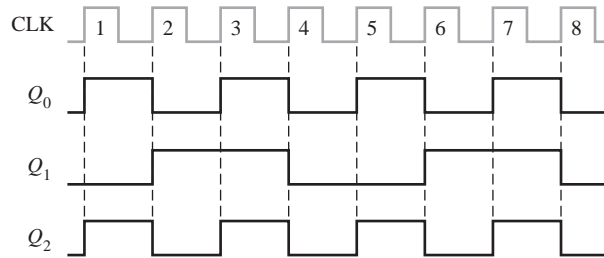


FIGURA 8.88

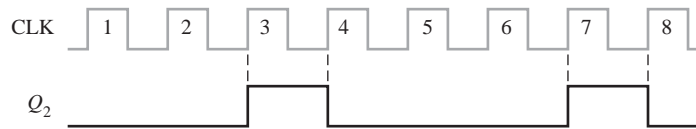


FIGURA 8.89

40. El display de 7-segmentos para las decenas de horas del sistema de reloj digital de la Figura 8.51 presenta continuamente en el display un 1. Los restantes dígitos funcionan correctamente. ¿Cuál es el problema?
41. ¿Cuál sería la indicación visual si la salida Q_1 del contador de decenas de minutos de la Figura 8.51 estuviera en circuito abierto? Consultar también la Figura 8.52.
42. Un determinado día (posiblemente un lunes) los dueños de las plazas del garaje que tiene el sistema de control descrito en las Figuras 8.54 y 8.55, comienzan a presentar quejas. Los dueños dicen que pueden entrar en el garaje porque la barrera está levantada y el cartel de COMPLETO está apagado, pero que una vez que han entrado no pueden encontrar una plaza vacía. Si fuera el técnico encargado de mantener este sistema, ¿cuál pensaría que era el problema? ¿Cómo localizaría la avería y repararía el sistema lo más rápidamente posible?



Aplicación a los sistemas digitales

43. Implementar la lógica de entrada del circuito secuencial del sistema de control de semáforos utilizando sólo puertas NAND.
44. Reemplazar los flip-flops D del contador en código Gray de dos bits de la Figura 8.67 por flip-flops J-K.
45. Especificar cómo se cambiaría el intervalo de la luz verde de 25 s a 60 s.



Problemas especiales de diseño

46. Diseñar un contador de módulo 1000, utilizando contadores de décadas 74F162.
47. Modificar el diseño del contador de la Figura 8.44 para conseguir un módulo de 30.000.
48. Repetir el Problema 47 para obtener un módulo de 50.000.
49. Modificar el reloj digital de las Figuras 8.51, 8.52 y 8.53 para que pueda reiniciarse en cualquier instante.
50. Diseñar un circuito de alarma para que el reloj digital pueda detectar un intervalo de tiempo predeterminado (horas y minutos únicamente) y generar un señal que active una alarma audible.
51. Modificar el diseño del circuito de la Figura 8.55 para 1000 y 3000 plazas de garaje.
52. Implementar la lógica de conversión de datos paralelo-serie de la Figura 8.56 con dispositivos de función fija específicos.

53. En el Problema 15, se ha determinado que el contador entra en un bucle y alterna entre dos estados. Esto sucede como resultado de un fallo de diseño. Diseñar de nuevo el contador para que cuando entre en el segundo de los estados del bucle, se inicie un nuevo ciclo en el estado de todo ceros con el siguiente impulso de reloj.
54. Modificar el diagrama de bloques del sistema de control de semáforos de la Figura 8.63, para añadir una señal de giro a la izquierda durante 15 segundos en la calle principal, inmediatamente antes de la luz verde.

RESPUESTAS

REVISIONES DE CADA SECCIÓN

SECCIÓN 8.1. Funcionamiento del contador asíncrono

1. Asíncrono significa que cada flip-flop posterior al primero se activa por medio de la salida del flip-flop precedente.
2. Un contador de módulo 14 tiene catorce estados, requiriéndose cuatro flip-flops.

SECCIÓN 8.2. Funcionamiento del contador síncrono

1. Todos los flip-flops de un contador síncrono se sincronizan simultáneamente con la señal de reloj.
2. El contador se puede inicializar en cualquier estado.
3. El contador se activa cuando *ENP* y *ENT* están a nivel ALTO; *RCO* pasa a nivel ALTO cuando se alcanza el estado final de la secuencia.

SECCIÓN 8.3. Contadores ascendentes/descendentes síncronos

1. El contador pasa al estado 1001
2. ASCENDENTE: 1111, DESCENDENTE: 0000; el siguiente estado es 1111.

SECCIÓN 8.4. Diseño de los contadores síncronos

1. $J = 1, K = X$ (indiferente)
2. $J = X$ (indiferente), $K = 0$
3. (a) El estado siguiente es 1011
(b) Q_3 (MSB): modo no cambio o SET; Q_2 : modo no cambio o RESET; Q_1 : modo no cambio o SET; Q_0 (LSB): modo SET o de basculación.

SECCIÓN 8.5. Contadores en cascada

1. Tres contadores de décadas producen $\div 1000$, cuatro contadores de décadas producen $\div 10.000$.
2. (a) $\div 20$: flip-flop y divisor por 10
(b) $\div 32$: flip-flop y divisor por 16
(c) $\div 160$: divisor por 16 y divisor por 10
(d) $\div 320$: divisor por 16, divisor por 10 y flip-flop.

SECCIÓN 8.6. Decodificación de los contadores

1. (a) No hay ningún estado transitorio, porque hay un único cambio de bit.
(b) 0000, 0001, 0010, 0101, 0110, 0111
(c) No hay ningún estado transitorio, porque hay un único cambio de bit.
(d) 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110

SECCIÓN 8.7 Aplicaciones de los contadores

1. La puerta G_1 pone a cero el flip-flop en el primer impulso de reloj después de alcanzar el valor 12. La puerta G_2 decodifica el valor 12 para inicializar el contador a 0001.
2. El contador de décadas para las horas avanza a través de cada estado desde cero hasta nueve y, al pasar de nueve a cero para iniciar un nuevo ciclo, el flip-flop bascula al estado SET. Esto da lugar a que se presente un 10 en el display. Cuando el contador de décadas para las horas está en el estado 12, las puertas de decodificación NAND hacen que el contador inicie un nuevo ciclo en el estado 1 con el siguiente impulso de reloj. El flip-flop pasa a estado RESET. Esto hace que aparezca un 1 (01) en el display.

SECCIÓN 8.8 Símbolos lógicos con notación de dependencia

1. C : control, usualmente reloj; M : modo; G : AND
2. D indica almacenamiento de datos

SECCIÓN 8.9 Localización de averías

1. No hay impulsos en las salidas TC : $CTEN$ del primer contador está cortocircuitada a masa o a un nivel BAJO; la entrada de reloj del primer contador está en circuito abierto; la línea de reloj está cortocircuitada a masa o a un nivel BAJO; la salida TC del primer contador está cortocircuitada a masa o a un nivel BAJO.
2. Con la salida del inversor en circuito abierto, el contador no puede comenzar un nuevo ciclo en el valor de carga predeterminado, sino que actúa como un contador de módulo completo.

PROBLEMAS RELACIONADOS

8.1 Véase la Figura 8.90.

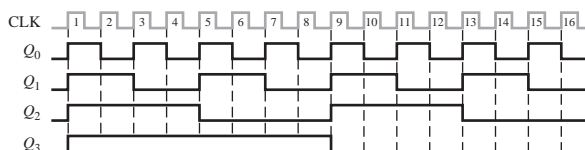


FIGURA 8.90

8.2 Conectar Q_0 a la puerta NAND como tercera entrada (Q_2 y Q_3 son dos de las entradas). Conectar la línea CLR a la entrada \overline{CLR} de FF0, así como de FF2 y FF3.

8.3 Véase la Figura 8.91.

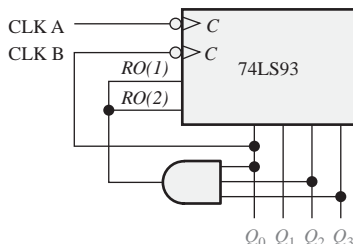


FIGURA 8.91

8.4 Véase la Figura 8.92.

8.5 Véase la Tabla 8.15.

8.6 La aplicación del álgebra de Boole a la lógica de la Figura 8.37 demuestra que la salida de cada puerta OR está de acuerdo con la expresión del paso 5.

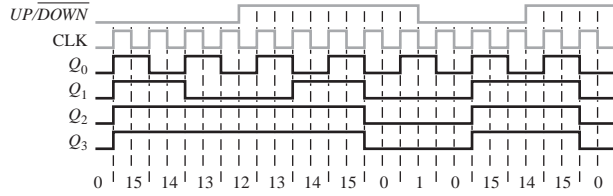


FIGURA 8.92

Estado actual no válido			Entradas J-K						Estado siguiente		
Q_2	Q_1	Q_0	J_2	K_2	J_1	K_1	J_0	K_0	Q_2	Q_1	Q_0
0	0	0	0	0	1	1	1	1	0	1	1
0	1	1	1	1	1	1	1	1	1	0	0
1	0	0	0	0	1	1	1	0	1	1	1 estado válido
1	1	0	1	1	1	1	1	0	0	0	1 estado válido

TABLA 8.15

8.7 Se requieren contadores de cinco décadas. $10^5 = 100.000$

8.8 $f_{Q0} = 1 \text{ MHz} / [(10)(2)] = 50 \text{ kHz}$

8.9 Véase la Figura 8.93.

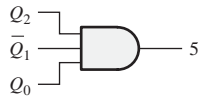


FIGURA 8.93

8.10 Debería cargarse $8AC0_{16}$. $16^4 - 8AC0_{16} = 65.536 - 32.520 = 30.016$

$$f_{TC4} = 10 \text{ MHz} / 30,016 = 332,2 \text{ Hz}$$

8.11 Véase la Figura 8.94.

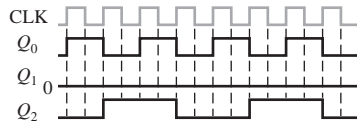


FIGURA 8.94

AUTOTEST

1. (a) 2. (b) 3. (b) 4. (c) 5. (a)
 6. (c) 7. (b) 8. (c) 9. (d) 10. (a)
 11. (c) 12. (b) 13. (b) 14. (d)

9

REGISTROS DE DESPLAZAMIENTO

CONTENIDO DEL CAPÍTULO

- 9.1 Funciones básicas de los registros de desplazamiento
- 9.2 Registros de desplazamiento con entrada y salida serie
- 9.3 Registros de desplazamiento con entrada serie y salida paralelo
- 9.4 Registros de desplazamiento con entrada paralelo y salida serie
- 9.5 Registros de desplazamiento con entrada y salida paralelo
- 9.6 Registros de desplazamiento bidireccionales

9.7 Contadores basados en registros de desplazamiento

9.8 Aplicaciones de los registros de desplazamiento

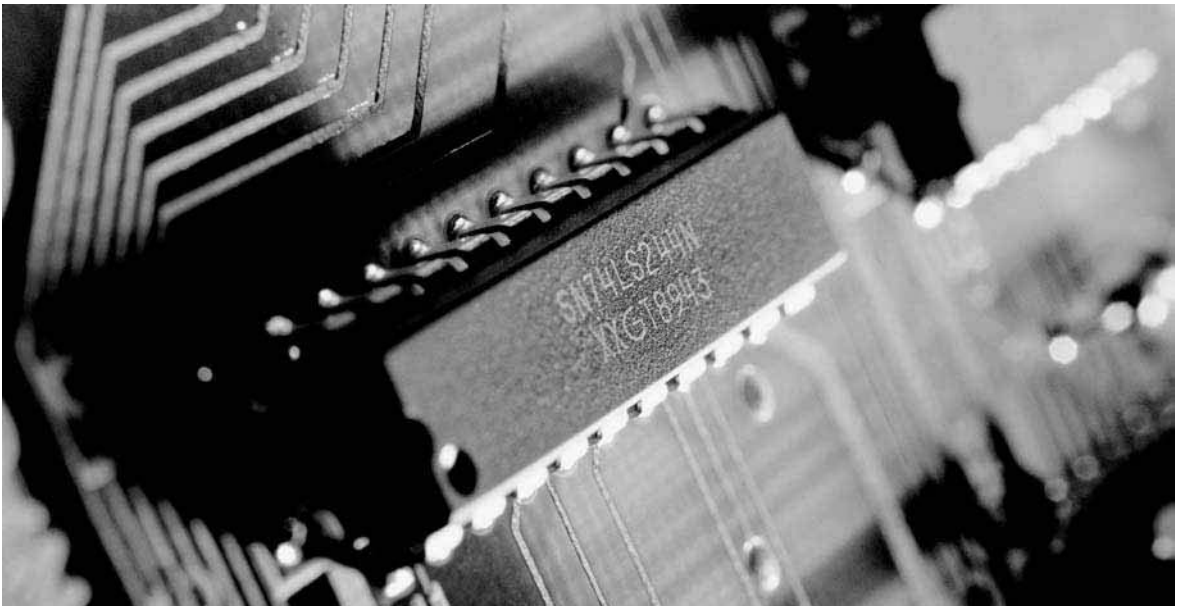
9.9 Símbolos lógicos con notación de dependencia

9.10 Localización de averías

■ ■ ■ Aplicación a los sistemas digitales

OBJETIVOS DEL CAPÍTULO

- Identificar las formas básicas de movimiento de datos en los registros de desplazamiento.
- Explicar cómo funcionan los registros de desplazamiento con: entrada y salida serie, entrada serie



y salida paralelo, entrada paralelo y salida serie, entrada y salida paralelo.

- Describir cómo funciona un registro de desplazamiento bidireccional.
- Determinar la secuencia de un contador Johnson.
- Configurar un contador en anillo para generar una secuencia específica.
- Realizar un contador en anillo a partir de un registro de desplazamiento.
- Utilizar un registro de desplazamiento para implementar un convertidor de datos serie-paralelo.
- Implementar un codificador de teclado básico controlado por un registro de desplazamiento.
- Interpretar los símbolos estándar ANSI/IEEE 91-1984 de los registros de desplazamiento con notación de dependencia.
- Utilizar los registros de desplazamiento en un sistema digital.

PALABRAS CLAVE

- Registro
- Etapa
- Desplazamiento
- Carga
- Bidireccional

INTRODUCCIÓN

Los registros de desplazamiento son un tipo de circuitos lógicos secuenciales, que están íntimamente relacionados con los contadores digitales. Los registros se utilizan principalmente para almacenar datos digitales y, normalmente, no poseen una secuencia característica interna de estados como los contadores. Sin embargo, existen excepciones, que abordaremos en la Sección 9.7.

En este capítulo, se estudian los tipos básicos de registros de desplazamiento y se presentan diversas aplicaciones. También se introduce un importante método para la localización de averías.

DISPOSITIVOS LÓGICOS DE FUNCIÓN FIJA

74XX164	74XX165	74XX174
74XX194	74XX195	

■■■ APLICACIÓN A LOS SISTEMAS DIGITALES

Esta aplicación sobre sistemas digitales ilustra los conceptos que se aprenderán en este capítulo. Se presenta un sistema de seguridad para acceso, que controla las alarmas de un edificio. Este sistema utiliza dos tipos de registros de desplazamiento, así como otros dispositivos que se han visto en los capítulos anteriores. El sistema también incluye una memoria, dispositivo que se tratará en la sección de aplicaciones a los sistemas digitales del Capítulo 10.

9.1 FUNCIONES BÁSICAS DE LOS REGISTROS DE DESPLAZAMIENTO

Los registros de desplazamiento están formados por un conjunto de flip-flops, y son muy importantes en las aplicaciones que precisan almacenar y transferir datos dentro de un sistema digital. La diferencia básica entre un registro y un contador es que un registro no tiene una secuencia de estados específica, excepto en ciertas aplicaciones muy especializadas. En general, un registro se utiliza únicamente para almacenar y desplazar datos (1s y 0s), que introduce en él una fuente externa y, normalmente, no posee ninguna secuencia característica interna de estados.

Al finalizar esta sección, el lector deberá ser capaz de :

- Explicar cómo un flip-flop almacena un bit de datos. ■ Definir la capacidad de almacenamiento de un registro de desplazamiento. ■ Definir la capacidad de desplazamiento de un registro

▲ *Un registro puede estar formado por uno o más flip-flops que se utilizan para almacenar y desplazar datos.* Un **registro** es un circuito digital con dos funciones básicas: almacenamiento de datos y movimiento de datos. La capacidad de almacenamiento de un registro le convierte en un tipo importante de dispositivo de memoria. La Figura 9.1 ilustra el concepto de almacenamiento de un 1 o un 0 en un flip-flop D. Como se muestra, se aplica un 1 a la entrada de datos y un impulso de reloj que hace que se almacene el 1, pasando el flip-flop a estado SET. Cuando se elimina el 1 de la entrada, el flip-flop permanece en dicho estado SET, quedando almacenado el 1. Como se ilustra en la Figura 9.1, el procedimiento que se utiliza para almacenar un 0 es similar y pone en estado RESET al flip-flop.

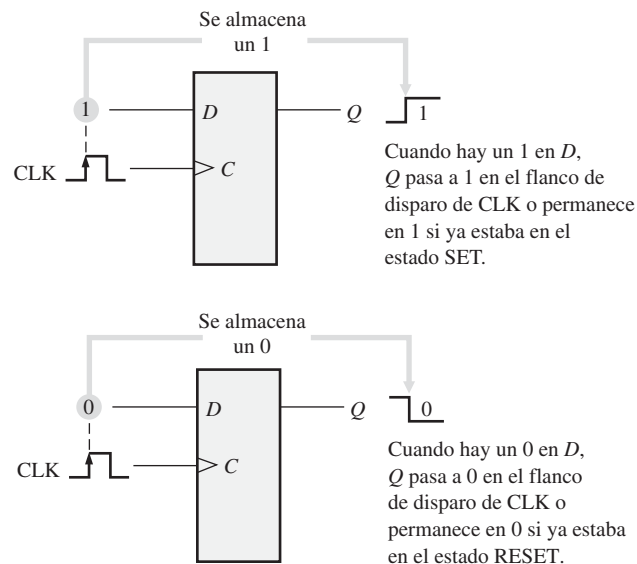


FIGURA 9.1 El flip-flop como elemento de almacenamiento.

La *capacidad de almacenamiento* de un registro es el número total de bits (1s y 0s) de un dato digital que puede contener. Cada *etapa* (flip-flop) de un registro de desplazamiento representa un bit de su capacidad de almacenamiento; por tanto, el número de etapas de un registro determina su capacidad de almacenamiento.

La capacidad de *desplazamiento* de un registro permite el movimiento de los datos de una etapa a otra dentro del registro, o la entrada o salida del mismo, en función de los impulsos de reloj que se apliquen.

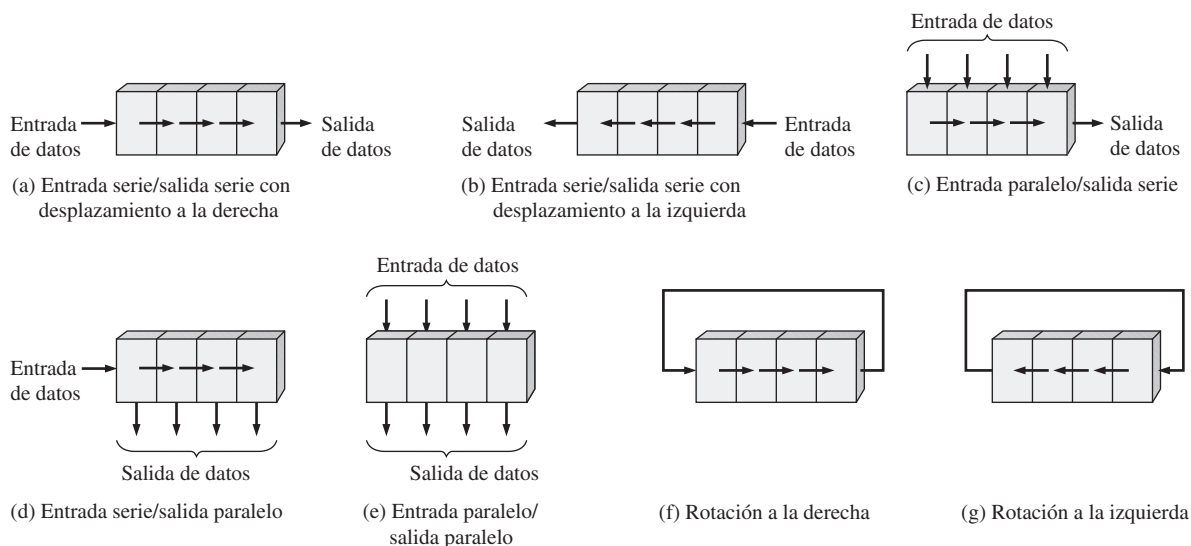


FIGURA 9.2 Movimientos básicos de datos en los registros de desplazamiento (en este ejemplo se emplean cuatro bits. Los bits se desplazan en la dirección indicada por las flechas).

La Figura 9.2 ilustra la forma en que se pueden mover los datos en los registros de desplazamiento. El bloque representa un registro cualquiera de 4 bits y las flechas indican la dirección en que se mueven los datos.

REVISIÓN DE LA SECCIÓN 9.1

Las respuestas se encuentran al final del capítulo

1. Generalmente, ¿cuál es la diferencia entre un contador y un registro de desplazamiento?
2. ¿Cuáles son las dos principales funciones que realiza un registro de desplazamiento?

9.2. REGISTROS DE DESPLAZAMIENTO CON ENTRADA Y SALIDA SERIE

Los registros de desplazamiento con entrada y salida serie aceptan datos en serie, es decir, un bit cada vez por una única línea. La información almacenada es entregada a la salida también en forma serie.

Al finalizar esta sección, el lector deberá ser capaz de:

- Explicar cómo se introducen en serie los bits de datos en un registro de desplazamiento.
- Describir cómo se desplazan los bits de datos a través del registro.
- Explicar cómo los bits de datos salen en serie del registro de desplazamiento.
- Desarrollar y analizar los diagramas de tiempos para los registros con entrada y salida serie

En primer lugar, vamos a ver la introducción en serie de datos en un registro de desplazamiento típico. La Figura 9.3 muestra un dispositivo de 4 bits implementado con flip-flops D. Con cuatro etapas, este registro puede almacenar hasta cuatro bits de datos.

La Figura 9.4 ilustra la introducción en el registro de cuatro bits, 1010, comenzando por el bit más a la derecha. Inicialmente, el registro se borra (CLEAR). Se aplica un 0 en la línea de entrada de datos, lo que hace

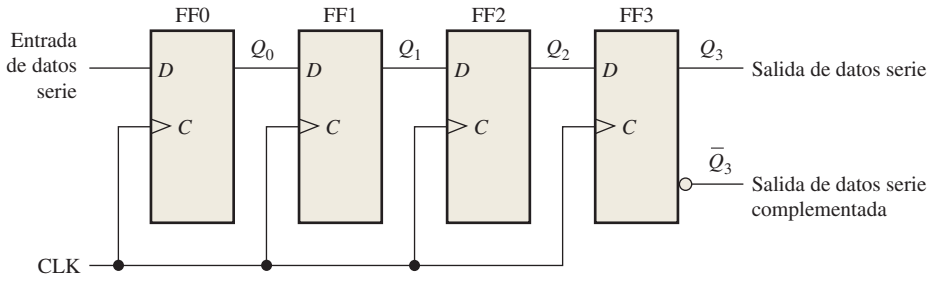


FIGURA 9.3 Registro de desplazamiento con entrada y salida serie.

$D = 0$ en el flip-flop FF0. Cuando se aplica el primer impulso de reloj, FF0 pasa al estado RESET, almacenando el 0.

A continuación se aplica a la entrada de datos el segundo bit que, en este caso, es 1, lo que hace que $D = 1$ en FF0 y $D = 0$ en FF1 debido a que la entrada D de FF1 está conectada a la salida Q_0 . Cuando se produce el segundo impulso de reloj, el 1 de la entrada de datos de FF0 se desplaza, pasando este flip-flop al estado SET, y el 0 que había en FF0 se desplaza a FF1.

El tercer bit, un 0, se introduce por la línea de entrada de datos y se aplica un impulso de reloj. El 0 entra en FF0, el 1 almacenado en éste se desplaza a FF1 y el 0 almacenado en FF1 se desplaza a FF2.

El último bit, que es un 1, se aplica a la entrada de datos y se aplica el siguiente impulso de reloj. Ahora el 1 entra en FF0, el 0 almacenado en éste se desplaza a FF1, el 1 almacenado en FF1 se desplaza a FF2, y el

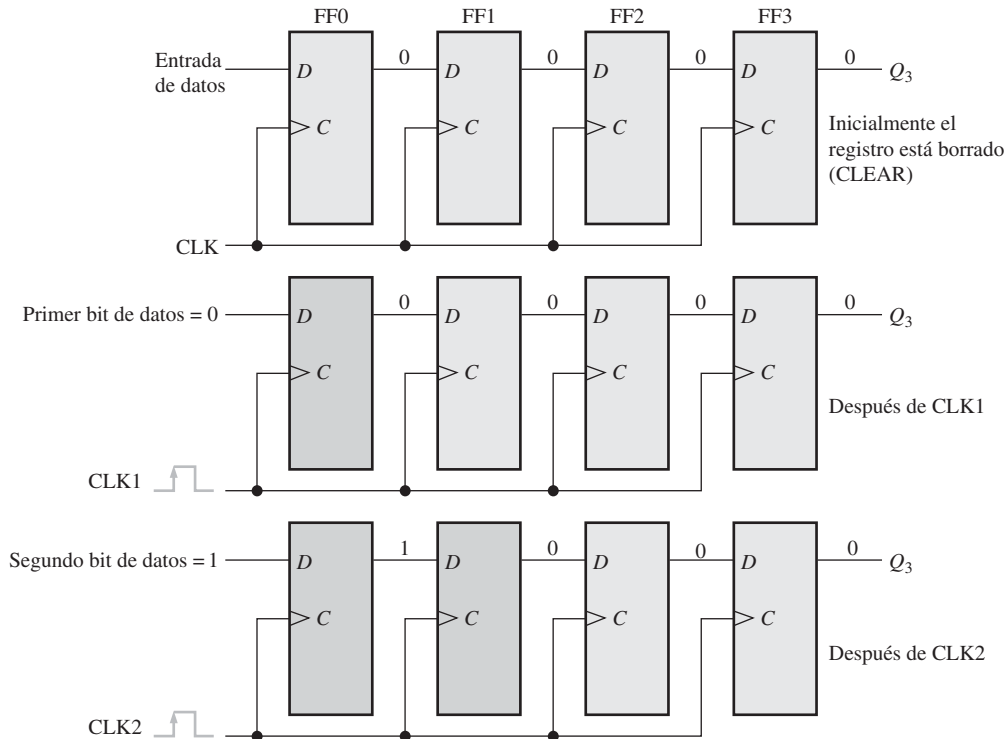


FIGURA 9.4 Introducción de cuatro bits en serie (1010) en el registro. (Continúa)

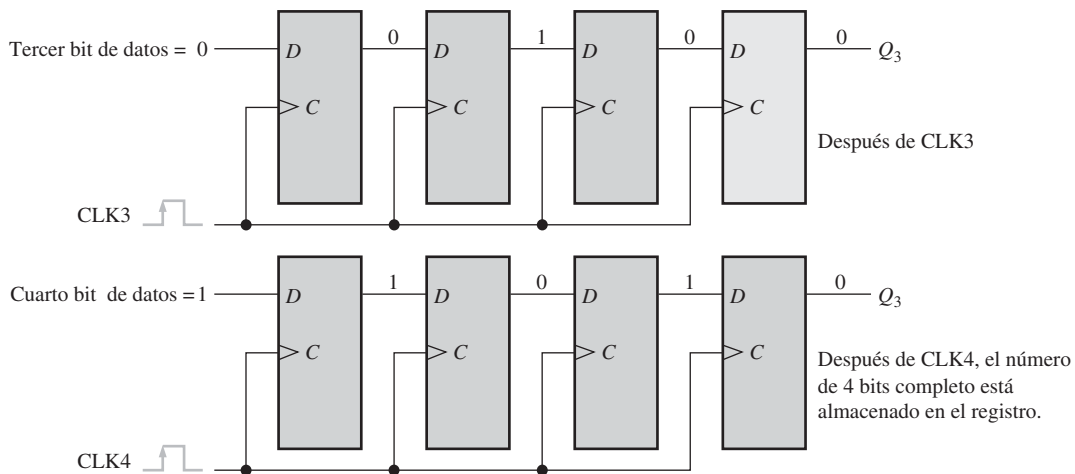


FIGURA 9.4 Introducción de cuatro bits en serie (1010) en el registro. (Continuación)

▲ Con datos en serie, se transfiere un bit cada vez.

0 almacenado en FF2 se desplaza a FF3. Esto completa la introducción en serie de los cuatro bits en el registro de desplazamiento, donde pueden quedar almacenados el tiempo que se desee, siempre que los flip-flops estén alimentados con la tensión continua necesaria.

Si se desea extraer los datos del registro, los bits deben desplazarse en serie hasta la salida Q_3 , como se ilustra en la Figura 9.5. Después del cuarto impulso de reloj CLK4, el bit más a la derecha, 0, está en la salida Q_3 . Si se aplica un quinto impulso de reloj, CLK5, el segundo bit aparecerá en la salida Q_3 . El impulso de reloj CLK6 desplaza el tercer bit a la salida y el séptimo impulso de reloj (CLK7) desplaza el cuarto bit a la salida. Observe que, mientras que los cuatro bits iniciales se desplazan a la salida, se pueden introducir otros bits de datos. En la figura se muestra cómo se ha desplazado una serie de ceros.

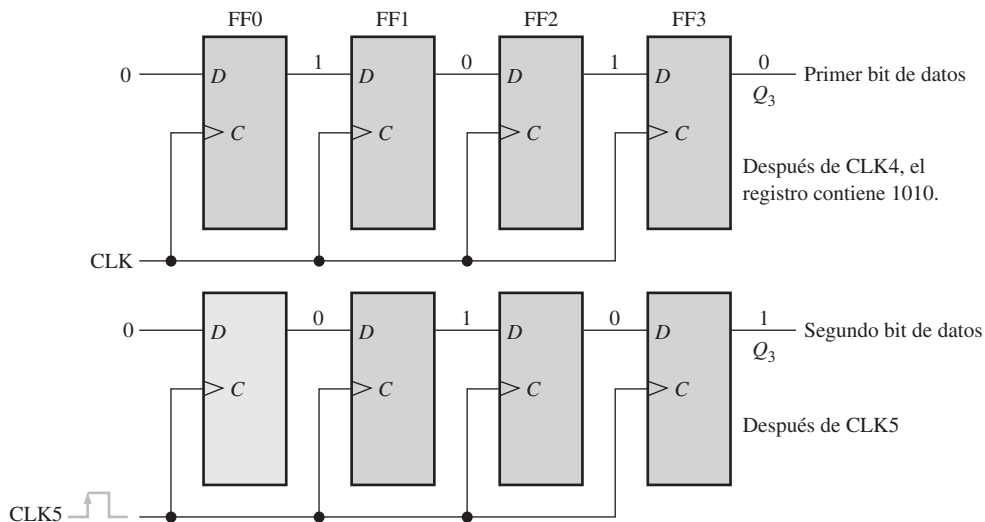


FIGURA 9.5 Los cuatro bits (1010) se han desplazado en serie a la salida del registro y se han reemplazado por ceros. (Continúa)

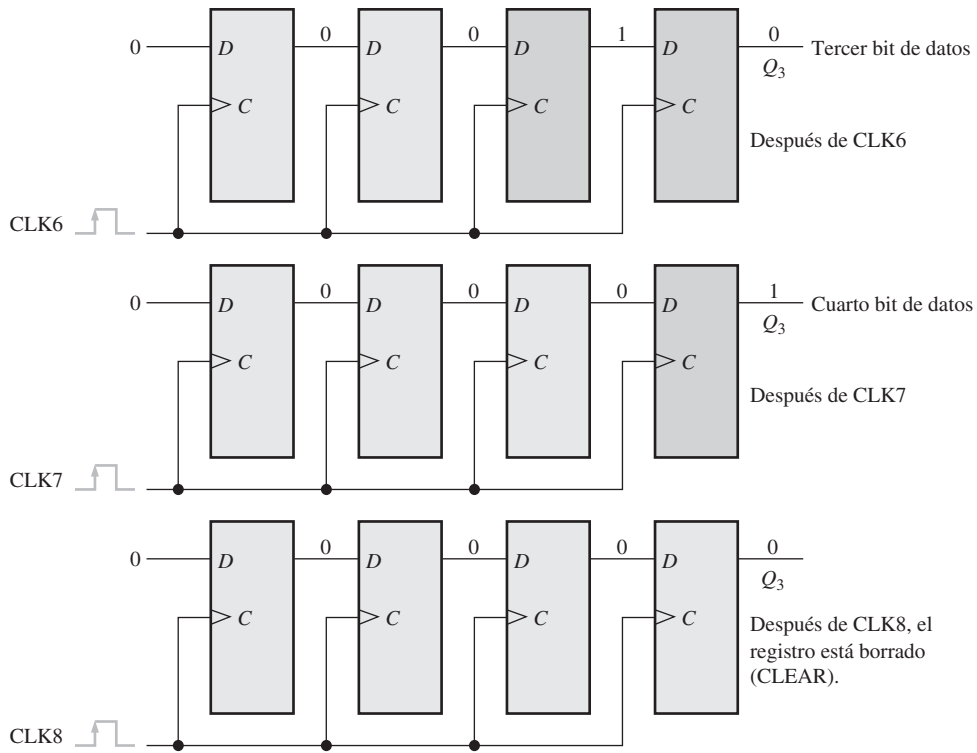


FIGURA 9.5 Los cuatro bits (1010) se han desplazado en serie a la salida del registro y se han reemplazado por ceros. (Continuación)



NOTAS INFORMÁTICAS

Frecuentemente, es necesario *borrar* un registro interno de una computadora. Por ejemplo, un registro puede borrarse antes de realizar una operación aritmética o de otro tipo. Un método para borrar los registros de una computadora consiste en utilizar software para extraer los contenidos del registro. Por supuesto, el resultado siempre será cero. Por ejemplo, una instrucción que realiza esta operación es SUB AL,AL. Con esta instrucción, el registro denominado AL se borrará.

EJEMPLO 9.1

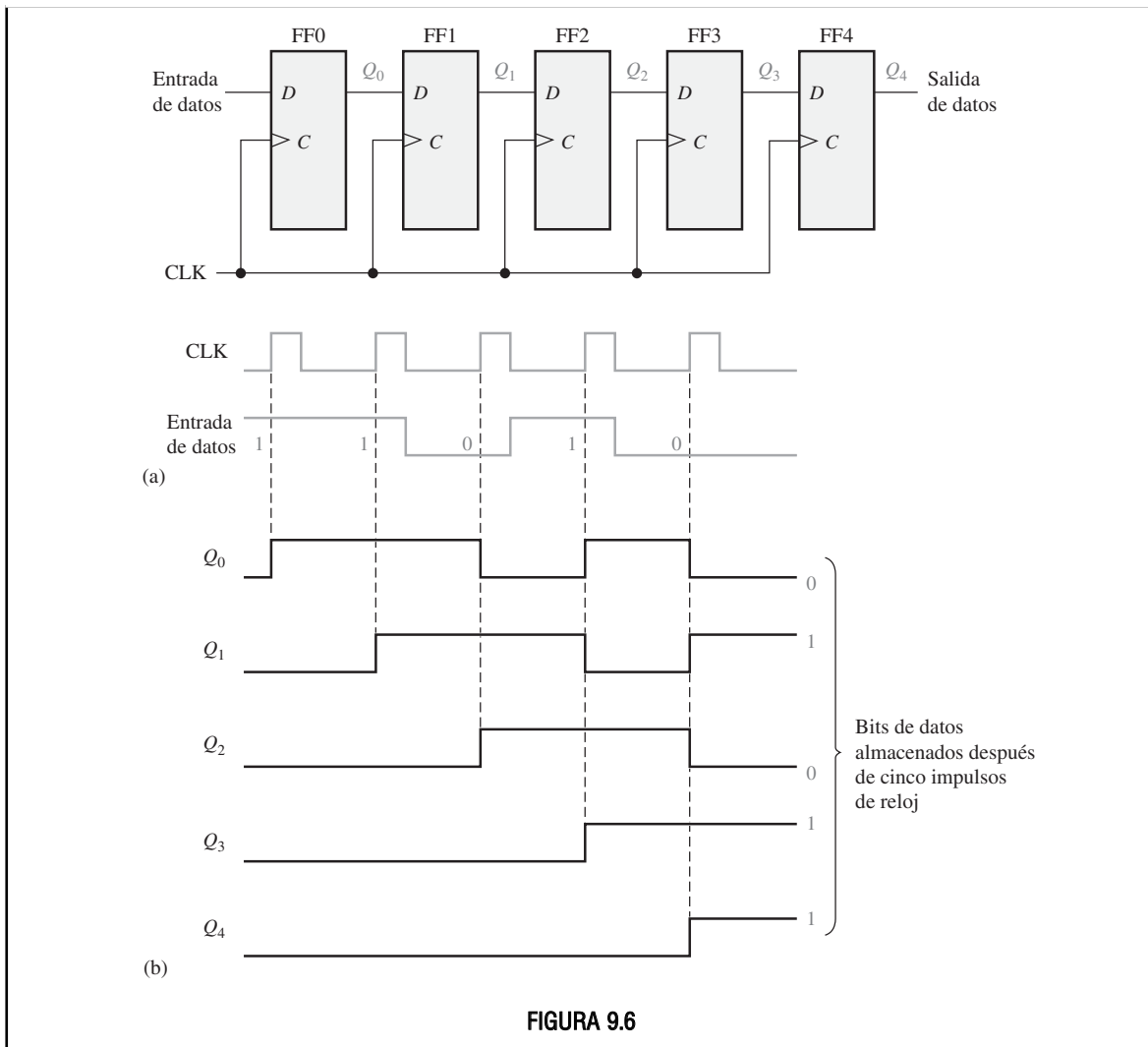
Obtener los estados del registro de 5 bits de la Figura 9.6(a) para las señales de entrada de datos y la señal de reloj indicadas. Suponer que, inicialmente, el registro se ha borrado (su contenido es todo ceros).

Solución

Se introduce el primer bit de datos (1) en el registro con el primer impulso de reloj y luego se desplaza de izquierda a derecha. Del mismo modo se introducen y desplazan los restantes bits. Después de cinco impulsos de reloj el registro contiene $Q_4Q_3Q_2Q_1Q_0 = 11010$. Véase la Figura 9.6(b).

Problema relacionado* Obtener los estados del registro si se invierte la entrada de datos. Inicialmente el registro se borra.

* Las respuestas se encuentran al final del capítulo.



En la Figura 9.7 se muestra el símbolo lógico tradicional de un registro de desplazamiento de 8 bits con entrada y salida serie. La designación “SRG 8” indica que es un registro de desplazamiento (SRG, *Shift Register*) con una capacidad de 8 bits.

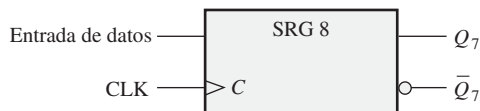


FIGURA 9.7 Símbolo lógico de un registro de desplazamiento de 8 bits con entrada y salida serie.

REVISIÓN DE LA SECCIÓN 9.2

1. Desarrollar el diagrama lógico del registro de desplazamiento de la Figura 9.3, utilizando flip-flops J-K que reemplacen a los flip-flops D.
2. ¿Cuántos impulsos de reloj se requieren para introducir un byte de datos en serie en un registro de desplazamiento de 8 bits?

9.3. REGISTROS DE DESPLAZAMIENTO CON ENTRADA SERIE Y SALIDA PARALELO

En este tipo de registro los bits de datos se introducen en serie (empezando por el bit situado más a la derecha), del mismo modo que se ha visto en la Sección 9.2. La diferencia está en la forma en que dichos bits se extraen del registro; en un registro con salida paralelo, se dispone de la salida de cada etapa. Una vez que los datos se han almacenado, cada bit se presenta en su respectiva línea de salida, estando disponibles todos los bits simultáneamente, en lugar de bit a bit como en el caso de la salida serie.

Al finalizar esta sección, el lector deberá ser capaz de:

- Explicar cómo se extraen los bits de datos en un registro de desplazamiento con salida paralelo.
- Comparar la salida serie y la salida paralelo.
- Utilizar el registro de desplazamiento de 8 bits 74HC164.
- Desarrollar y analizar los diagramas de tiempos de los registros con entrada serie-salida paralelo

La Figura 9.8 muestra un registro de desplazamiento de 4 bits con entrada serie-salida paralelo, y su símbolo lógico.

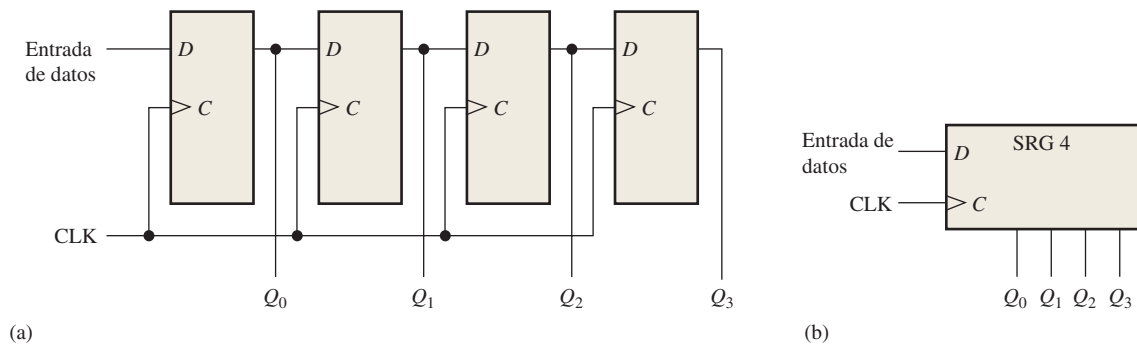


FIGURA 9.8 Registro de desplazamiento con entrada serie-salida paralelo.

EJEMPLO 9.2

Mostrar los estados del registro de 4 bits (SRG 4) para las formas de onda de entrada y de reloj de la Figura 9.9(a). Inicialmente, el contenido del registro es todo 1s.

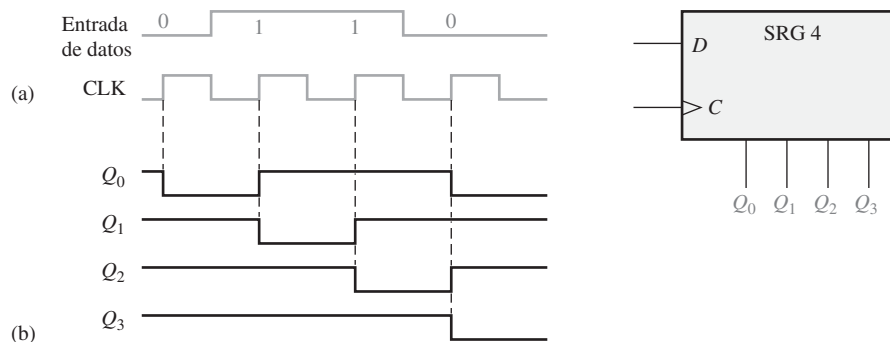


FIGURA 9.9

Solución	Después de cuatro impulsos de reloj, el registro está en el estado 0110. Véase la Figura 9.9(b).
Problema relacionado	Si la entrada de datos después del cuarto impulso de reloj se mantiene a 0, ¿cuál será el estado del registro después de tres impulsos de reloj más?

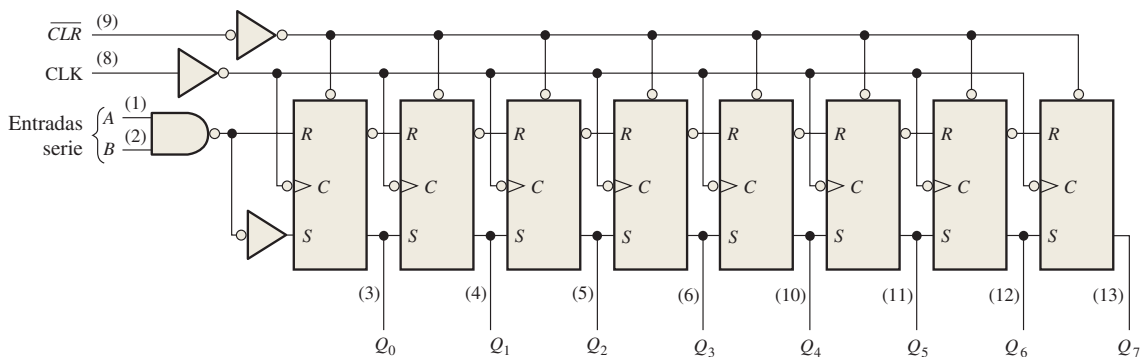
REVISIÓN DE LA SECCIÓN 9.3

1. La secuencia de bits 1101 se introduce en serie (primero el bit más a la derecha) en un registro de desplazamiento de 4 bits con salida paralelo, que inicialmente se ha borrado. ¿Cuáles son las salidas Q después de dos impulsos de reloj?
2. ¿Puede utilizarse un registro con entrada serie-salida paralelo como registro con entrada y salida serie?

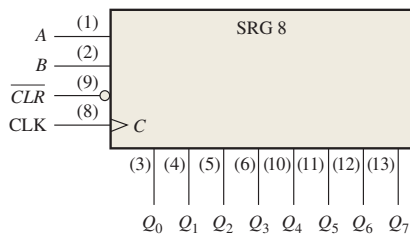
REGISTRO DE DESPLAZAMIENTO DE 8 BITS CON ENTRADA SERIE Y SALIDA PARALELO 74HC164



El 74HC164 es un ejemplo de registro de desplazamiento en formato de circuito integrado, que funciona con entrada serie-salida paralelo. En la Figura 9.10(a) se muestra su diagrama lógico y en la parte (b) el símbolo lógico típico. Observe que este dispositivo dispone de dos entradas serie, A y B , a través de una puerta, y una entrada de borrado activa a nivel BAJO (\overline{CLR}). Las salidas paralelo son Q_0 hasta Q_7 .



(a) Diagrama lógico



(b) Símbolo lógico

FIGURA 9.10 El registro de desplazamiento de 8 bits con entrada serie-salida paralelo 74HC164.

En la Figura 9.11 se muestra un sencillo diagrama de tiempos para el 74HC164. Observe que los datos de entrada serie de la entrada *A* se desplazan al interior y a través del registro después de que la entrada *B* pasa a nivel ALTO.

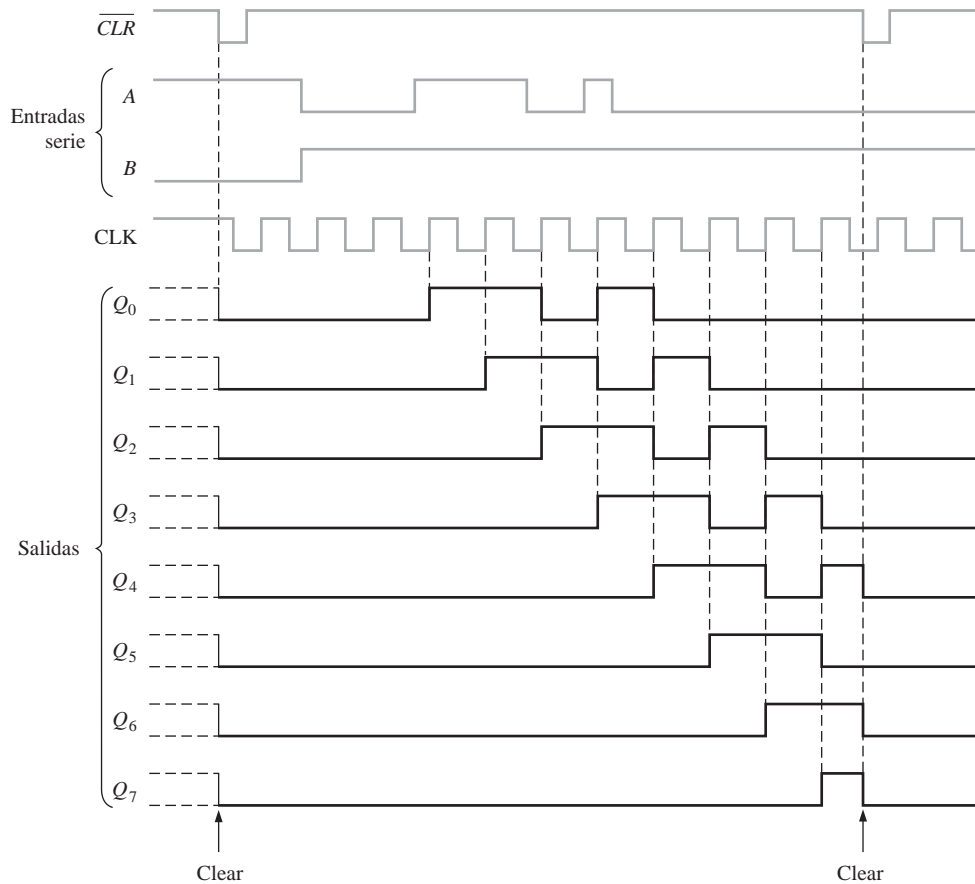


FIGURA 9.11 Diagrama de tiempos de ejemplo para un registro de desplazamiento 74HC164.

9.4 REGISTROS DE DESPLAZAMIENTO CON ENTRADA PARALELO Y SALIDA SERIE

En un registro con entradas de datos paralelo, los bits se introducen simultáneamente en sus respectivas etapas a través de líneas paralelo, en lugar de bit a bit a través una única línea como ocurre con las entradas de datos serie. La salida serie se hace del mismo modo que se ha descrito en la Sección 9.2, una vez que todos los datos están almacenados en el registro.

Al finalizar esta sección, el lector deberá ser capaz de:

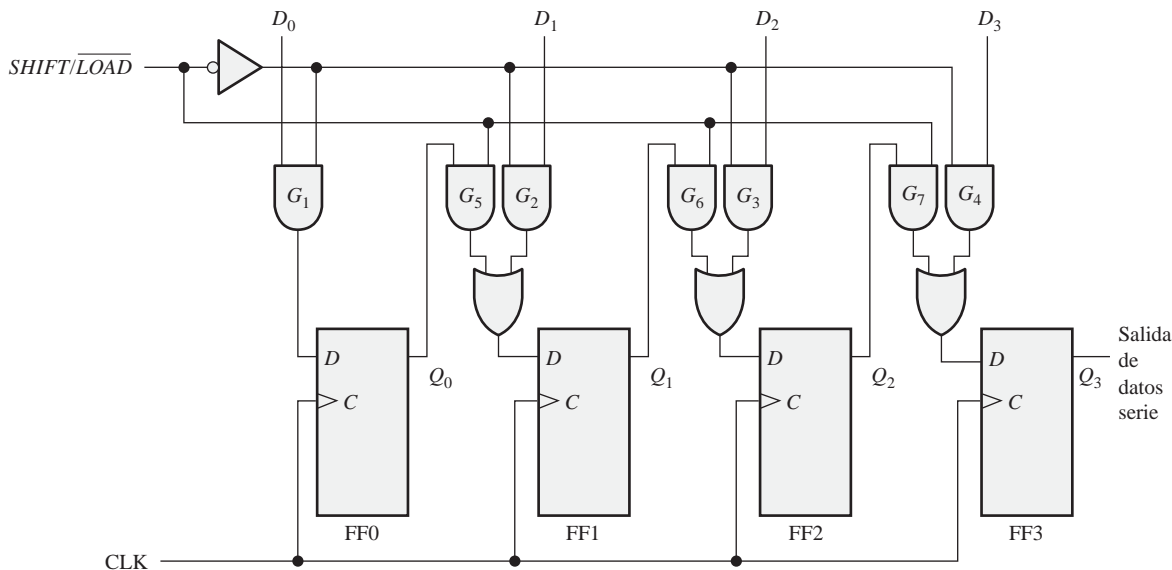
- Explicar cómo se introducen los datos en el registro de desplazamiento con entrada paralelo.
- Comparar las entradas serie y paralelo. ■ Utilizar el registro de desplazamiento de 8 bits de carga

paralelo 74HC165. ■ Desarrollar y analizar los diagramas de tiempos de los registros con entrada paralelo-salida serie.

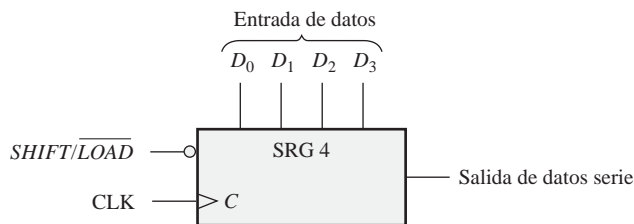
▲ Con datos en paralelo, múltiples bits se transfieren simultáneamente.

La Figura 9.12 ilustra un registro de desplazamiento de 4 bits con entrada paralelo-salida serie y su símbolo lógico típico. Observe que tiene cuatro líneas de entrada de datos D_0, D_1, D_2 y D_3 y una entrada $SHIFT / \overline{LOAD}$ (desplazamiento/carga), que permite **cargar** en paralelo los cuatro bits de datos en el registro. Cuando $SHIFT / \overline{LOAD}$ está a nivel BAJO, las puertas G_1 a G_3 se activan, permitiendo que cada bit sea aplicado a la entrada D de su respectivo flip-flop. Cuando se aplica un impulso de reloj, los flip-flops con $D = 1$ pasan al estado SET, y los flip-flops con $D = 0$ pasan al estado RESET, almacenándose de este modo los cuatro bits simultáneamente.

Cuando la entrada $SHIFT / \overline{LOAD}$ está a nivel ALTO, las puertas G_1 a G_4 se inhiben y las puertas G_5 a G_7 se activan, permitiendo que los bits de datos se desplacen hacia la derecha, pasando de una etapa a la siguiente. Las puertas OR permiten el desplazamiento normal o la introducción de datos en paralelo, dependiendo de qué puertas AND se hayan activado según el nivel de la entrada $SHIFT / \overline{LOAD}$. Observe que FF0 dispone de una sola puerta AND para desactivar la entrada paralelo, D_0 . No precisa una implementación AND/OR ya que no hay entrada de datos en serie.



(a) Diagrama lógico



(b) Símbolo lógico

FIGURA 9.12 Registro de desplazamiento de 4 bits con entrada paralelo-salida serie.

EJEMPLO 9.3

Determinar la forma de onda de la salida de datos de un registro de 4 bits para las formas de onda de entrada paralelo de datos, de reloj y $SHIFT/LOAD$ de la Figura 9.13(a). Utilizar el diagrama lógico de la Figura 9.12(a).

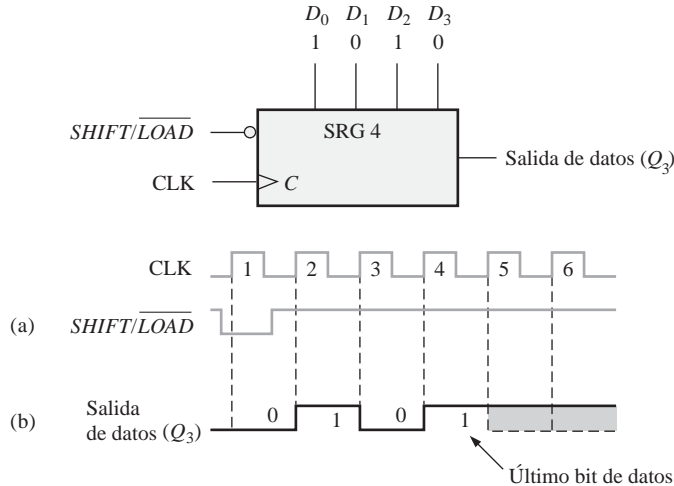


FIGURA 9.13

Solución

En el impulso de reloj 1, los datos paralelo ($D_0D_1D_2D_3 = 1010$) se cargan en el registro, poniendo la salida Q_3 a 0. En el impulso de reloj 2, el 1 de Q_2 se desplaza a Q_3 ; en el impulso de reloj 3, el 0 se desplaza a Q_3 ; en el impulso de reloj 4, el último bit de datos (1) se desplaza a Q_3 y en el impulso de reloj 5 todos los bits se han desplazado y salido del registro, y sólo quedan 1s en el mismo (suponiendo que la entrada D_0 permanece a 1). Véase la Figura 9.13(b).

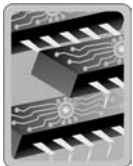
Problema relacionado

Determinar la señal de salida de datos para las señales de reloj y $SHIFT/LOAD$ de la Figura 9.13(a), si las entradas de datos paralelo son $D_0D_1D_2D_3 = 0101$.

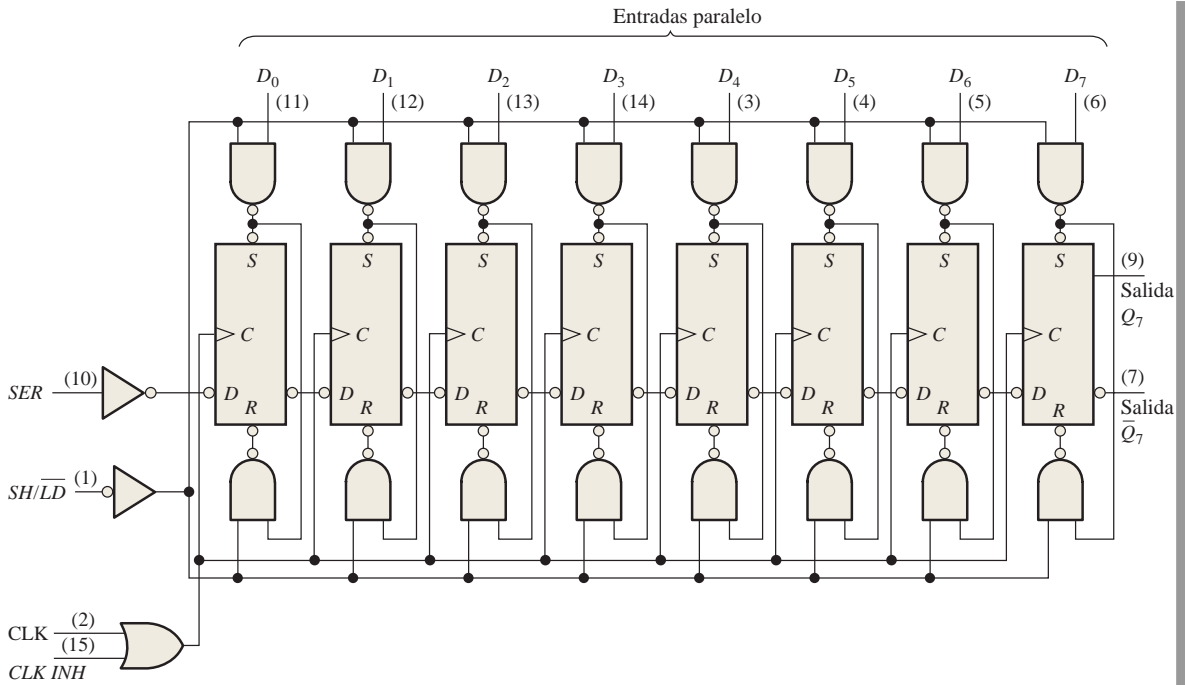
REVISIÓN DE LA SECCIÓN 9.4

1. Explicar la función de la entrada $SHIFT/LOAD$.
2. En un registro de desplazamiento 74HC165, la operación de carga paralelo ¿es síncrona o asíncrona? ¿qué quiere decir esto?

REGISTRO DE DESPLAZAMIENTO DE 8 BITS CON CARGA PARALELO 74HC165



El 74HC165 es un ejemplo de registro de desplazamiento en formato de circuito integrado que trabaja con entrada paralelo y salida serie (también puede funcionar con entrada y salida serie). La Figura 9.14 muestra el diagrama lógico interno de este dispositivo y en la parte (b) se presenta su símbolo lógico. La entrada $SHIFT/LOAD$ (SH/LD) a nivel BAJO activa todas las puertas NAND para realizar la carga paralelo. Cuando un



(a) Diagrama lógico



(b) Símbolo lógico

FIGURA 9.14 El registro de desplazamiento de 8 bits con carga paralelo 74HC165.

bit de datos de entrada es un 1, el flip-flop pasa al estado SET de forma asíncrona debido al nivel BAJO en la salida de la puerta superior. Cuando un bit de datos de entrada es un 0, el flip-flop pasa al estado RESET de forma asíncrona debido al nivel BAJO en la salida de la puerta inferior. Además, los datos se pueden introducir en serie a través de la entrada *SER*. El reloj se puede inhibir en cualquier instante aplicando un nivel ALTO a la entrada *CLK INH*. Las salidas de datos serie del registro son Q_7 y su complemento \bar{Q}_7 . Esta implementación es distinta de la que se ha visto anteriormente, el método síncrono de carga paralelo, lo que demuestra que existen varias formas de realizar la misma función.

La Figura 9.15 es un diagrama de tiempos que muestra un ejemplo de funcionamiento de un registro de desplazamiento 74HC165.

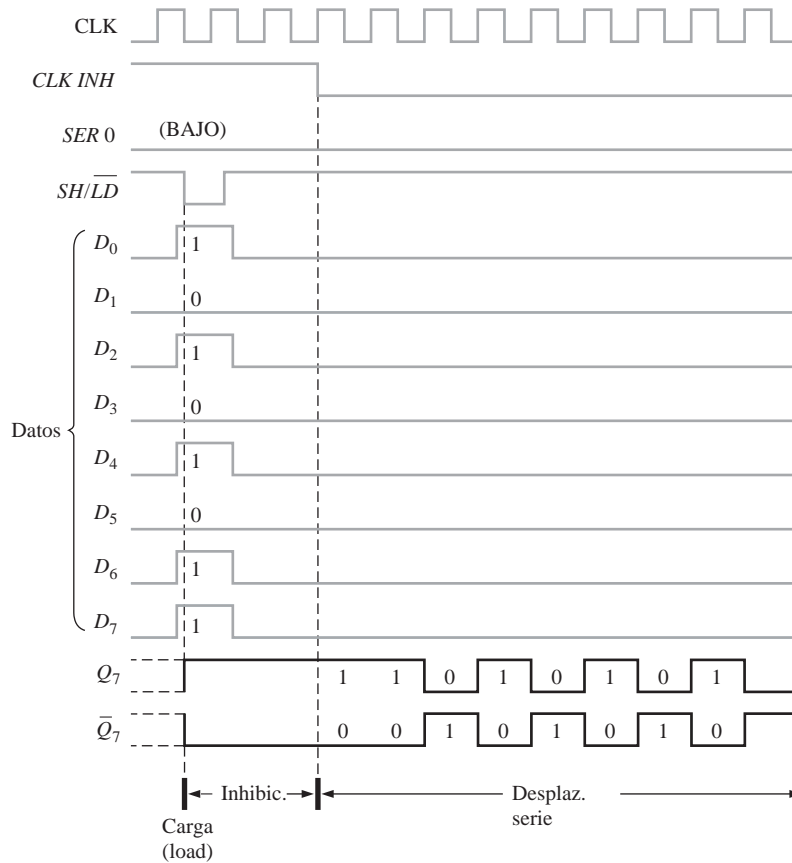


FIGURA 9.15 Diagrama de tiempos para un registro de desplazamiento 74HC165.

9.5. REGISTROS DE DESPLAZAMIENTO CON ENTRADA Y SALIDA PARALELO

En la Sección 9.4 se ha descrito la entrada en paralelo de datos y la salida en paralelo de datos también se ha visto anteriormente. El registro de entrada y salida paralelo aplica ambos métodos. Inmediatamente después de introducir simultáneamente todos los bits de datos, éstos aparecen en paralelo en las salidas paralelo.

Al finalizar esta sección, el lector deberá ser capaz de:

- Utilizar el registro de desplazamiento de 4 bits de acceso paralelo 74HC195.
- Desarrollar y analizar el diagrama de tiempos para los registros de entrada y salida paralelo.

La Figura 9.16 presenta un registro de entrada y salida paralelo.

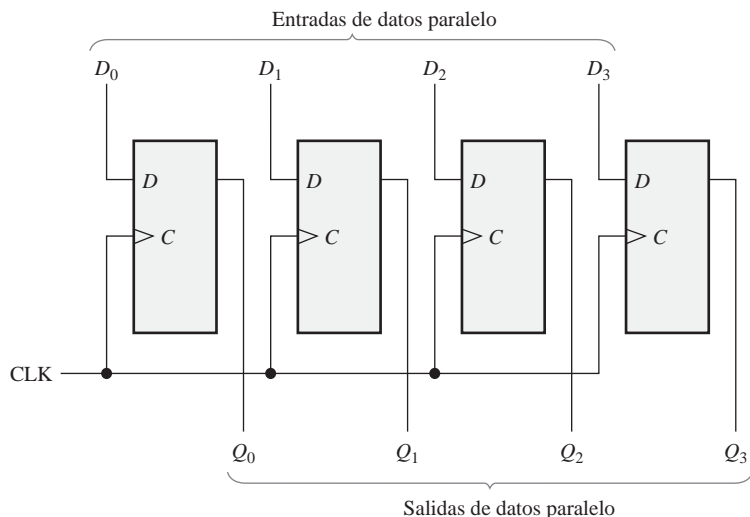


FIGURA 9.16 Registro de entrada y salida paralelo.

REGISTRO DE DESPLAZAMIENTO DE 4 BITS DE ACCESO PARALELO 74HC195



El 74HC195 puede utilizarse para trabajar con entrada y salida paralelo. Dado que también dispone de una entrada serie, se puede emplear para trabajar con entrada y salida serie, o entrada serie y salida paralelo. Puede usarse para funcionar con entrada paralelo y salida serie utilizando Q_3 como salida. En la Figura 9.17 se muestra su símbolo lógico típico.

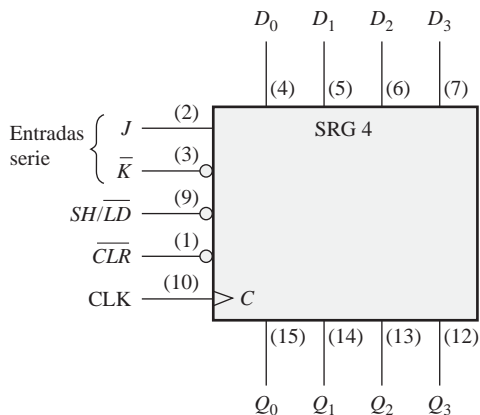


FIGURA 9.17 El registro de desplazamiento de 4 bits con acceso paralelo 74HC195.

Cuando la entrada $SHIFT / \overline{LOAD}$ (SH / \overline{LD}) está a nivel BAJO, los datos de las entradas paralelo se introducen en forma síncrona durante la transición positiva de la señal de reloj. Cuando SH / \overline{LD} está a nivel ALTO, los datos almacenados se desplazan a la derecha (Q_0 a Q_3), sincronizados con la señal de reloj. Las entradas J y \overline{K} son para las entradas de datos serie de la primera etapa del registro (Q_0); Q_3 puede utilizarse como salida de datos serie. La entrada de borrado activa a nivel BAJO es asíncrona.

El diagrama de tiempos de la Figura 9.18 ilustra el funcionamiento de este registro.

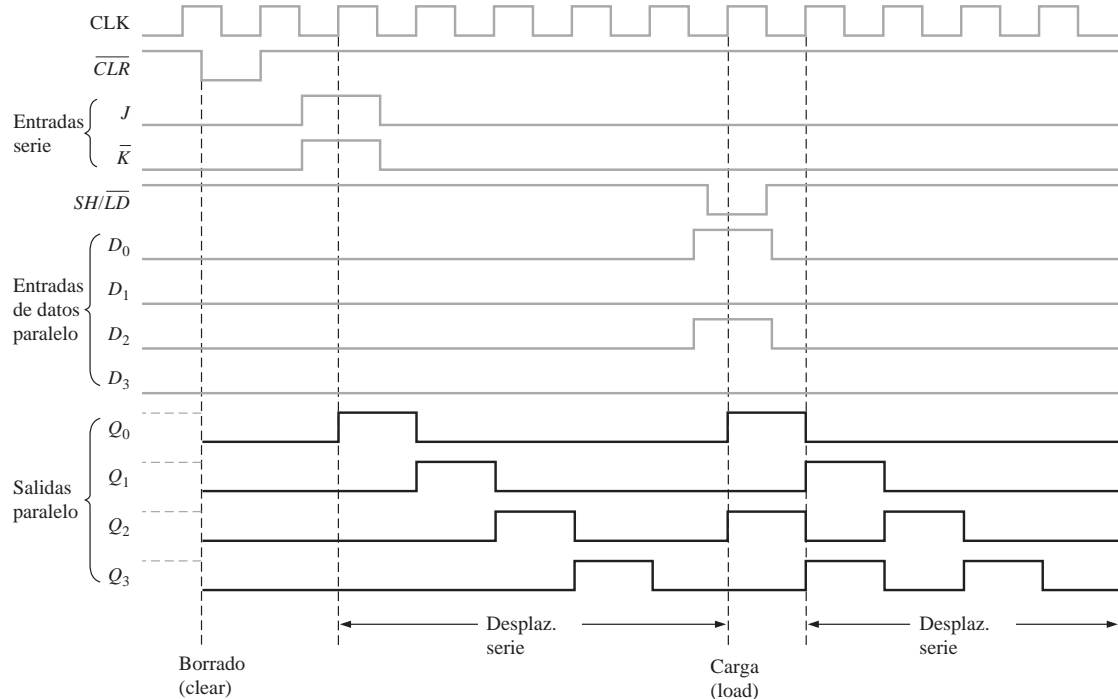


FIGURA 9.18 Diagrama de tiempos para un registro de desplazamiento 74HC195.

REVISIÓN DE LA SECCIÓN 9.5

1. En la Figura 9.16, $D_0 = 1$, $D_1 = 0$, $D_2 = 0$ y $D_3 = 1$. Después de tres impulsos de reloj, ¿cuáles son las salidas de datos?
2. Para un 74HC195, $SH/\overline{LD} = 1$, $J = 1$ y $\overline{K} = 1$. Después de un impulso de reloj, ¿cuál es el estado de Q_0 ?

9.6. REGISTROS DE DESPLAZAMIENTO BIDIRECCIONALES

Un registro de desplazamiento bidireccional es aquél en el que los datos se pueden desplazar a izquierda o a derecha. Se puede implementar utilizando puertas lógicas que permitan la transferencia de un bit de datos de una etapa a la siguiente de la izquierda o de la derecha, dependiendo del nivel de una línea de control.

Al finalizar esta sección, el lector deberá ser capaz de:

- Explicar el funcionamiento de un registro de desplazamiento bidireccional.
- Utilizar el registro universal de desplazamiento bidireccional de 4 bits 74HC194.
- Desarrollar y analizar los diagramas de tiempos de los registros de desplazamiento bidireccionales

En la Figura 9.19 se muestra un registro de desplazamiento *bidireccional*. Un nivel ALTO en la entrada de control $RIGHT/\overline{LEFT}$ (derecha/izquierda) permite a los bits de datos que están dentro del registro des-

plazarse hacia la derecha, y un nivel BAJO hace que se desplacen hacia la izquierda. Un examen de la lógica de puertas hará evidente este funcionamiento. Cuando la entrada de control $RIGHT / \overline{LEFT}$ está a nivel ALTO, las puertas G_1 a G_4 se activan, y el estado de la salida Q de cada flip-flop pasa a la entrada D del siguiente flip-flop. Cuando se produce un impulso de reloj, los bits de datos se desplazan una posición a la derecha. Cuando esta entrada de control $RIGHT / \overline{LEFT}$ está a nivel BAJO, las puertas G_5 a G_8 se activan, y la salida Q de cada flip-flop pasa a la entrada D del flip-flop precedente. Cuando se genera un impulso de reloj, los bits de datos se desplazan una posición hacia la izquierda.

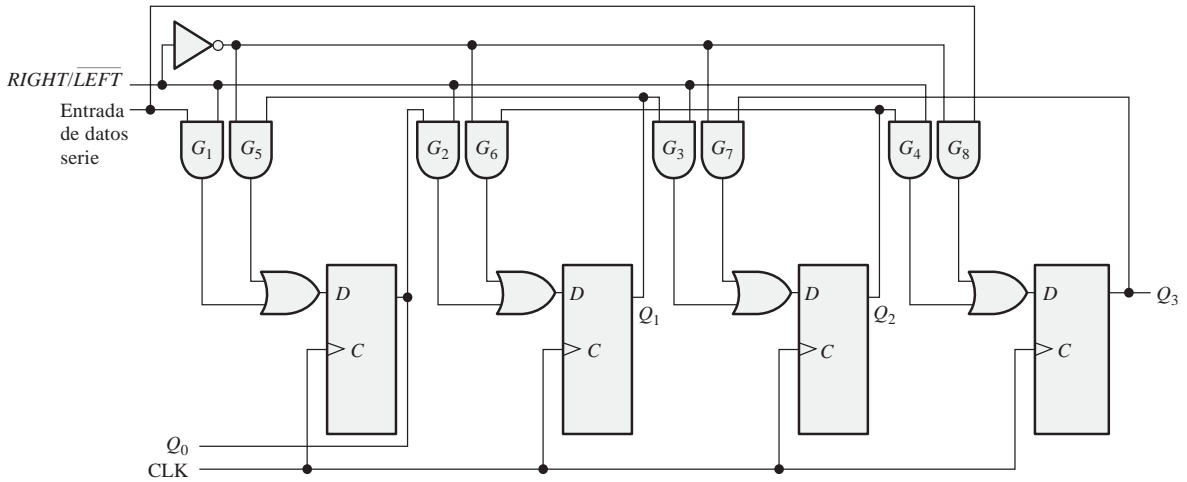


FIGURA 9.19 Registro de desplazamiento bidireccional de 4 bits.

EJEMPLO 9.4

Determinar el estado del registro de desplazamiento de la Figura 9.19 después de cada impulso de reloj para la forma de onda de la entrada de control $RIGHT / \overline{LEFT}$ indicada en la Figura 9.20(a). Suponer que $Q_0 = 1$, $Q_1 = 1$, $Q_2 = 0$ y $Q_3 = 1$, y que la línea de entrada de datos serie está a nivel BAJO.

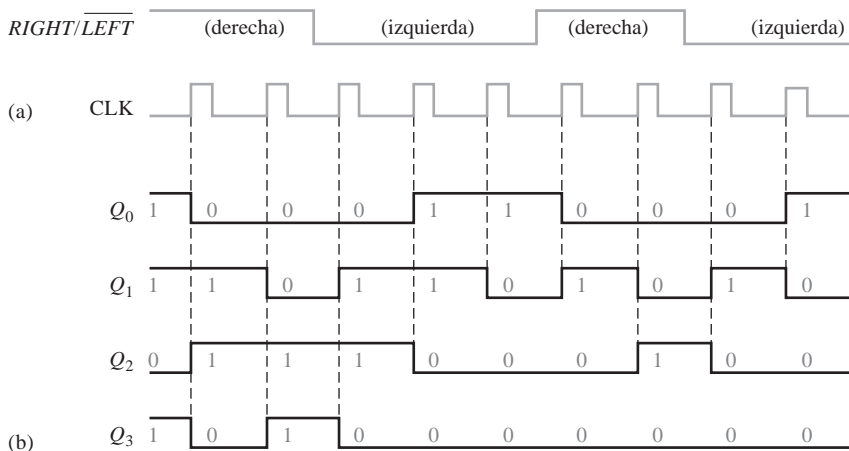


FIGURA 9.20

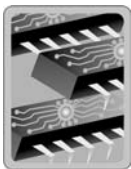
Solución Véase la Figura 9.20(b).

Problema relacionado Invertir la señal $RIGHT / \overline{LEFT}$ y determinar el estado del registro de desplazamiento de la Figura 9.19 después de cada impulso de reloj.

REVISIÓN DE LA SECCIÓN 9.6

- Suponer que el registro de desplazamiento bidireccional de 4 bits de la Figura 9.19 contiene: $Q_0 = 1$, $Q_1 = 1$, $Q_2 = 0$, $Q_3 = 0$. En la línea de entrada de datos serie hay un 1. Si la entrada $RIGHT / \overline{LEFT}$ está a nivel ALTO durante tres impulsos de reloj y a nivel BAJO para otros dos impulsos más, ¿cuál será el contenido del registro después de los cinco impulsos de reloj?

REGISTRO DE DESPLAZAMIENTO UNIVERSAL BIDIRECCIONAL DE 4 BITS 74HC194



El 74HC194 es un ejemplo de un registro de desplazamiento bidireccional universal en formato de circuito integrado. Un **registro de desplazamiento universal** tiene capacidad de entrada y salida serie y paralelo. En la Figura 9.21 se muestra su símbolo lógico y en la Figura 9.22 se presenta un ejemplo de diagrama de tiempos.

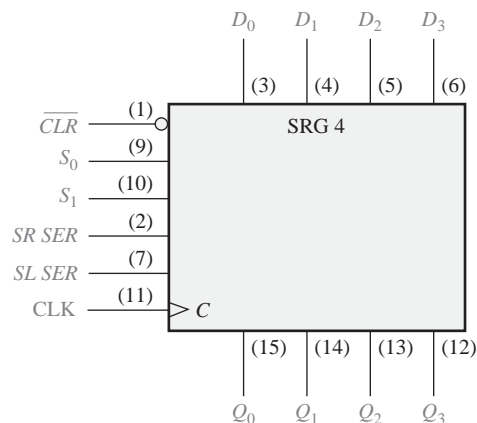


FIGURA 9.21 El registro de desplazamiento universal bidireccional de 4 bits 74HC194.

La carga paralelo, que se sincroniza con una transición positiva de la señal de reloj, se consigue aplicando los cuatro bits de datos en las entradas paralelo y un nivel ALTO en las entradas S_0 y S_1 . El desplazamiento a la derecha se consigue de forma síncrona con el flanco positivo del impulso de reloj cuando S_0 está a nivel ALTO y S_1 a nivel BAJO. En este modo, los datos serie se introducen por la entrada serie de desplazamiento a la derecha ($SR SER$). Cuando S_0 está a nivel BAJO y S_1 a nivel ALTO, los bits de datos se desplazan hacia la izquierda sincronizados con la señal de reloj, introduciendo nuevos datos por la entrada serie de desplazamiento a la izquierda ($SL SER$). La entrada $SR SER$ entra en la etapa Q_0 y $SL SER$ entra en la etapa Q_3 .

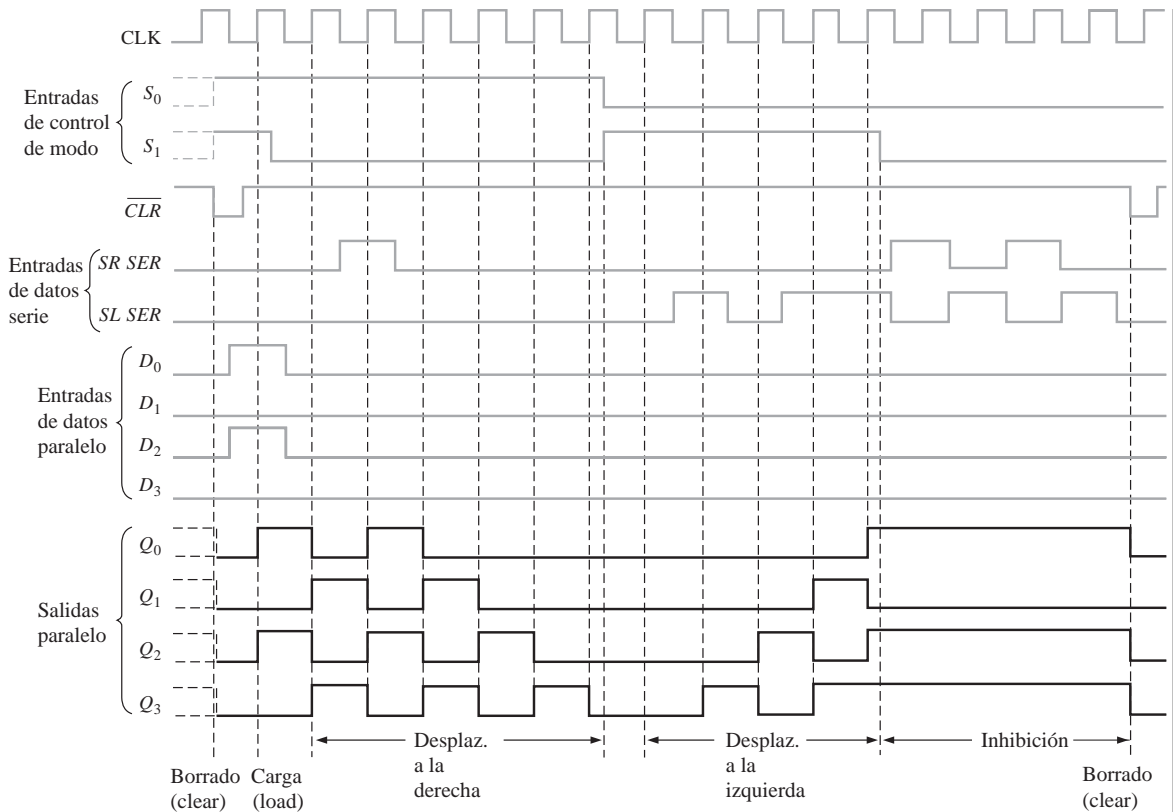


FIGURA 9.22 Diagrama de tiempos de un registro de desplazamiento 74HC194.

9.7. CONTADORES BASADOS EN REGISTRO DE DESPLAZAMIENTO

Un contador basado en un registro de desplazamiento es básicamente un registro de desplazamiento con la salida serie realimentada a la entrada serie, de modo que se generen secuencias especiales. A menudo estos dispositivos se clasifican como contadores porque disponen de una secuencia de estados específica. En esta sección, se presentan dos de los tipos más comunes de esta clase de contadores, el contador Johnson y el contador en anillo.

Al finalizar esta sección, el lector deberá ser capaz de:

- Establecer en qué se diferencia un contador basado en un registro de desplazamiento de un registro de desplazamiento básico.
- Explicar el funcionamiento de un contador Johnson.
- Especificar una secuencia de Johnson para cualquier número de bits.
- Explicar el funcionamiento de un contador en anillo y determinar la secuencia de cualquier contador en anillo específico.

El contador Johnson

En un **contador Johnson**, el complemento de la salida del último flip-flop se conecta a la entrada D del primer flip-flop (también se puede implementar con otros tipos de flip-flop). Esta realimentación permite generar una secuencia de estados característica, tal y como muestran las Tablas 9.1 y 9.2 para un dispositivo de 4 bits y otro de 5 bits, respectivamente. Observe que la secuencia de 4 bits tiene un total de ocho estados, o patrones de bits, y que la secuencia de 5 bits establece un total de diez estados. En general, un contador Johnson generará un módulo de $2n$, donde n es el número de etapas del contador.

Impulso de reloj	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1

TABLA 9.1 Secuencia Johnson de cuatro bits.

Impulso de reloj	Q_0	Q_1	Q_2	Q_3	Q_4
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	0	0
4	1	1	1	1	0
5	1	1	1	1	1
6	0	1	1	1	1
7	0	0	1	1	1
8	0	0	0	1	1
9	0	0	0	0	1

TABLA 9.2 Secuencia Johnson de cinco bits.

En la Figura 9.23 se muestra la implementación de los contadores Johnson de 4 y 5 etapas. La implementación de un contador Johnson es muy sencilla e independiente del número de etapas. La salida Q de cada etapa se conecta a la entrada D de la etapa siguiente (suponiendo que se utilizan flip-flops D). La única excepción es que la salida \bar{Q} de la última etapa se conecta a la entrada D de la primera etapa. Como indican las secuencias de las Tablas 9.1 y 9.2, el contador se “llenará” de 1s de izquierda a derecha, y luego se “llenará” de nuevo de 0s.

En las Figuras 9.24 y 9.25 se muestran, respectivamente, los diagramas de tiempos de los contadores de 4 y 5 bits.

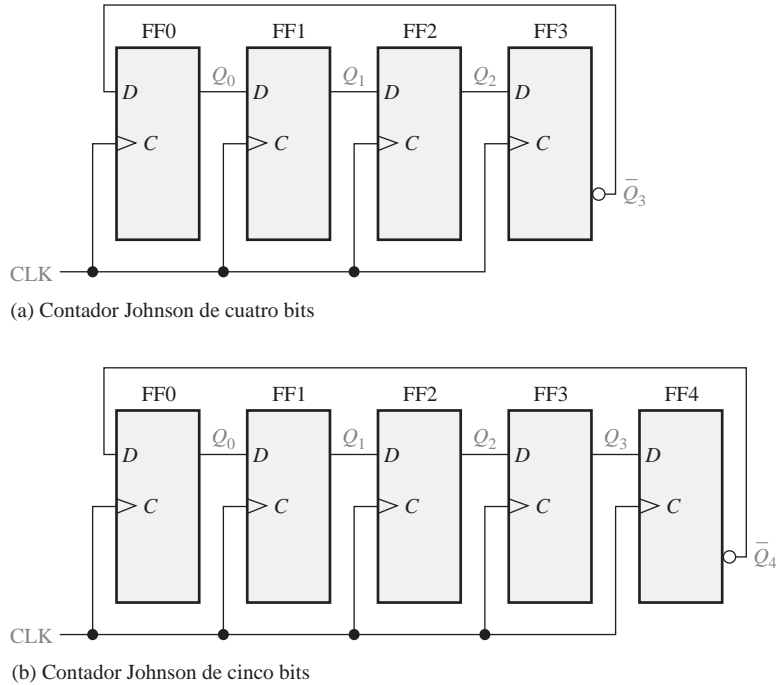


FIGURA 9.23 Contadores Johnson de cuatro y cinco bits.

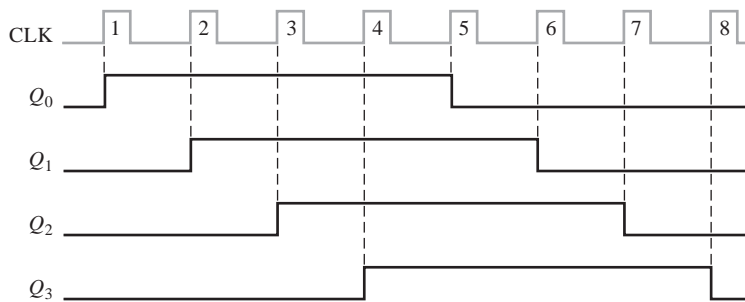


FIGURA 9.24 Secuencia de temporización del contador Johnson de 4 bits.

El contador en anillo

El **contador en anillo** utiliza un flip-flop para cada estado de su secuencia. Tiene la ventaja de que no se requieren puertas de decodificación. En el caso de un contador en anillo de 10 bits, hay una única salida para cada dígito decimal.

En la Figura 9.26 se muestra un diagrama lógico para un contador en anillo de 10 bits. En la Tabla 9.3 se facilita la secuencia de este mismo contador. Inicialmente, se presenta un 1 en el primer flip-flop, y se borran los restantes flip-flops. Observe que las conexiones entre etapas son iguales a las del contador Johnson, excepto que en este caso es la salida Q de la última etapa, en lugar de \bar{Q} , la que se realimenta. Las diez salidas del contador indican directamente el valor decimal de la cuenta de los impulsos de reloj. Por ejemplo, un 1 en Q_0 representa un cero, un 1 en Q_1 indica uno, un 1 en Q_2 corresponde a dos en decimal, un 1 en Q_3 corresponde

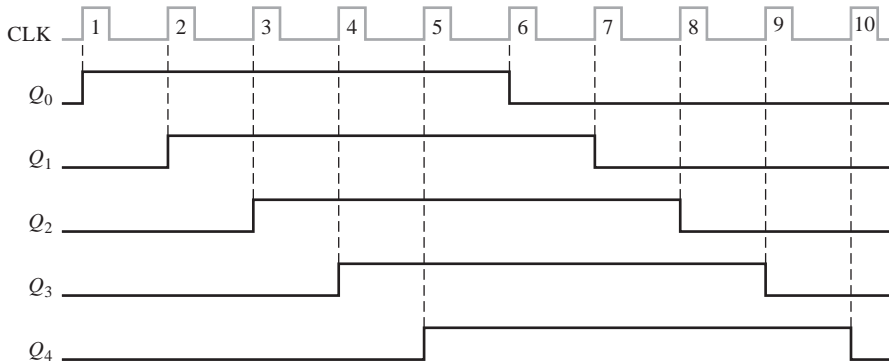


FIGURA 9.25 Secuencia de temporización del contador Johnson de 5 bits.

a tres, y así sucesivamente. Debería verificar usted mismo que sólo un 1 se mantiene en el contador y que éste simplemente se desplaza “alrededor del anillo”, avanzando una etapa con cada impulso de reloj.

Como se ilustra en el Ejemplo 9.5, se pueden conseguir otras secuencias introduciendo más de un 1 en el contador.

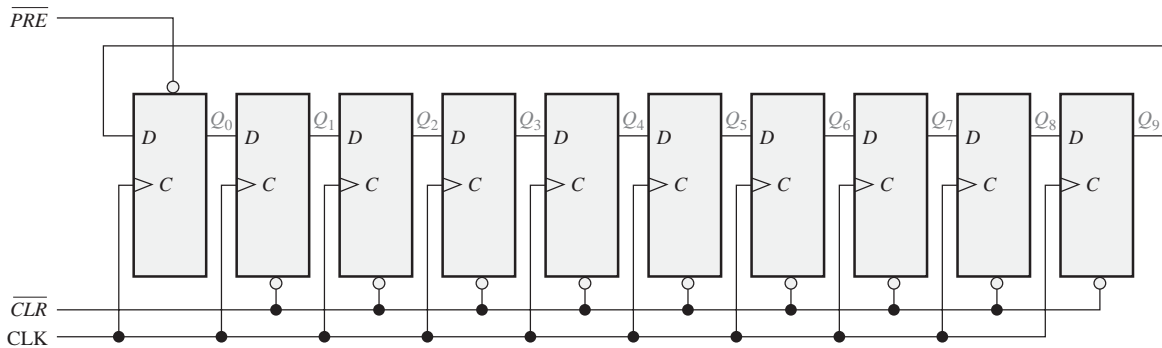


FIGURA 9.26 Contador en anillo de diez bits.

Impulso de reloj	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Q ₉
0	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0
4	0	0	0	0	1	0	0	0	0	0
5	0	0	0	0	0	1	0	0	0	0
6	0	0	0	0	0	0	1	0	0	0
7	0	0	0	0	0	0	0	1	0	0
8	0	0	0	0	0	0	0	0	1	0
9	0	0	0	0	0	0	0	0	0	1

TABLA 9.3 Secuencia del contador en anillo de diez bits.

EJEMPLO 9.5

Si el contador en anillo de 10 bits de la Figura 9.26 tiene el estado inicial 10100000000, determinar la forma de onda para cada una de las salidas Q .

Solución Véase la Figura 9.27.

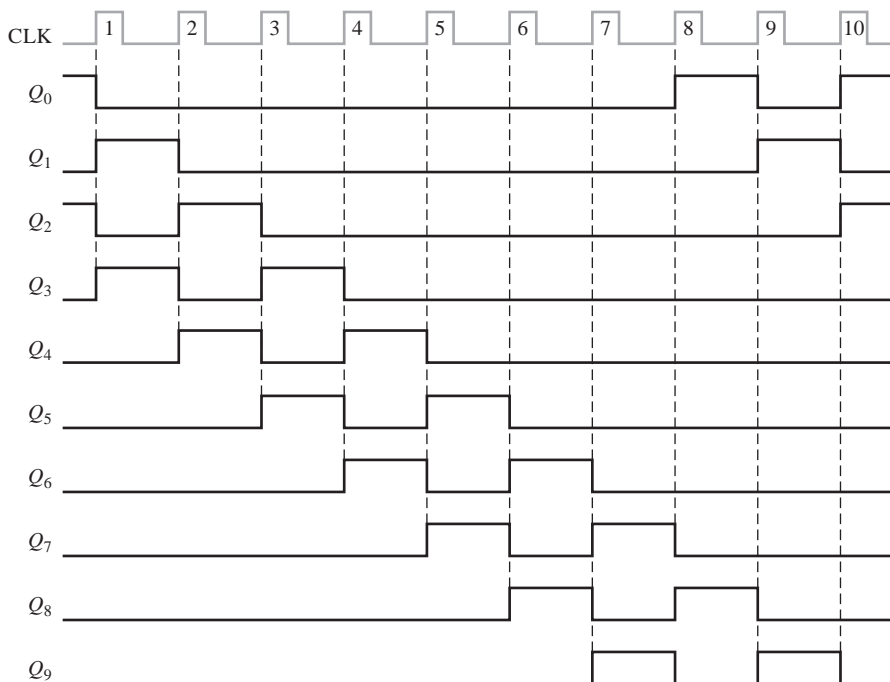


FIGURA 9.27

Problema relacionado Si un contador en anillo de 10 bits está en el estado inicial 0101001111, determinar la forma de onda de cada salida Q .

REVISIÓN DE LA SECCIÓN 9.7

1. ¿Cuántos estados tiene un contador Johnson de 8 bits?
2. Escribir la secuencia de estados de un contador Johnson de 3 bits que se inicia en el estado 000.

9.8. APLICACIONES DE LOS REGISTROS DE DESPLAZAMIENTO

Los registros de desplazamiento se encuentran en muchos tipos de aplicaciones; en esta sección, se van a ver algunas de ellas.

Al finalizar esta sección, el lector deberá ser capaz de:

- Utilizar un registro de desplazamiento para generar un retardo de tiempo. ■ Implementar una secuencia específica de un contador en anillo utilizando un registro de desplazamiento 74HC195.
- Explicar cómo se usan los registros de desplazamiento para la conversión de datos serie-paralelo.
- Definir *UART*. ■ Explicar el funcionamiento de un codificador de teclado y cómo se utilizan los registros en esta aplicación.



NOTAS INFORMÁTICAS

Los registros de propósito general en el Pentium son registros de 32 bits que se pueden utilizar para el almacenamiento temporal de datos, así como para usos específicos. Cuatro de estos registros son los siguientes: el *acumulador* (EAX), que se utiliza principalmente para el almacenamiento temporal de datos y de operandos de instrucciones; el *registro base* (EBX), que se utiliza para almacenar un valor de forma temporal; el *registro contador* (ECX), que se usa principalmente para determinar el número de repeticiones en bucles, operaciones con cadenas, desplazamientos o rotaciones. El *registro de datos* (EDX), que normalmente se emplea para el almacenamiento temporal de datos.

Retardo de tiempo

Los registros de desplazamiento con entrada y salida serie se usan para obtener un retardo de tiempo de la entrada a la salida, que es función del número de etapas (n) del registro y de la frecuencia de reloj.

Cuando se aplica un impulso de datos a la entrada serie de la Figura 9.28 (A y B se conectan juntas), éste se introduce en la primera etapa sincronizado con el flanco de disparo del impulso de reloj. El dato se desplaza de etapa en etapa con cada impulso de reloj sucesivo hasta que aparece en la salida serie n periodos de reloj más tarde. En la Figura 9.28 se ilustra este funcionamiento, utilizando un registro de desplazamiento con entrada y salida serie de 8 bits y una frecuencia de reloj de 1 MHz, para conseguir un retardo de tiempo (t_d) de $8 \mu\text{s}$ ($8 \times 1 \mu\text{s}$). Este retardo se puede aumentar o disminuir variando la frecuencia de reloj. El retardo de tiempo también se puede incrementar conectando en cascada registros de desplazamiento, y se puede decrementar tomando sucesivamente la salida de las etapas intermedias del registro, si están disponibles, como se ilustra en el Ejemplo 9.6.

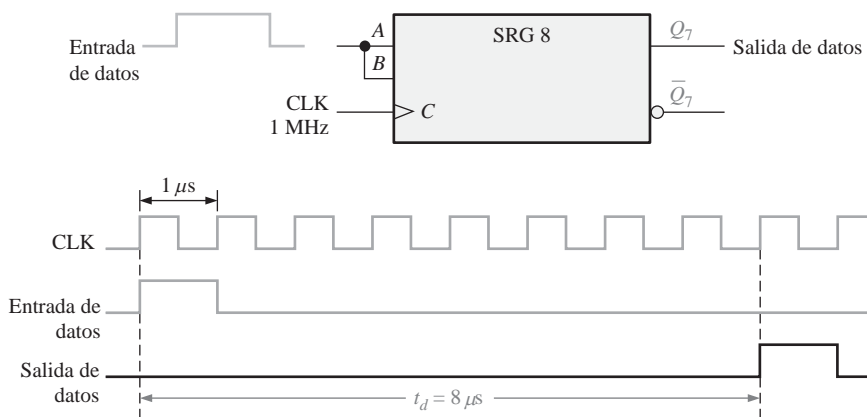
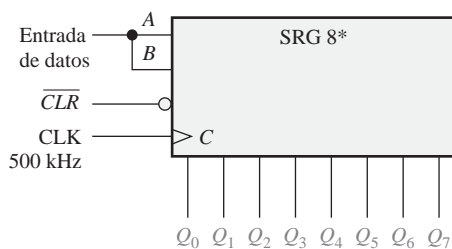


FIGURA 9.28 El registro de desplazamiento como dispositivo de retardo de tiempo.

EJEMPLO 9.6

Determinar el retardo de tiempo entre la entrada serie y cada salida del registro de la Figura 9.29. Realizar un diagrama de tiempos para ilustrarlo.



* Los datos se desplazan de Q_0 a Q_7 .

FIGURA 9.29

Solución

El período de reloj es $2 \mu s$. Luego el retardo de tiempo puede incrementarse o decrementarse de dos en dos μs , desde un mínimo de $2 \mu s$ hasta un máximo de $16 \mu s$, como ilustra la Figura 9.30.

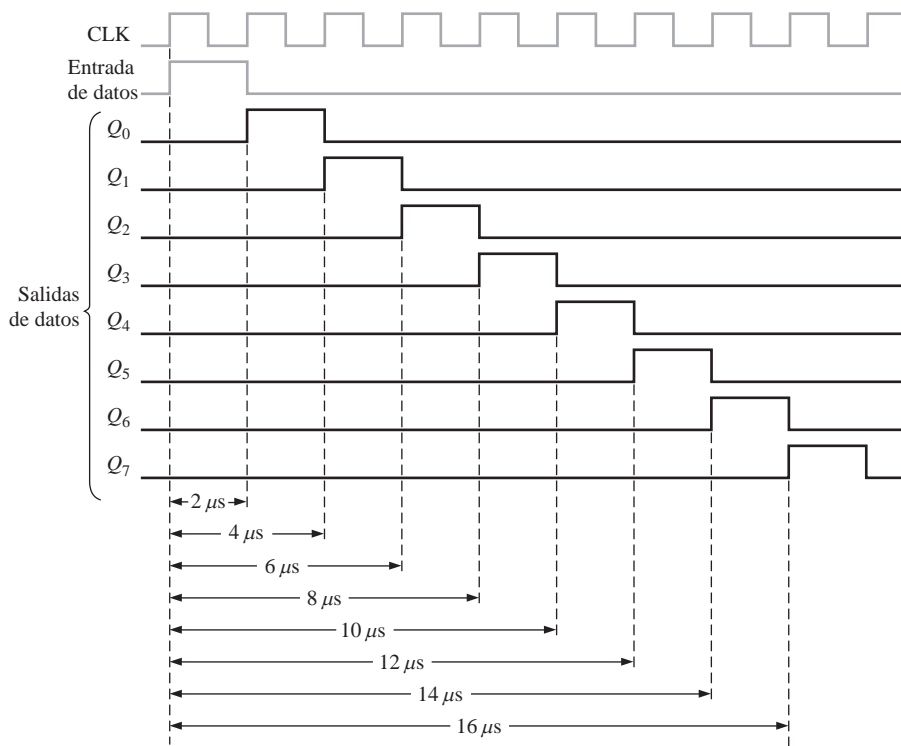
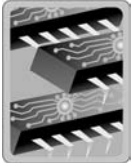


FIGURA 9.30 Diagrama de tiempos que muestra los retardos para el registro de la Figura 9.29.

Problema relacionado Determinar la frecuencia de reloj requerida para obtener un retardo de tiempo de $24 \mu s$ en la salida Q_7 del registro de la Figura 9.29.

CONTADOR EN ANILLO QUE UTILIZA UN REGISTRO DE DESPLAZAMIENTO 74HC195



Un registro de desplazamiento se puede utilizar como contador en anillo, si la salida se realimenta a la entrada serie. La Figura 9.31 ilustra esta aplicación empleando un registro de desplazamiento de 4 bits 74HC195.

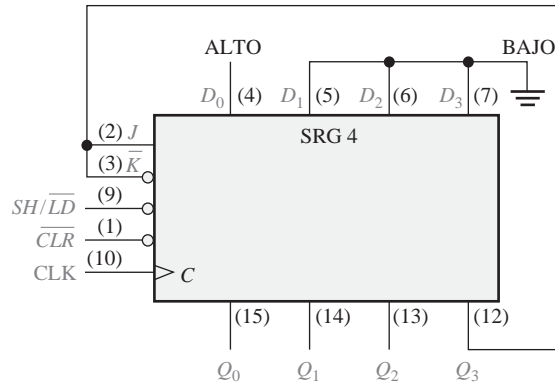


FIGURA 9.31 Un 74HC195 conectado como contador en anillo.

Inicialmente, la secuencia patrón de bits 1000 (o cualquier otra) se introduce en el contador en modo síncrono para inicializarlo, aplicando dicha secuencia patrón a las entradas de datos paralelo, con la entrada SH/\overline{LD} a nivel BAJO y aplicando un impulso de reloj. Después de esta inicialización, el 1 se desplaza a través del contador en anillo, tal y como muestra el diagrama de tiempos de la Figura 9.32.

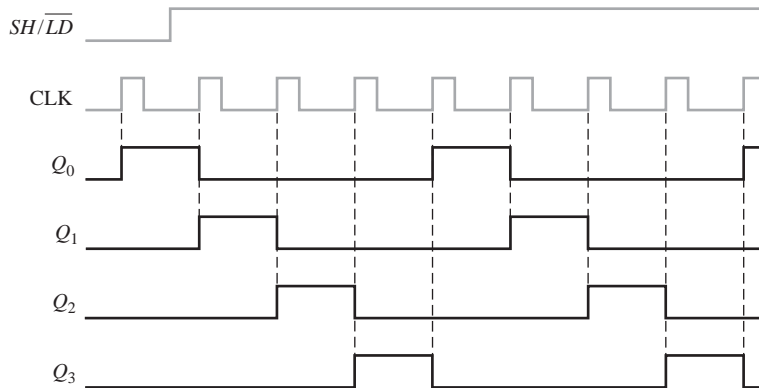


FIGURA 9.32 Diagrama de tiempos que muestra dos ciclos completos del contador en anillo de la Figura 9.31, cuando se inicializa con el estado 1000.

Convertidor de datos serie-paralelo

La transmisión de datos serie de un sistema digital a otro se usa comúnmente para reducir el número de conductores de la línea de transmisión. Por ejemplo, se pueden enviar en serie ocho bits por un único conductor, los cuales precisarían ocho conductores para transmitirse en paralelo.

Una computadora o un sistema basado en microprocesador, normalmente, requiere que la entrada de datos se haga en paralelo, por lo que es preciso realizar una conversión serie-paralelo. En la Figura 9.33 se muestra un convertidor de datos serie-paralelo simplificado, en el que se emplean dos tipos de registros de desplazamiento.

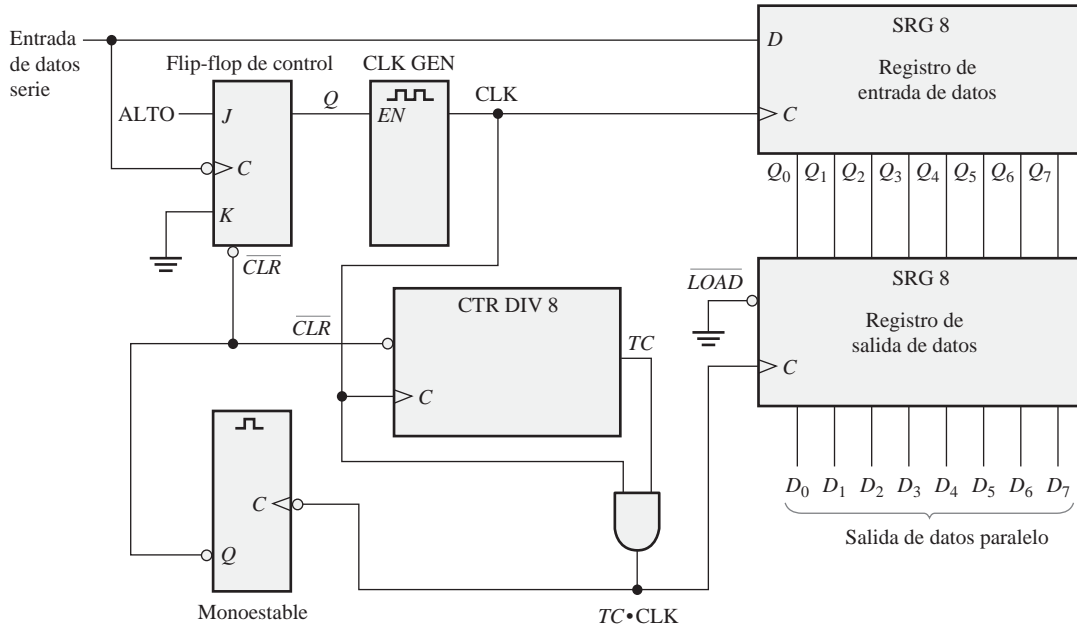


FIGURA 9.33 Diagrama lógico simplificado de un convertidor serie-paralelo.

Para ilustrar el funcionamiento del convertidor serie-paralelo, utilizaremos el formato de datos serie de la Figura 9.34, compuesto de once bits. El primer bit (bit de arranque) siempre es 0 y siempre se inicia en una transición de nivel ALTO a nivel BAJO. Los siguientes ocho bits (D_7 a D_0) son los bits de datos (uno de los bits puede ser de paridad), y los dos últimos bits (bits de parada) son siempre 1. Cuando no se transmiten datos, la línea de datos serie siempre está a 1.

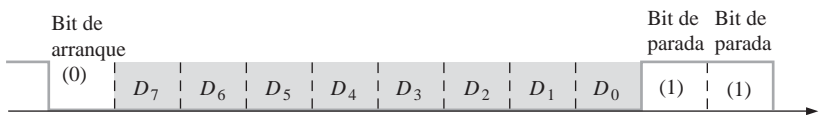


FIGURA 9.34 Formato de datos serie.

La transición de nivel ALTO a nivel BAJO del bit de arranque activa el flip-flop de control, el cual a su vez activa el generador de reloj (CLK GEN). Después de un retardo fijo, el generador de reloj comienza a generar un tren de impulsos, que se aplica al registro de entrada de datos y al contador de división por 8. La señal de reloj tiene exactamente una frecuencia igual a la de los datos serie de entrada, y el primer impulso de reloj se produce después del bit de arranque y simultáneamente con el primer bit de datos.

El diagrama de tiempos de la Figura 9.35 ilustra la siguiente operación básica: los ocho bits de datos (D_7 a D_0) se desplazan en serie a través del registro de entrada de datos. Después del octavo impulso de reloj se produce una transición de nivel ALTO a nivel BAJO en la salida TC del contador a la que se aplica la opera-

ción AND con la señal de reloj ($TC \cdot CLK$), lo que hace que los ocho bits se carguen en el registro de salida de datos. Esta misma transición también dispara el monoestable, el cual produce un impulso de corta duración que borra el contador, pone en estado de RESET el flip-flop de control y desactiva el generador de reloj. Ahora, el sistema está preparado para recibir el siguiente grupo de once bits, y queda a la espera de que se produzca la siguiente transición de nivel ALTO a nivel BAJO del bit de arranque.

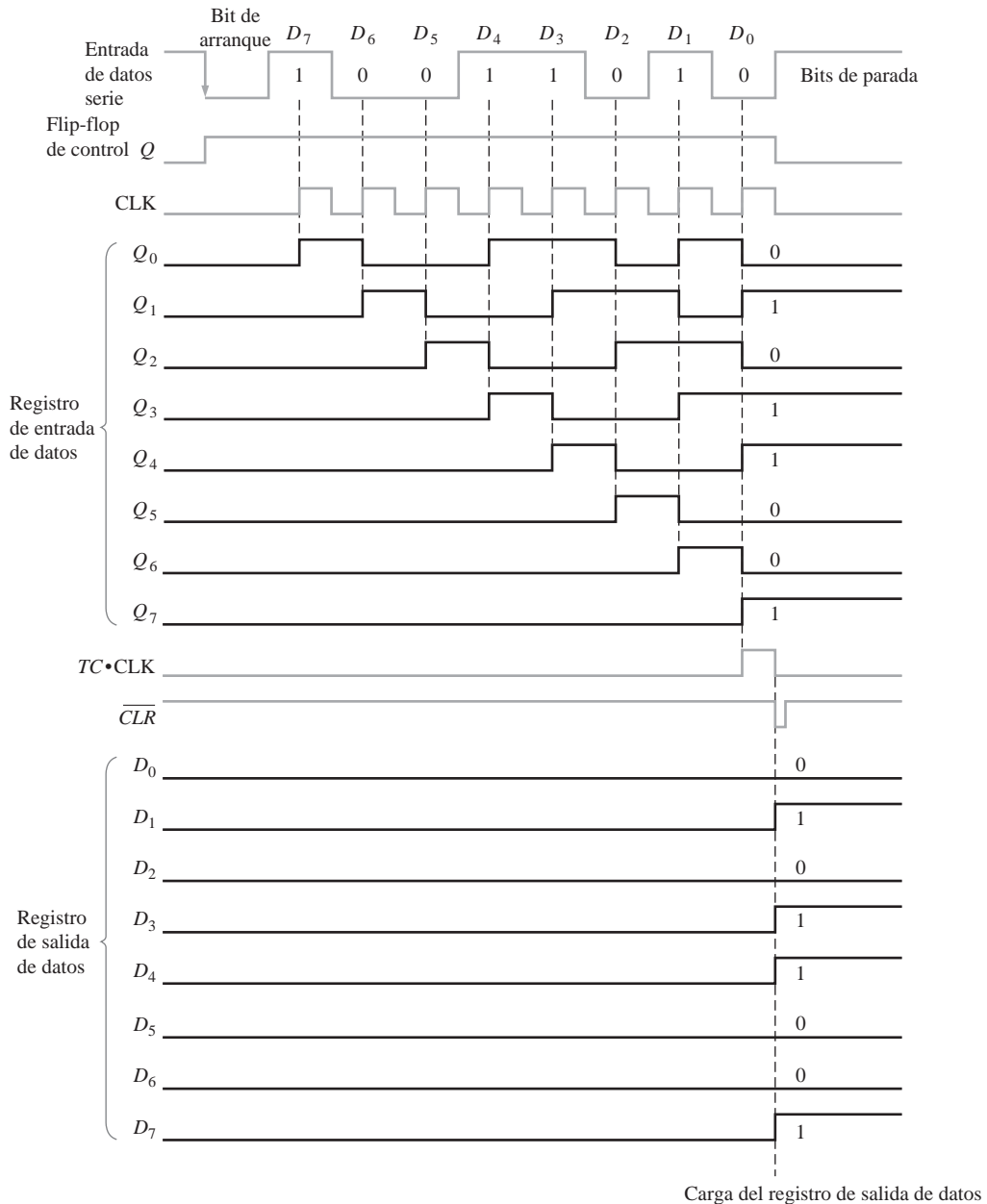


FIGURA 9.35 Diagrama de tiempos que ilustra el funcionamiento del convertidor de datos serie-paralelo de la Figura 9.33.

La conversión de datos paralelo-serie se puede realizar invirtiendo el proceso que se acaba de establecer. Sin embargo, puesto que se deben generar los datos en serie, es preciso considerar otros requisitos adicionales.

Transmisor receptor asíncrono universal (UART, Universal Asynchronous Receiver Transmitter)

Como ya se ha mencionado, las computadoras y sistemas basados en microprocesador, a menudo, transmiten y reciben datos en paralelo. Frecuentemente, estos sistemas deben comunicarse con dispositivos externos que envían y/o reciben los datos en serie. Un dispositivo que realiza la interfaz de conversión es el transmisor-receptor asíncrono universal (UART). En la Figura 9.36 se ilustra una UART en una aplicación general de un sistema basado en microprocesador.

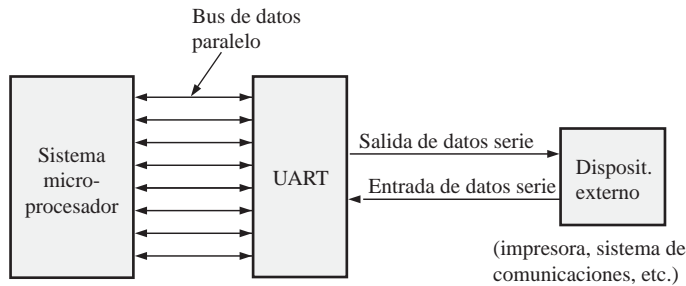


FIGURA 9.36 Interfaz de una UART.

Una UART incluye un convertidor de datos serie-paralelo, como el que hemos visto, y un convertidor de datos paralelo-serie, como muestra la Figura 9.37. Básicamente, el bus de datos es un conjunto de conductores paralelo a lo largo de los cuales se mueven los datos entre la UART y el sistema microprocesador. Los buffers establecen la interfaz entre los registros de datos y el bus de datos.

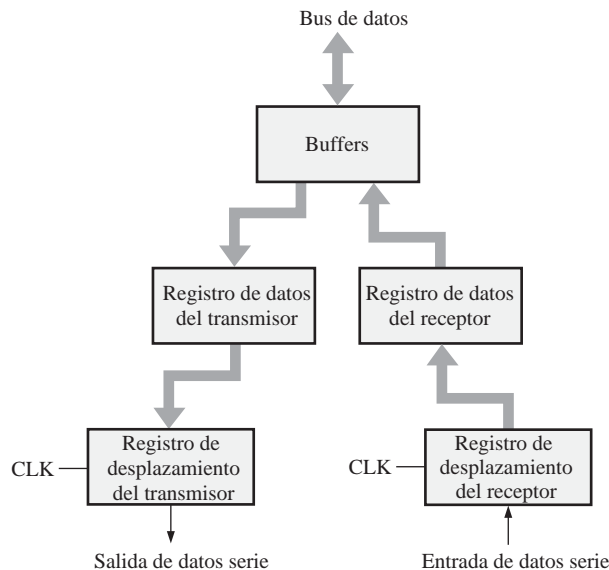


FIGURA 9.37 Diagrama de bloques básico de una UART.

La UART recibe los datos en serie, los convierte a formato paralelo y los coloca en el bus de datos. La UART también acepta datos paralelo del bus de datos, los convierte a formato serie y los transmite al dispositivo externo.

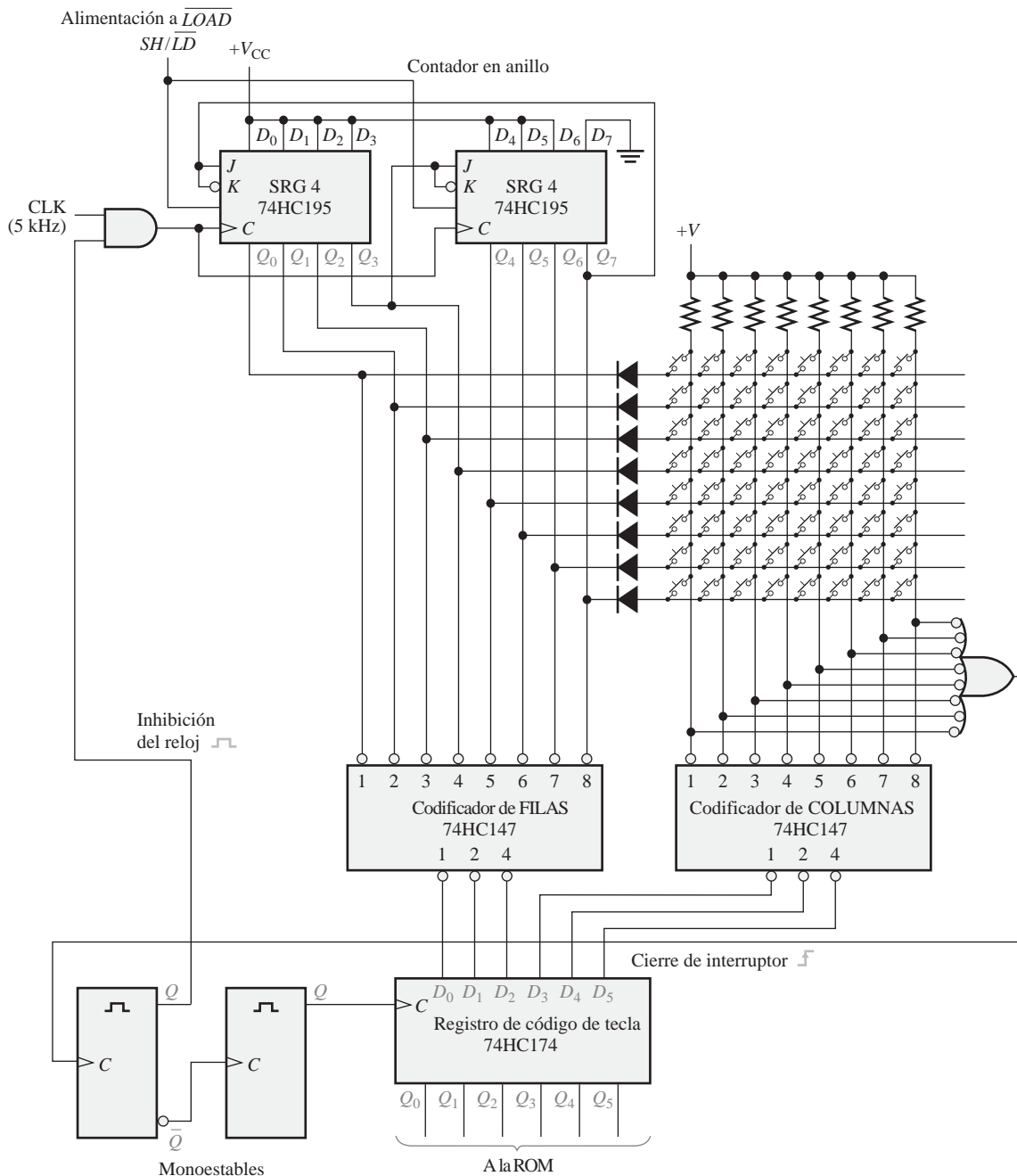


FIGURA 9.38 Circuito simplificado de codificación de teclado.

Codificador de teclado

El codificador de teclado es un buen ejemplo de aplicación de un registro de desplazamiento utilizado como contador en anillo, junto con otros dispositivos. Recuerde que, en el Capítulo 6, se presentó un codificador simplificado de teclado de computadora sin almacenamiento de datos.

La Figura 9.38 muestra un codificador de teclado simplificado que codifica la pulsación de una tecla en una matriz organizada en ocho filas y ocho columnas, que define 64 teclas. Se conectan dos registros de desplazamiento de 4 bits 74HC195 como contador en anillo de 8 bits con una secuencia patrón de bits formada por siete unos y un cero, que se activa cuando se conecta la alimentación. Se usan dos codificadores con prioridad 74HC147 (vistos en el Capítulo 6) como codificadores de ocho-líneas a tres-líneas (la entrada 9 a nivel ALTO, la salida 8 no se utiliza), para codificar las FILAS y las COLUMNAS de la matriz de teclado. El 74HC174A (séxtuple flip-flop) se usa como registro con entrada y salida paralelo en el que se almacena el código FILA/COLUMNA procedente de los codificadores con prioridad.

El funcionamiento básico del codificador de teclado de la Figura 9.38 es el siguiente: el contador en anillo “explora” las filas para detectar la pulsación de una tecla, a medida que la señal de reloj desplaza el 0 por el contador a una frecuencia de 5 kHz. Secuencialmente se aplica un 0 (nivel BAJO) a una de las líneas de FILA, mientras que las restantes líneas de FILA están a nivel ALTO. Todas las líneas FILA se conectan a las entradas del codificador de filas, de modo que la salida de 3 bits del mismo, en cualquier instante, representa, en binario, la línea FILA que está a nivel BAJO. Cuando se pulsa una tecla, la línea de COLUMNA correspondiente se conecta a la línea de FILA. Cuando el contador en anillo toma la línea de FILA que está a nivel BAJO, dicha COLUMNA también quedará a nivel BAJO. El codificador de columnas genera la salida binaria que corresponde a la COLUMNA en la que está la tecla pulsada. El código de tres bits de la FILA más el código de tres bits de la COLUMNA identifican unívocamente la tecla que se ha presionado. Este código de seis bits se aplica a las entradas del registro de código de tecla. Cuando se ha pulsado una tecla, los dos monoestables producen un impulso de reloj retrasado, para realizar la carga paralelo del código de seis bits en el registro de código de tecla. Este retraso permite que se extingan los rebotes de los contactos. La salida del primer monoestable también inhibe al contador en anillo, para evitar la exploración mientras que se están cargando los datos en el registro de códigos de las teclas.

Este código de 6 bits contenido en el registro de código de tecla se aplica ahora a una memoria ROM (*Read-Only Memory*, memoria de sólo lectura) para convertirse en un código alfanumérico apropiado que identifique los caracteres del teclado. Las memorias ROM se estudian en el Capítulo 10.

REVISIÓN DE LA SECCIÓN 9.8

1. En el codificador de teclado, ¿cuántas veces por segundo explora el contador en anillo el teclado?
2. ¿Cuál es el código de 6 bits FILA/COLUMNA (código de tecla) para la fila superior y la columna más a la izquierda del codificador de teclado?
3. ¿Cuál es el propósito de los diodos en el codificador de teclado? ¿Cuál es la finalidad de las resistencias?

9.9. SÍMBOLOS LÓGICOS CON NOTACIÓN DE DEPENDENCIA

Se presentan dos ejemplos de símbolos con notación de dependencia, según el estándar ANSI/IEEE 91-1984, para los registros de desplazamiento. Se emplean como ejemplos dos registros de desplazamiento en formato de circuito integrado específicos.

Al finalizar esta sección, el lector deberá ser capaz de:

- Entender e interpretar los símbolos lógicos con notación de dependencia para los registros de desplazamiento 74HC164 y 74HC194.

En la Figura 9.39 se presenta el símbolo lógico de un registro de desplazamiento serie con salida paralelo de 8 bits 74HC164. Las entradas de control comunes se indican en el bloque. La entrada de borrado (\overline{CLR}) se indica con la letra R (RESET) en el interior del bloque. Puesto que no existe prefijo de dependencia para enlazar R con el reloj ($C1$), la función de borrado es asíncrona. La flecha a la derecha de $C1$ indica el flujo de datos de Q_0 a Q_7 . A las entradas A y B se les aplica la operación AND, como indica el símbolo AND especificado en el interior del bloque, lo que proporciona la entrada de datos síncrona, $1D$, en la primera etapa (Q_0). Observe que la dependencia de D y C se indica mediante el sufijo 1 para C y el prefijo 1 para D .

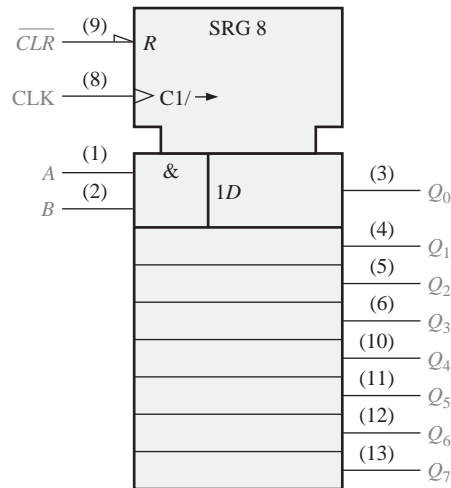


FIGURA 9.39 Símbolo lógico del 74HC164.

La Figura 9.40 es el símbolo lógico para el registro de desplazamiento universal bidireccional de 4 bits 74HC194. Empezando por la parte superior izquierda del bloque, vemos que la entrada \overline{CLR} es activa a nivel BAJO y asíncrona (no hay prefijo de enlace con C). Las entradas S_0 y S_1 son entradas de modo que determinan los modos de funcionamiento *desplazamiento a la derecha*, *desplazamiento a la izquierda* y *carga paralelo*, como indica la designación de dependencia $\frac{0}{3}$ que sigue a la M . Esta designación representa los estados binarios de 0, 1, 2 y 3 en las entradas S_0 y S_1 . Se establece una dependencia cuando uno de estos dígitos se utiliza como prefijo de otra entrada. El símbolo $1 \rightarrow / 2 \leftarrow$ en la entrada de reloj significa lo siguiente: $1 \rightarrow$ indica que se produce un desplazamiento a la derecha (de Q_0 a Q_3) cuando las entradas de modo S_0 y S_1 están en el estado binario 1 ($S_0 = 1$ y $S_1 = 0$), $2 \leftarrow$ indica que se produce un desplazamiento a la izquierda (de Q_3 a Q_0) cuando las entradas de modo están en el estado binario 2 ($S_0 = 0$ y $S_1 = 1$). La entrada serie para el desplazamiento a la derecha ($SR SER$), como indica $1,4D$, es dependiente del modo y dependiente del reloj. Las entradas paralelo (D_0, D_1, D_2 y D_3), como indica $3,4D$, son dependientes del modo (el prefijo 3 indica modo de carga paralelo) y dependientes del reloj. La entrada serie para desplazamiento a la izquierda ($SL SER$) también es dependiente del modo y de la señal de reloj, como indica $2, 4D$.

Los cuatro modos del 74HC194 se resumen de la siguiente forma:

No hace nada:	$S_0 = 0, S_1 = 0$	(modo 0)
Desplazamiento a la derecha:	$S_0 = 1, S_1 = 0$	(modo 1, como en $1,4D$)
Desplazamiento a la izquierda:	$S_0 = 0, S_1 = 1$	(modo 2, como en $2,4D$)
Carga paralelo:	$S_0 = 1, S_1 = 1$	(modo 3, como en $3,4D$)

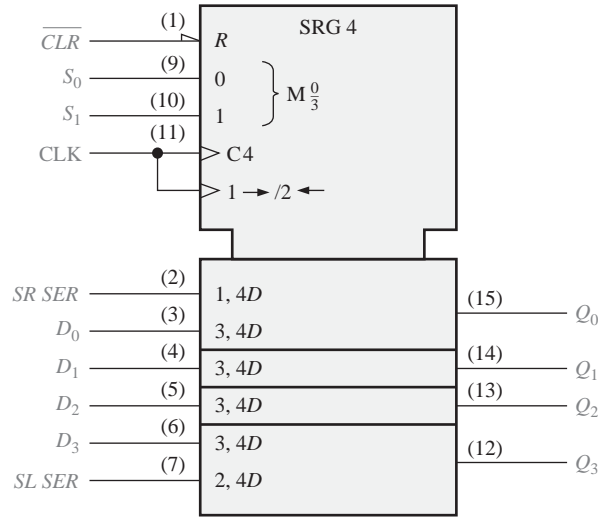


FIGURA 9.40 Símbolo lógico del 74HC194.

REVISIÓN DE LA SECCIÓN 9.9

1. En la Figura 9.43, ¿cuántas entradas son dependientes de las entradas de modo, si se está en el estado 0?
2. ¿Es la carga paralelo síncrona con la señal de reloj?

9.10. LOCALIZACIÓN DE AVERÍAS

En esta sección, vamos a ocuparnos de un método tradicional para la localización de averías en sistemas lógicos secuenciales y otros sistemas digitales más complejos. Dicho método se basa en ejercitar (probar) al circuito bajo prueba con una señal de entrada conocida (estímulo), y luego observar la salida para la secuencia patrón de bits.

Al completar esta sección, el lector deberá ser capaz de:

- Explicar el procedimiento de “ejercitar” un circuito como técnica para la localización de averías.
- Aplicar el procedimiento de “ejercitar” a un convertidor serie-paralelo.

El convertidor de datos serie-paralelo de la Figura 9.33 se usa para ilustrar el procedimiento de “ejercitar” un circuito. El objetivo principal de este procedimiento es forzar a todos los elementos del circuito (flip-flop y puertas) a que pasen por todos sus estados, con el fin de estar seguros de que en ningún estado determinado se produce un fallo. La secuencia patrón de prueba de entrada, en este caso, debe diseñarse para forzar a cada flip-flop de los registros a pasar por ambos estados, hacer que el contador pase por los ocho estados, y comprobar el flip-flop de control, el generador de reloj, el monoestable y la puerta AND.

La secuencia patrón de prueba de entrada que cumple este objetivo para el convertidor de datos serie-paralelo está basada en el formato de datos serie de la Figura 9.34. Se forma mediante el grupo serie de bits de datos 10101010 seguido de otro grupo serie de bits de datos 01010101, como muestra la Figura 9.41. Estas secuencias patrón se generan de forma repetitiva a partir de un generador especial de secuencias de prueba. En la Figura 9.42 se muestra la configuración básica de prueba.

Después de que ambas secuencias patrón han pasado por el circuito bajo prueba, todos los flip-flops de los registros de entrada y salida de datos han pasado por los estados SET y RESET, el contador ha pasado a tra-

osciloscopio de doble traza, o se pueden ver las ocho simultáneamente con un analizador lógico configurado para realizar análisis de tiempos.

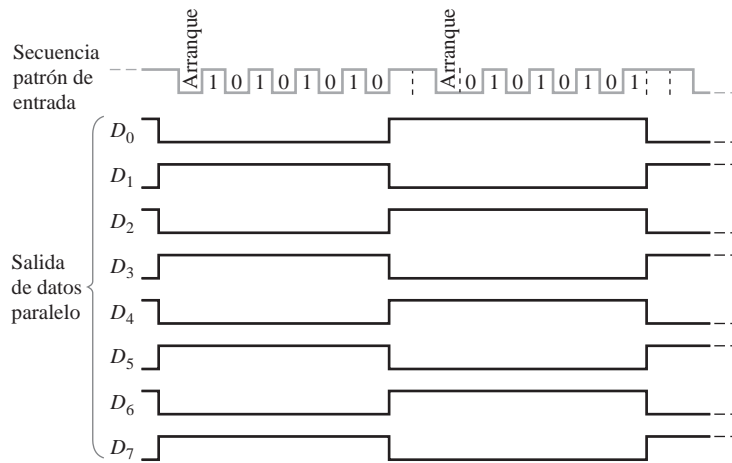


FIGURA 9.43 Salidas correctas del circuito bajo prueba de la Figura 9.42. Se muestran también la secuencia patrón de prueba de entrada.

Si una o más de las salidas del registro de salida de datos es incorrecta, se deben comprobar las salidas del registro de entrada de datos. Si estas salidas son correctas, entonces el problema estará asociado al registro de salida de datos. Compruebe las entradas al registro de salida de datos directamente sobre los pines del CI, para detectar una línea en circuito abierto. Compruebe también que las conexiones de alimentación y a tierra son correctas (buscando la ausencia de ruido en la línea de tierra). Verifique que la línea de carga está a nivel BAJO y que en la entrada de la señal de reloj hay impulsos de reloj de amplitud correcta. Asegúrese de que la conexión al analizador lógico no conecte dos líneas de salida, dando lugar a un cortocircuito. Si todas estas pruebas pasan la inspección, entonces, probablemente, es que el registro de salida sea defectuoso. Si las salidas del registro de entrada de datos son también incorrectas, el fallo podría estar en el propio registro de entrada o en cualquier otra parte de la lógica, por lo que será necesaria una investigación adicional para aislar el problema.

CONSEJOS PRÁCTICOS

Cuando se miden señales digitales con un osciloscopio, siempre se debería utilizar el acoplamiento en continua en lugar del acoplamiento en alterna. La razón de que el acoplamiento en alterna no sea mejor para visualizar señales digitales es que el nivel de 0 V de la señal aparecerá en el nivel *medio* de la señal, no en el verdadero nivel de tierra o nivel de 0 V. Es mucho más sencillo encontrar una tierra “flotante” o un nivel lógico incorrecto con el acoplamiento en continua. Si sospecha que hay un punto de tierra en circuito abierto en un circuito digital, incremente la sensibilidad del osciloscopio hasta el máximo posible. Una buena tierra nunca aparecerá con ruido bajo estas condiciones, aunque un circuito abierto probablemente se mostrará con algo de ruido, lo que aparece como una fluctuación aleatoria sobre el nivel de 0 V.

REVISIÓN DE LA SECCIÓN 9.10

1. ¿Cuál es el propósito de proporcionar una entrada de prueba a un circuito lógico secuencial?
2. Generalmente, cuando la señal de salida es incorrecta, ¿cuál es el siguiente paso que se debe dar?



APLICACIÓN A LOS SISTEMAS DIGITALES

En esta aplicación a los sistemas digitales, se va a desarrollar un sistema relativamente sencillo para controlar la seguridad de una sala o de un edificio. El sistema puede programarse mediante un código de seguridad de 4 dígitos, introduciendo los cuatro dígitos de forma secuencial a través de un teclado, en el modo *desactivar* (*Desarm*). Una vez que se ha introducido y almacenado el código de seguridad, el sistema conmuta al modo *activar* (*Arm*). Para desactivar el sistema, es necesario introducir el código correcto de 4 dígitos a través del teclado.

Funcionamiento básico

En la Figura 9.44 se presenta un diagrama de bloques básico del sistema. El sistema lógico está formado por la lógica del código de seguridad y la lógica de memoria. En este capítulo, vamos a centrarnos en la lógica de introducción del código. En el Capítulo 10 se desarrollará la lógica de memoria y se combinarán ambas secciones para formar la lógica del sistema completo.

El conmutador de seguridad $\overline{\text{Arm}}$ /Desarm coloca el sistema en modo *activar* o *desactivar*. La programación se realiza colocando primero el sistema en el modo *desactivar* y luego pulsando el conmutador de seguridad *Almacenar* seguido de la tecla correspondiente a cada uno de los cuatro dígitos que hay que introducir. Después de este proceso, la memoria contendrá los códigos BCD de cada uno de los cuatro dígitos del código de seguridad. Cuando el sistema se conmuta al modo *activar*, la señal *SalArm* habilita los sensores del sistema de alarma e ilumina un diodo LED para indicar que el sistema está armado. Para entrar en la sala o en el edificio, es necesario conmutar el sistema al modo *desactivar* e introducir el código de seguridad correcto de cuatro dígitos a través del teclado.

Lógica del código de seguridad

La lógica del código de seguridad controla la activación, desactivación, la programación e introducción de datos. El diagrama lógico básico se muestra en la Figura 9.45. Cuando se activa el sistema por vez primera colocando el conmutador $\overline{\text{Arm}}$ /Desarm en la posición *Arm*, el registro de desplazamiento *C* contiene 00010000 de modo que hay un nivel BAJO en *ArmOut*, el cual activa los sensores del sistema, los circuitos de alarma y el indicador ARMADO. También, OSE genera un impulso de reinicialización para el contador de direcciones de la memoria.

Introducción de datos Para desactivar el sistema de modo que pueda entrarse en el área protegida, es necesario introducir el código de cuatro dígitos correcto, que se corresponda con el código almacenado en la memoria. El primer dígito del código de seguridad se introduce a través del teclado. El codificador decimal a BCD genera el código

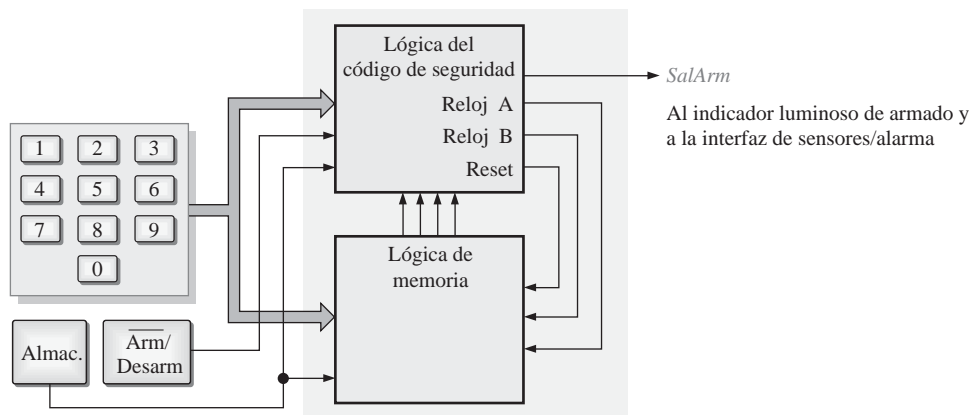


FIGURA 9.44 Diagrama de bloques básico del sistema de seguridad.

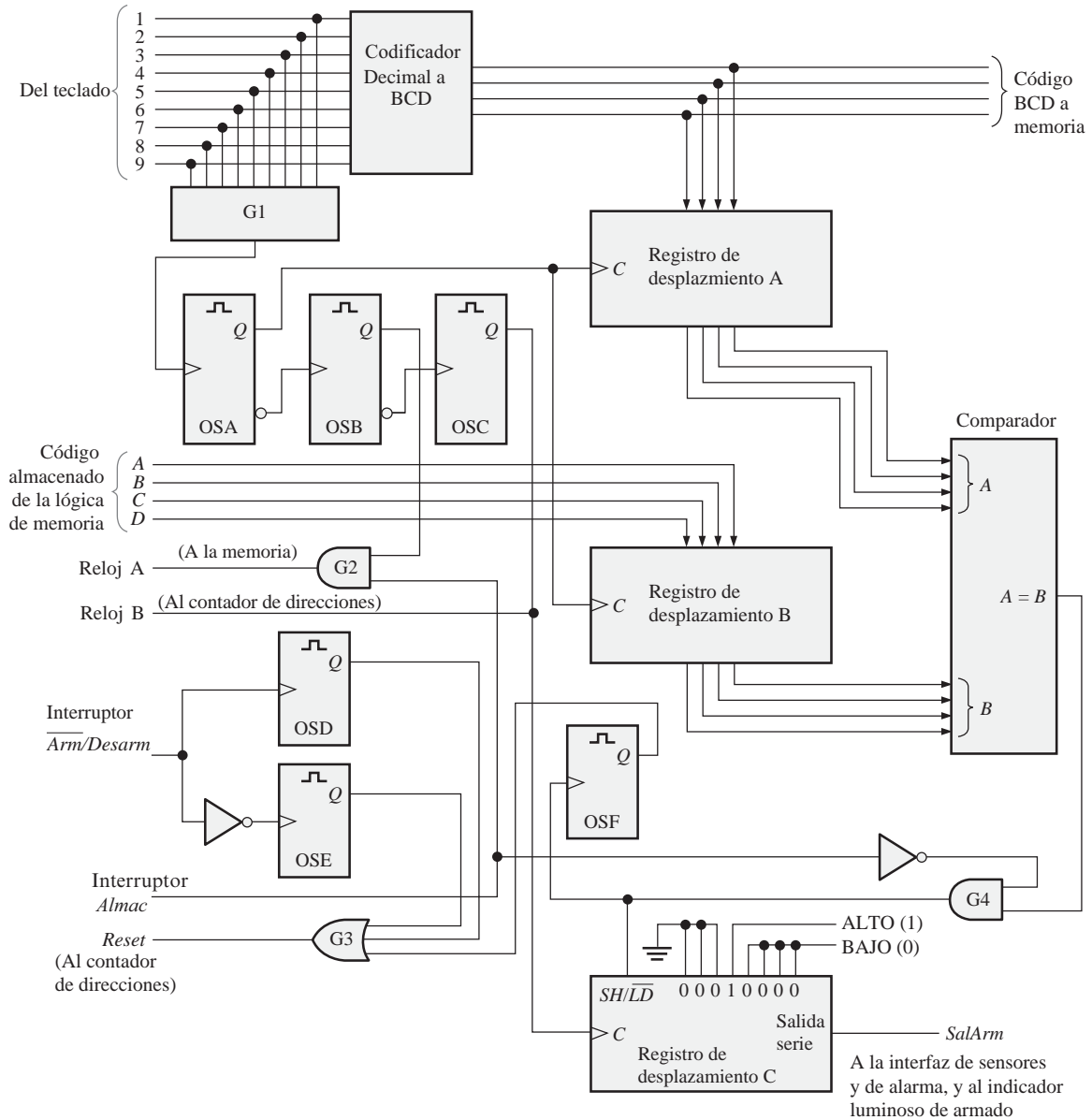


FIGURA 9.45 Diagrama lógico básico de la lógica del código de seguridad.

BCD que representa el dígito que se ha pulsado en el teclado. El monoestable *A* (OSA) se dispara a través de la puerta *G1* generando un impulso que actúa como señal de reloj para introducir en el registro de desplazamiento *A* el código BCD de 4 bits procedente del codificador, y para introducir también en el registro de desplazamiento *B* el código almacenado en la primera dirección de memoria. Una vez que ambos códigos se encuentran en los registros *A* y *B* se les aplica como entradas al comparador. Cuando se

introduce un código correcto a través del teclado, los 4 bits de las entradas *A* del comparador y los 4 bits de las entradas *B* son iguales, por lo que se produce un nivel ALTO (1) en la salida *A = B* del comparador, poniéndose el registro de desplazamiento *C* en el modo de desplazamiento (*SH*). El flanco posterior del impulso de salida del circuito *OSA* dispara *OSB*, el cual a su vez dispara *OSC* mediante el flanco posterior de su impulso de salida. La salida de *OSC* proporciona la señal de reloj *B* al contador de direc-

ciones de memoria y también actúa como reloj para que el registro de desplazamiento C desplace el valor 00010000 hacia la derecha, de modo que ahora el registro contendrá 00001000. Puesto que continúa habiendo un 0 (nivel BAJO) en la salida serie $ArmOut$, el sistema permanece armado.

Cuando se introduce a través del teclado el segundo dígito del código correcto, el contenido del registro de desplazamiento C se desplaza para dar 00000100, y el sistema continúa armado. Cuando se introduce el tercer dígito de código a través del teclado, el contenido del registro de desplazamiento C se desplaza para dar 00000010. Cuando se introduce el cuarto y último dígito del código, el contenido del registro de desplazamiento C se desplaza para dar 00000001. Ahora, el nivel ALTO (1) en la salida serie $SalArm$ desarma el sistema y permite entrar en la zona protegida.

Si en cualquier momento se introduce un dígito de código incorrecto, la salida del comparador pasa a nivel BAJO, generando un nivel BAJO en la entrada SH/\overline{LD} y dispara OSF para enviar un impulso de reinicialización al contador de direcciones de memoria. El registro de desplazamiento C estará ahora en el modo *carga en paralelo*. OSC se encarga entonces de proporcionar la señal de reloj al registro necesaria para enlavar el código prefijado 00010000 dentro del registro. En este punto, es necesario comenzar de nuevo y reintroducir los cuatro dígitos del código.

Programación Para programar un código de 4 dígitos en el sistema, se coloca el conmutador $\overline{Arm}/Desarm$ en la posición *desactivar*. Esto dispara el monoestable OSD, que envía un impulso de reinicialización a través de $G3$ al contador de direcciones de memoria, haciendo que tome el valor 00, correspondiente a la primera dirección de memoria. El conmutador $Almac$ se coloca en la posición *Almacenar*, lo que deshabilita la salida $A = B$ del comparador a través de la puerta $G4$ y habilita la salida de OSB a

través de $G2$, para proporcionar un reloj a la memoria durante la introducción del código en la misma.

A continuación, se introduce el primer dígito del código de seguridad deseado a través del teclado. OSA se dispara a través de la puerta $G1$ como resultado del cierre de la tecla y , a su vez, dispara OSB, que genera la señal de reloj A , para almacenar el código en la memoria. OSB dispara OSC generando la señal de reloj B para el contador de direcciones de memoria haciendo que éste avance hasta la segunda dirección (01). Se introduce el segundo dígito del código a través del teclado y se repite la secuencia descrita para el primer dígito. Después de introducido el cuarto y último código, la memoria contendrá el código de seguridad de cuatro dígitos. Si accidentalmente se introduce un dígito erróneo, es necesario continuar introduciendo los cuatro dígitos o volver a activar el interruptor ALMAC para asegurar que el contador de memoria contenga de nuevo la primera dirección. Una vez realizada la programación, se conmuta el sistema al modo *activar*.

Prácticas de sistemas

- **Actividad 1** Describir el propósito del registro de desplazamiento A.
- **Actividad 2.** Describir el propósito del registro de desplazamiento B.
- **Actividad 3.** Describir el propósito del registro de desplazamiento C.
- **Actividad 4.** Describir el propósito del comparador.
- **Actividad opcional** Utilizando circuitos integrados lógicos de la familia 74XX y los restantes componentes necesarios, implemente la lógica del código de seguridad descrita en la Figura 9.45. Realice los cambios necesarios para adaptarse a los dispositivos que utilice. Depure y pruebe la lógica y describa los fallos de diseño que encuentre (si es que hay alguno).

RESUMEN

- Los tipos básicos de movimiento de los datos en los registros de desplazamiento se ilustran en la Figura 9.46.
- Los contadores basados en registros de desplazamiento son registros de desplazamiento con realimentación, que disponen de secuencias especiales. Ejemplos de ellos son el contador Johnson y el contador en anillo.
- La secuencia del contador Johnson tiene $2n$ estados, donde n es el número de etapas.
- La secuencia del contador en anillo tiene n estados.

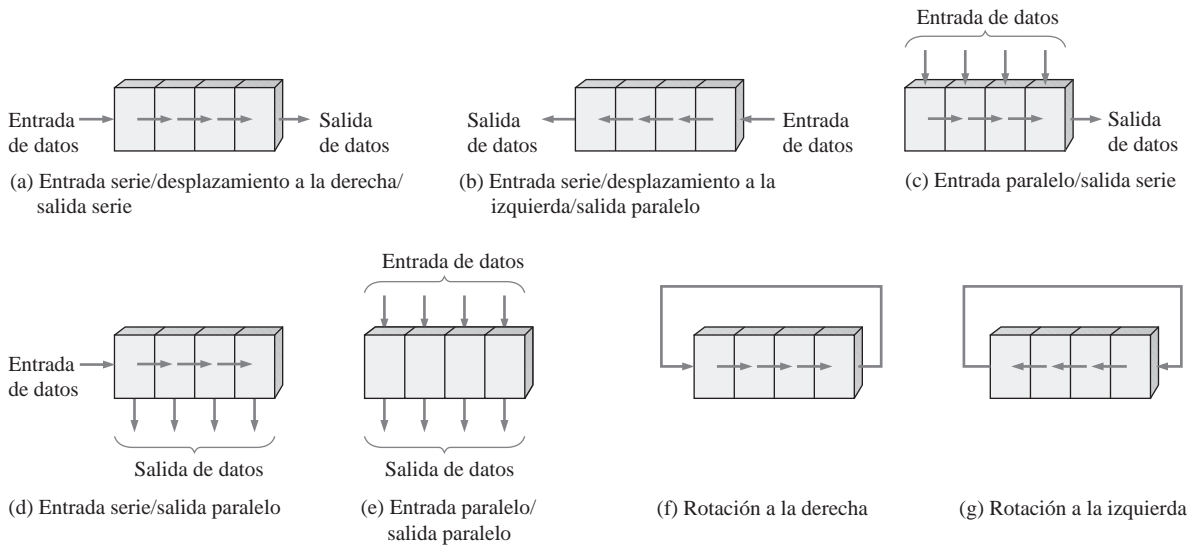


FIGURA 9.46

PALABRAS CLAVE

Las palabras clave y otros términos que se han resaltado en negrita se encuentran en el glosario final del libro.

Bidireccional Que posee dos direcciones. En un registro de desplazamiento bidireccional, los datos almacenados se pueden desplazar a la derecha o a la izquierda.

Carga Introducir datos en un registro de desplazamiento.

Desplazar Mover datos binarios de una etapa a otra dentro de un registro de desplazamiento o de otro dispositivo de almacenamiento; mover datos binarios dentro o fuera de un dispositivo.

Etapa Elemento de almacenamiento en un registro.

Registro Uno o más flip-flops utilizados para almacenar y desplazar datos.

AUTOTEST

Las respuestas se encuentran al final del capítulo.

- Una etapa de un registro de desplazamiento está formada por:
 - un latch
 - un flip-flop
 - un byte de almacenamiento
 - cuatro bits de almacenamiento
- Para desplazar en serie un byte de datos en un registro de desplazamiento, es necesario:
 - un impulso de reloj
 - un impulso de carga
 - ocho impulsos de reloj
 - un impulso de reloj para cada 1 que contiene el dato
- Para cargar en paralelo un byte de datos en un registro de desplazamiento con una carga sincrona, es necesario:
 - un impulso de reloj

- (b) un impulso de reloj para cada 1 que contiene el dato
 (c) ocho impulsos de reloj
 (d) un impulso de reloj para cada 0 que contiene el dato
4. El grupo de bits 10110101 se desplaza en serie (primer bit más a la derecha) a la salida paralelo de 8 bits de un registro de desplazamiento, el cual tiene el estado inicial 11100100. Después de dos impulsos de reloj, el contenido del registro es:
 (a) 01011110 (b) 10110101 (c) 01111001 (d) 00101101
5. Con una frecuencia de reloj de 100 kHz, ocho bits se pueden introducir en serie en un registro de desplazamiento en:
 (a) 80 μ s (b) 8 μ s (c) 80 ms (d) 10 μ s
6. Con una frecuencia de reloj de 1 MHz, ocho bits se pueden introducir en paralelo en un registro de desplazamiento en:
 (a) 8 μ s
 (b) en un tiempo igual al retardo de propagación de ocho flip-flops
 (c) 1 μ s
 (d) en un tiempo igual al retardo de propagación de un flip-flop
7. Un contador Johnson de módulo 10 requiere:
 (a) diez flip-flops (b) cuatro flip-flops
 (c) cinco flip-flops (d) doce flip-flops
8. Un contador en anillo de módulo 10 requiere como mínimo:
 (a) diez flip-flops (b) cinco flip-flops
 (c) cuatro flip-flops (d) doce flip-flops
9. Cuando se utiliza un registro de desplazamiento de 8 bits con entrada y salida serie, para obtener un retardo de 24 μ s, la frecuencia de reloj debe ser:
 (a) 41,67 kHz (b) 333 kHz
 (c) 125 kHz (d) 8 MHz
10. El propósito del contador en anillo del circuito codificador de teclado de la Figura 9.38 es:
 (a) aplicar secuencialmente un nivel ALTO a cada fila para detectar la pulsación de una tecla
 (b) proporcionar los impulsos de disparo del registro de código de tecla
 (c) aplicar secuencialmente un nivel BAJO a cada fila para detectar la pulsación de una tecla
 (d) invertir secuencialmente la polarización de los diodos de cada fila.

PROBLEMAS

Las respuestas a los problemas impares se encuentran al final del libro.

SECCIÓN 9.1 Funciones básicas de los registros de desplazamiento

- ¿Por qué se consideran los registros de desplazamiento dispositivos básicos de memoria?
- ¿Cuál es la capacidad de almacenamiento de un registro que puede contener dos bytes de datos?

SECCIÓN 9.2 Registros de desplazamiento con entrada y salida serie

- Para las señales de entrada de datos y de reloj de la Figura 9.47, determinar los estados de cada flip-flop del registro de desplazamiento de la Figura 9.3 y dibujar las formas de onda de salida. Suponer que, inicialmente, el registro contiene todo 1s.
- Resolver el Problema 3 para las formas de onda de la Figura 9.48.

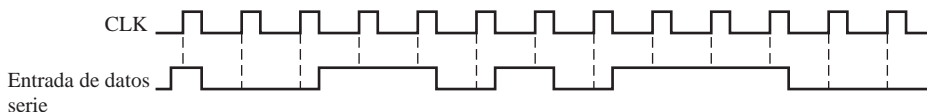


FIGURA 9.47

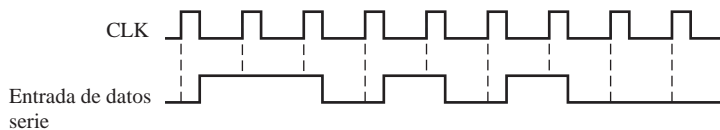


FIGURA 9.48

5. ¿Cuál es el estado del registro de la Figura 9.49 después de cada impulso de reloj, si el estado inicial es 101001111000?

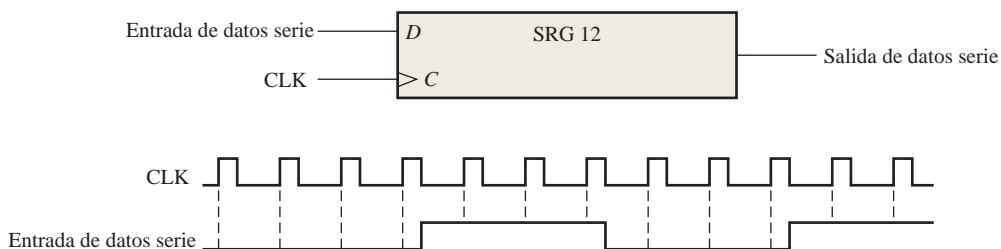


FIGURA 9.49

6. Para el registro de desplazamiento con entrada serie y salida serie, determinar la forma de onda de la salida de datos para la señal de reloj y la entrada de datos de la Figura 9.50. Suponer que, inicialmente, se borra el contenido del registro.

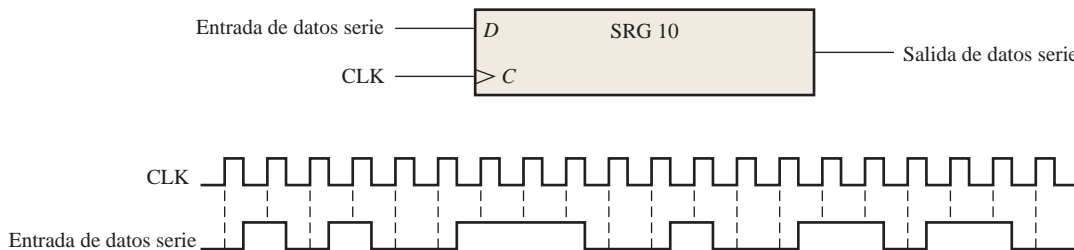


FIGURA 9.50

7. Resolver el Problema 6 para las formas de onda de la Figura 9.51.



FIGURA 9.51

8. Un registro de desplazamiento de entrada serie-salida paralelo disparado por flanco anterior tiene la forma de onda de la salida de datos mostrada en la Figura 9.52. ¿Qué número binario

se almacena en el registro de 8 bits, si el primer bit de datos que sale (el que está más a la izquierda) es el LSB?

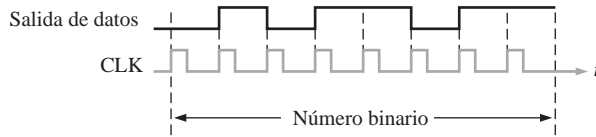


FIGURA 9.52

SECCIÓN 9.3 Registros de desplazamiento con entrada serie y salida paralelo

9. Dibujar un diagrama de tiempos completo que muestre las salidas paralelo del registro de desplazamiento de la Figura 9.8. Utilizar las formas de onda de la Figura 9.50, estando inicialmente borrado el registro.
10. Resolver el Problema 9 para las formas de onda de la Figura 9.51.
11. Desarrollar las salidas Q_0 a Q_7 para un registro de desplazamiento 74HC164, siendo la señal de entrada la mostrada en la Figura 9.53.

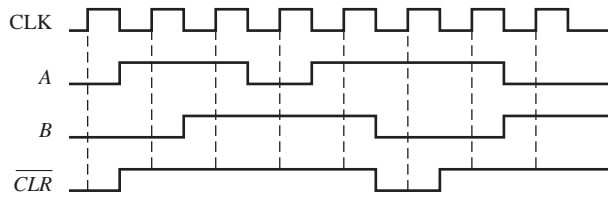
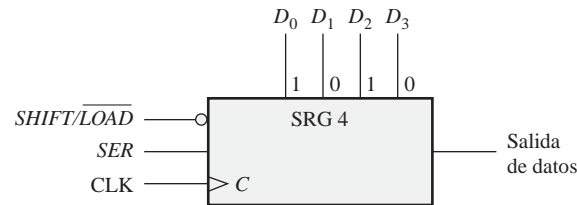


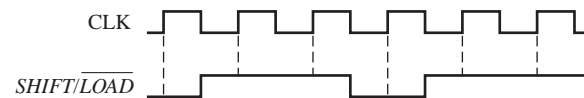
FIGURA 9.53

SECCIÓN 9.4 Registros de desplazamiento con entrada paralelo-salida serie

12. Al registro de desplazamiento de la Figura 9.54(a) se le aplican las señales de entrada $SHIFT/LOAD$ y CLK mostradas en la parte (b). La entrada de datos serie (SER) está a 0. Las entradas de datos paralelo son $D_0 = 1, D_1 = 0, D_2 = 1$ y $D_3 = 0$. Dibujar la forma de onda de la salida de datos en función de las entradas.



(a)



(b)

FIGURA 9.54

13. Las formas de onda de la Figura 9.55 se aplican al registro de desplazamiento 74HC165. Todas las entradas paralelo están a 0. Determinar la forma de onda de la salida Q_7 .

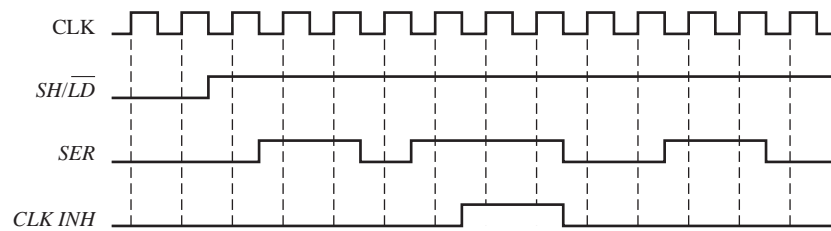


FIGURA 9.55

14. Resolver el Problema 13 si las entradas paralelo están todas a 1.
 15. Resolver el Problema 13 si se invierte la entrada SER .

SECCIÓN 9.5 Registros de desplazamiento con entrada y salida paralelo

16. Determinar todas las formas de onda de salida Q para el registro de desplazamiento de 4 bits 74HC195, cuando las entradas son las indicadas en la Figura 9.56.

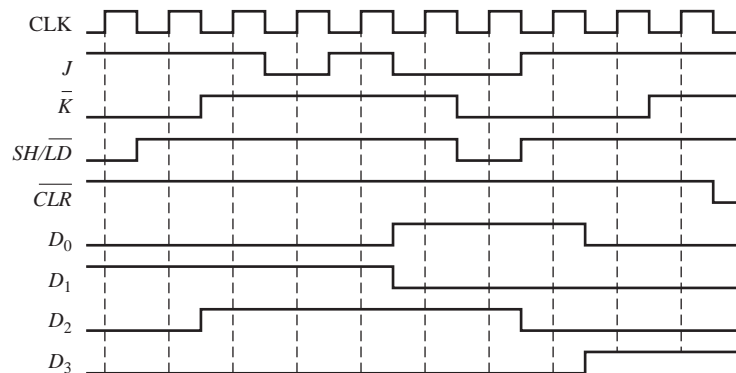


FIGURA 9.56

17. Resolver el Problema 16 si se invierte la entrada SH/\overline{LD} e, inicialmente, se borra el contenido del registro.
 18. Utilizar dos registros de desplazamiento 74HC195 para formar un registro de desplazamiento de 8 bits. Mostrar las conexiones que se requieren.

SECCIÓN 9.6 Registros de desplazamiento bidireccionales

19. Para el registro bidireccional de 8 bits de la Figura 9.57, determinar el estado del registro después de cada impulso de reloj para la señal de control $RIGHT/LEFT$ dada. Un nivel ALTO en esta entrada activa un desplazamiento a la derecha, y un nivel BAJO lo activa hacia la izquierda. Suponer que, inicialmente, el registro almacena en binario el número decimal setenta y seis, estando en la posición más a la derecha el LSB. La línea de entrada de datos está a nivel BAJO.
 20. Resolver el Problema 19 para las señales de la Figura 9.58.
 21. Utilizar dos registros de desplazamiento bidireccionales de 4 bits 74HC194, para crear un registro de desplazamiento bidireccional de 8 bits. Indicar las conexiones.

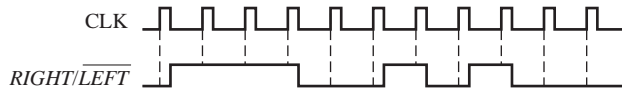


FIGURA 9.57



FIGURA 9.58

22. Determinar las salidas Q de un 74HC194 a partir de las entradas mostradas en la Figura 9.59. Las entradas D_0 , D_1 , D_2 y D_3 están a nivel ALTO.

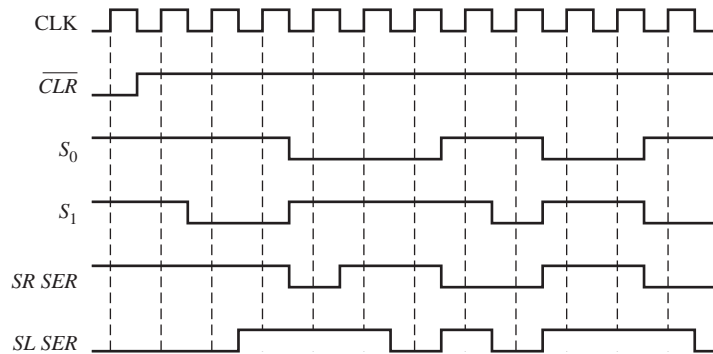


FIGURA 9.59

SECCIÓN 9.7 Contadores basados en registros de desplazamiento

23. ¿Cuántos flip-flops se requieren para implementar cada una de las siguientes configuraciones de un contador Johnson?
- (a) módulo 6 (b) módulo 10
 (c) módulo 14 (d) módulo 16
24. Dibujar el diagrama lógico para un contador Johnson de módulo 18. Realizar el diagrama de tiempos y escribir la secuencia en forma de tabla.
25. Para el contador en anillo de la Figura 9.60, dibujar la señal de salida de cada flip-flop en relación con la señal de reloj. Suponer que, inicialmente, FF0 está en estado SET y los demás en estado RESET. Considerar al menos diez impulsos de reloj.
26. A partir de la secuencia patrón mostrada en la Figura 9.60, determinar el contador en anillo e indicar cómo se puede inicializar para generar la señal indicada en la salida Q_0 . En el impulso de reloj 16 (CLK16) la secuencia patrón se repite.

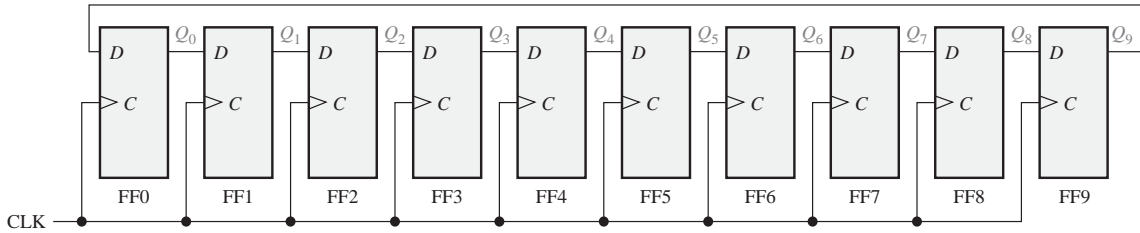


FIGURA 9.60

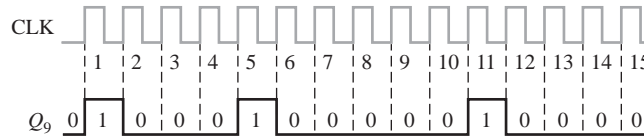


FIGURA 9.61

SECCIÓN 9.8 Aplicaciones de los registros de desplazamiento

27. Utilizar registros de desplazamiento de 4 bits 74HC195 para implementar un contador en anillo de 16 bits. Indicar las conexiones.
28. ¿Cuál es el propósito de la entrada de alimentación \overline{LOAD} de la Figura 9.38?
29. En el esquema de la Figura 9.38 ¿qué ocurre cuando se presionan simultáneamente dos teclas?

SECCIÓN 9.10 Localización de averías

30. A partir de las formas de onda de la Figura 9.62(a), determinar el problema que más probablemente se producirá en el registro mostrado en la parte (b) de la figura.

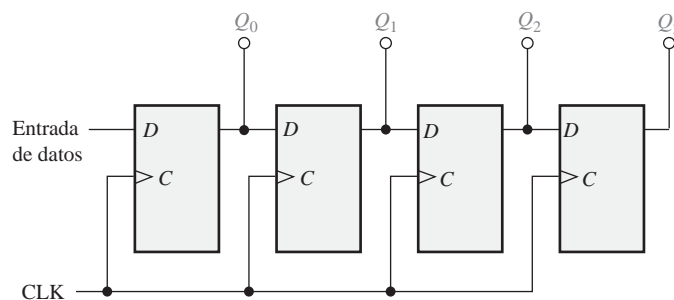
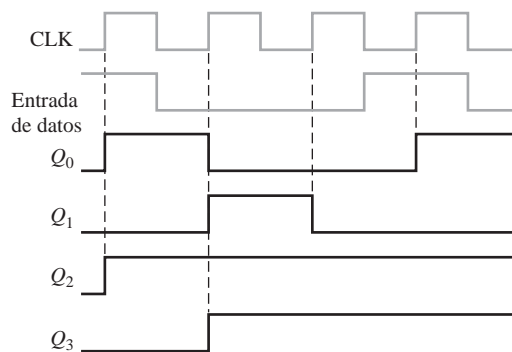


FIGURA 9.62

31. El registro de desplazamiento con entrada paralelo y salida serie de la Figura 9.12 está en el estado en que $Q_0 Q_1 Q_2 Q_3 = 1001$ y en la entrada se carga $D_0 D_1 D_2 D_3 = 1010$. Cuando la entrada *SHIFT / LOAD* está a nivel ALTO, los datos que se muestran en la Figura 9.63 aparecen secuencialmente en la salida. ¿Es correcto este funcionamiento? Si no lo es, ¿cuál es el fallo más probable?

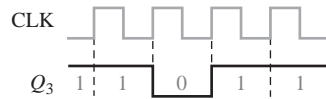


FIGURA 9.63

32. Como hemos visto, en el registro bidireccional de la Figura 9.19, los datos se desplazan hacia la derecha pero no hacia la izquierda. ¿Cuál es el fallo más probable?
33. Para el codificador de teclado de la Figura 9.38, enumerar los posibles fallos para cada uno de los siguientes síntomas:
- El estado del registro del código de tecla no cambia cuando se pulsa cualquier tecla.
 - El estado del registro del código de tecla no cambia cuando se pulsa cualquier tecla de la tercera fila. Cuando se pulsa cualquiera de las restantes teclas se genera un código correcto.
 - El estado del registro del código de tecla no cambia cuando se pulsa cualquier tecla de la primera columna. Cuando se pulsa cualquiera de las restantes teclas se genera un código correcto.
 - Cuando se pulsa cualquier tecla de la segunda columna, los tres bits de la izquierda del código de tecla ($Q_0 Q_1 Q_2$) son correctos pero los tres bits de la derecha son todos 1s.
34. Desarrollar un procedimiento de prueba para probar el codificador de teclado de la Figura 9.38. Especificar el procedimiento paso a paso, indicando el código de salida del registro de código de tecla que debería observarse en cada paso de las pruebas
35. ¿Qué síntomas se observan si se producen los siguientes fallos en el convertidor serie-paralelo de la Figura 9.33?
- La salida de la puerta AND se mantiene en estado ALTO.
 - La salida del generador de reloj se mantiene en estado BAJO
 - La tercera etapa del registro de entrada de datos se mantiene en estado SET.
 - La salida de fin de cuenta del contador se mantiene en estado ALTO.



Aplicación a los sistemas digitales

36. ¿Cuál es el propósito principal de la lógica del código de seguridad?
37. Suponer que el código de acceso es 1939. Determinar los estados de los registros de desplazamiento A y C después de haber introducido el segundo dígito correcto.
38. Suponer que el código de acceso es 7646 y que se introduce el código 7645. Determinar los estados de los registros de desplazamiento A y C después de introducir cada uno de los dígitos.



Problemas especiales de diseño

39. Especificar los dispositivos que se pueden utilizar para implementar el convertidor de datos serie-paralelo de la Figura 9.33. Dibujar el diagrama lógico completo mostrando cualquier modificación necesaria para acomodarse a los dispositivos específicos utilizados.

40. Modificar el convertidor serie-paralelo de la Figura 9.33, para conseguir una conversión de 16 bits.
41. Diseñar un convertidor de datos paralelo-serie de 8 bits que produzca el formato de datos de la Figura 9.34. Realizar el diagrama lógico y especificar los dispositivos.
42. Diseñar un circuito de activación de \overline{LOAD} para el codificador de teclado de la Figura 9.38. Este circuito debe generar impulsos de corta duración a nivel BAJO cuando se activa el interruptor de alimentación.
43. Implementar el generador de secuencias patrón de pruebas utilizado en la Figura 9.42 para localizar las averías en el convertidor serie-paralelo.
44. Revisar el sistema de control y de recuento de pastillas introducido en el Capítulo 1. (a) Utilizando los conocimientos adquiridos en este capítulo, implementar los registros A y B en este sistema utilizando circuitos integrados de función fija específicos. (b) Implementar el sistema empleando software de desarrollo.

RESPUESTAS

REVISIONES DE CADA SECCIÓN

SECCIÓN 9.1 Funciones básicas de los registros de desplazamiento

1. Un contador tiene una secuencia específica de estados, pero un registro de desplazamiento no.
2. El almacenamiento y el movimiento de datos son dos funciones de un registro de desplazamiento.

SECCIÓN 9.2 Registros de desplazamiento con entrada y salida serie

1. FF0: entrada de datos a J_0 , $\overline{entrada}$ de datos a K_0 ; FF1: Q_0 a J_1 , \overline{Q}_0 a K_1 ; FF2: Q_1 a J_2 , \overline{Q}_1 a K_2 ; FF3: Q_2 a J_3 , \overline{Q}_2 a K_3 .
2. Ocho impulsos de reloj.

SECCIÓN 9.3 Registros de desplazamiento con entrada serie-salida paralelo

1. 0100 después de 2 impulsos de reloj.
2. Se toma la salida serie del flip-flop más a la derecha para operación de salida serie.

SECCIÓN 9.4 Registros de desplazamiento con entrada paralelo-salida serie

1. Cuando $\overline{SHIFT/LOAD}$ está a nivel ALTO, los datos se desplazan a la derecha, un bit por impulso de reloj. Cuando $\overline{SHIFT/LOAD}$ está a nivel BAJO, los datos en las entradas paralelo se cargan en el registro.
2. La operación de carga paralelo es asíncrona, por lo que no depende de la señal de reloj.

SECCIÓN 9.5 Registros de desplazamiento con entrada y salida paralelo

1. Las salidas de datos son 1001
2. $Q_0 = 1$ después de un impulso de reloj

SECCIÓN 9.6 Registros de desplazamiento bidireccionales

1. 1111 después de cinco impulsos de reloj.

SECCIÓN 9.7 Contadores basados en registros de desplazamiento

1. La secuencia del contador Johnson de 8 bits tiene dieciséis estados.
2. Para un contador Johnson de 3 bits: 000, 100, 110, 111, 011, 001, 000

SECCIÓN 9.8 Aplicaciones de los registros de desplazamiento

1. 625 exploraciones/segundo
2. $Q_5 Q_4 Q_3 Q_2 Q_1 Q_0 = 011011$
3. Los diodos proporcionan caminos unidireccionales para poner las filas a nivel BAJO, y evitar que los niveles ALTOS en las líneas de FILA se conecten a la matriz de interruptores. Las resistencias conectan las líneas de COLUMNA a nivel ALTO.

SECCIÓN 9.9 Símbolos lógicos con notación de dependencia

1. Ninguna entrada depende de las entradas de modo que estén en estado 0.
2. Sí, el terminal paralelo es síncrono con el reloj, como indica la etiqueta 4D.

SECCIÓN 9.10 Localización de averías

1. Se usa una entrada de prueba para que el circuito pase por todos sus estados.
2. Comprobar la entrada de esta parte del circuito. Si la señal en esta entrada es correcta, el fallo queda aislado en la circuitería entre la entrada correcta y la salida incorrecta.

PROBLEMAS RELACIONADOS

9.1. Véase la Figura 9.64.

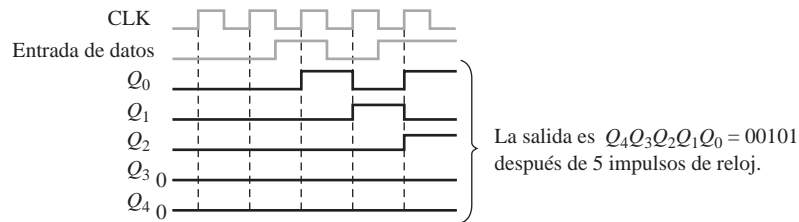


FIGURA 9.64

9.2. El estado del registro después de tres impulsos adicionales de reloj es 0000.

9.3. Véase la Figura 9.65.

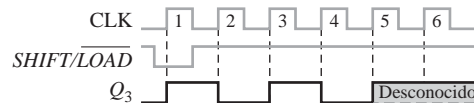


FIGURA 9.65

9.4. Véase la Figura 9.66.

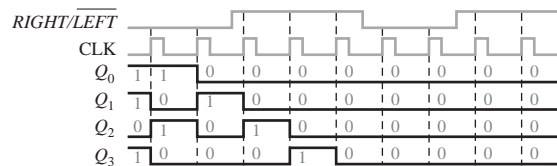


FIGURA 9.66

9.5. Véase la Figura 9.67.

9.6. $f = 1/3 \mu s = 333 \text{ kHz}$

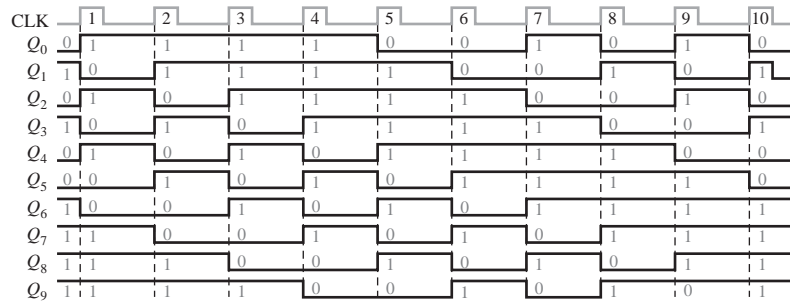


FIGURA 9.67

AUTOTEST

1. (b) 2. (c) 3. (a) 4. (c) 5. (a)
 6. (d) 7. (c) 8. (a) 9. (b) 10. (c)