

Unidad 4.1 – CIRCUITOS LÓGICOS SECUENCIALES

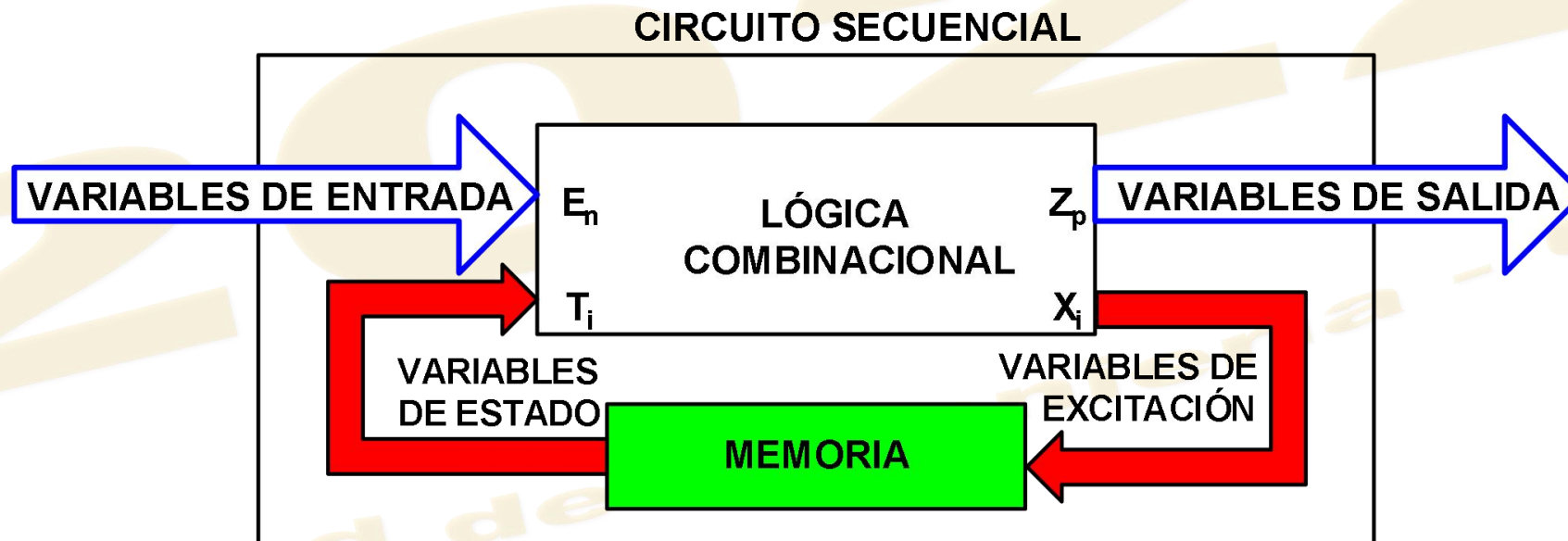
CIRCUITOS SECUENCIALES Y FLIP-FLOPS

- **Definición de secuenciales**
 - **Esquema general**
 - **Clasificación**
- **Circuitos biestables**
 - **Concepto y definiciones**
 - **Esquema general**
 - **Convención de señales**
 - **Tipos de disparo**
- **Diagramas temporales**
- **Tipos de flip-flops**
 - **R-S**
 - **J-K**
 - **T (Toggle)**
 - **D (Delay)**
 - **M-S (Master-Slave)**
- **Ejemplos y aplicaciones**

- > **Mano M. (2003). DISEÑO DIGITAL. Capítulo 5: Lógica secuencial sincrónica; capítulo 6: Registros y contadores.**
- > **Brown S. (2006). FUNDAMENTOS DE LÓGICA DIGITAL CON DISEÑO VHDL. Capítulo 7: Flip-flops, registros, contadores y un procesador simple.**
- > **Floyd T. (2006). FUNDAMENTOS DE SISTEMAS DIGITALES. Capítulo 7: Latches, flip-flops y temporizadores; capítulo 8: Contadores; capítulo 9: Registros de desplazamiento.**
- > **Tocci R. (2007). SISTEMAS DIGITALES PRINCIPIOS Y APLICACIONES. Capítulo 5: Flip-flops y dispositivos relacionados; capítulo 7: Contadores y registros.**

Definición

Son aquellos donde el estado actual de las variables de salida dependen tanto del estado actual de las variables de entrada como de algún estado anterior del mismo circuito.



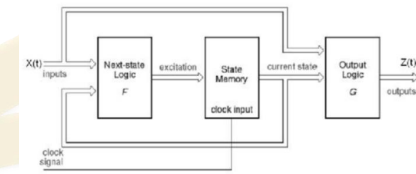
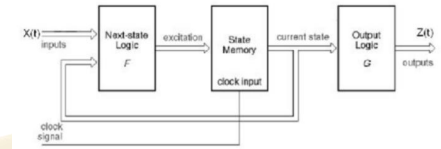
Un circuito combinacional siempre produce **la misma respuesta** para los **mismos valores de entrada**.

Un circuito secuencial puede producir **respuestas diferentes** para los **mismos valores de entrada**. Su comportamiento depende de la *historia* del circuito.

Clasificación

Circuitos secuenciales

- Por configuración** {
 - Estructura Moore**
 - Estructura Mealy**
- Por evolución de estados** {
 - Asincrónicos**
 - Sincrónicos**
- Por realimentación** {
 - De reacción directa**
 - Con retardo**
 - Con memoria**
- Por modo operativo** {
 - Modo fundamental**
 - Modo no fundamental**
- Por señales de entrada** {
 - Nivel**
 - Flanco**
 - Pulso**



Definiciones

1. **Un flip-flop es un dispositivo secuencial capaz de almacenar un bit de información.**
2. **Un flip-flop es una estructura elemental de memoria.**
3. **Un flip-flop es un secuencial biestable de 1 bit.**

Concepto

Son estructuras combinatoriales elementales realimentadas.

Pueden considerarse que juegan –en el campo secuencial– un **papel similar** a las compuertas en el campo combinatorial.

Reciben diferentes nombres tales como **latches**, **cerrojos**, **biestables**, **básculas**, etc.

Algunos autores identifican como **latches** a los biestables **asincrónicos** (sin CLK) y como **flip-flops** a los biestables **sincrónicos** (con CLK).

Clasificación

Flip-flops

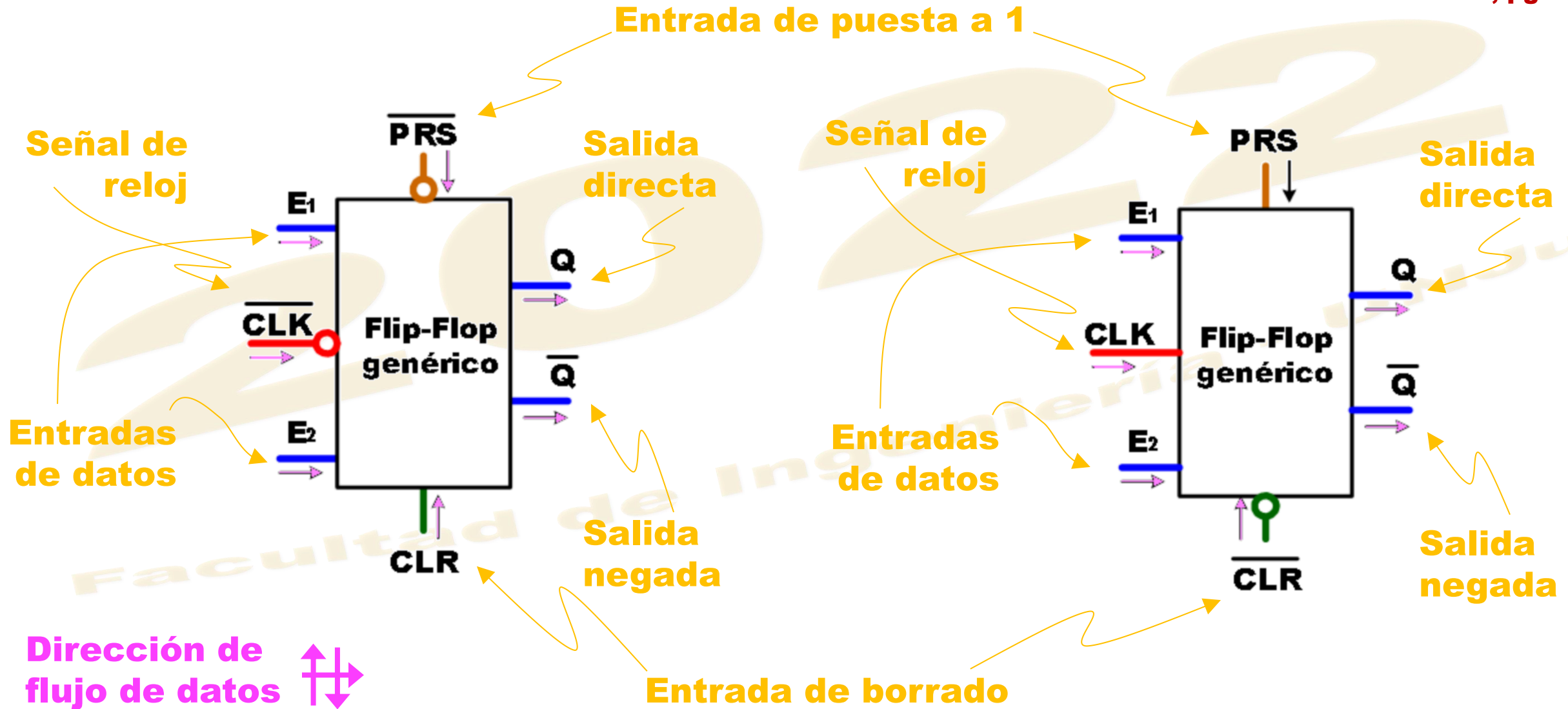
Por evolución de estados { Asincrónicos (latches)
Sincrónicos (flip - flops)

Por tipo { R - S (Reset - Set)
J - K
T (Toggle)
D (Delay)
M - S (Master - Slave)

Por disparo { Nivel
Flanco
Pulso

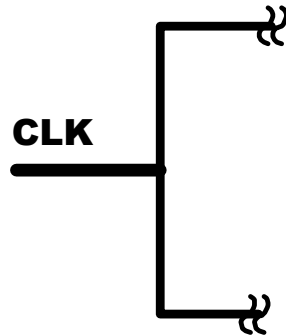
Esquema general (a nivel de bloque)

Mano, pg. 172
Tocci, pg. 233

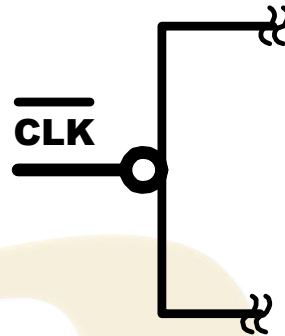


Convención de señales

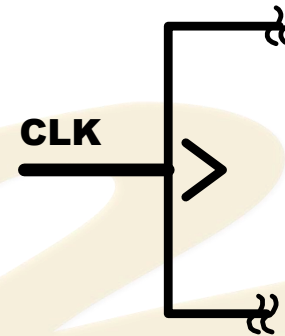
Señal de reloj



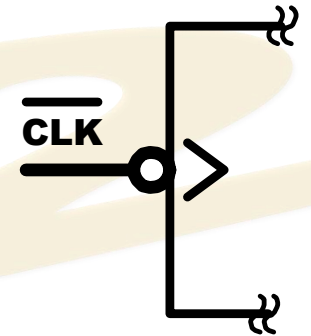
Habilitación
por nivel
alto (1)



Habilitación
por nivel
bajo (0)

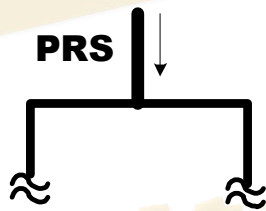


Habilitación
por flanco
ascendente

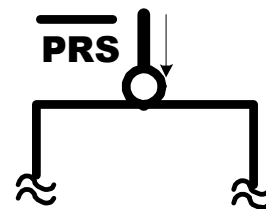


Habilitación
por flanco
descendente

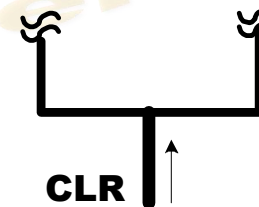
Señal de preset



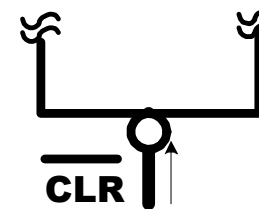
Puesta a 1
con nivel
alto (1)



Puesta a 1
con nivel
bajo (0)



Borrado
con nivel
alto (1)

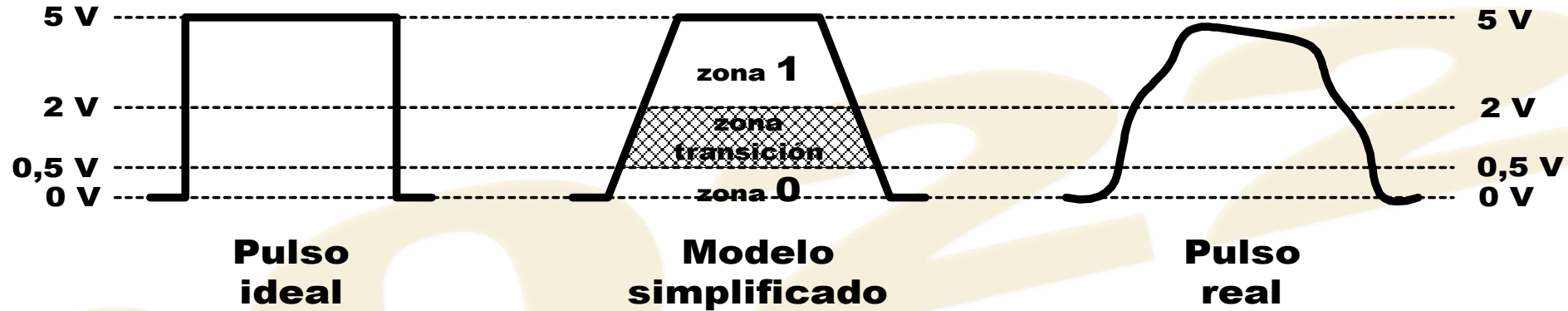


Borrado
con nivel
bajo (0)

Señal de borrado

Tipos de disparo (señales/datos)

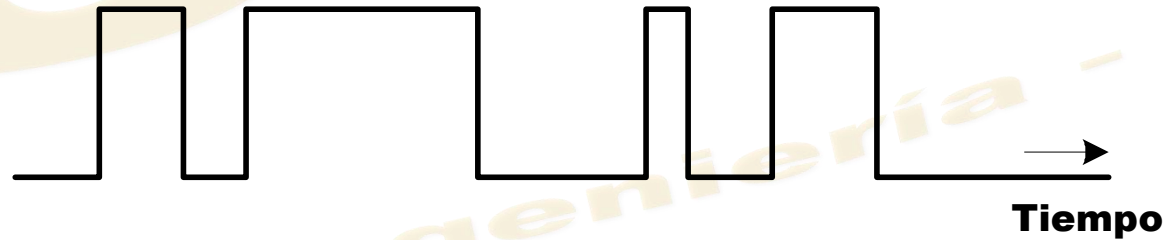
Tocci, pg. 220



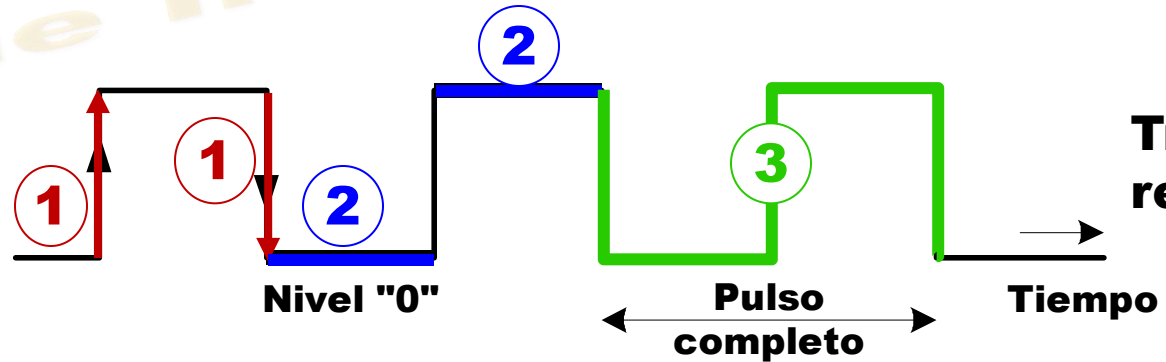
1. Disparo por flanco

2. Disparo por nivel

3. Disparo por pulso



Tren de pulsos irregulares

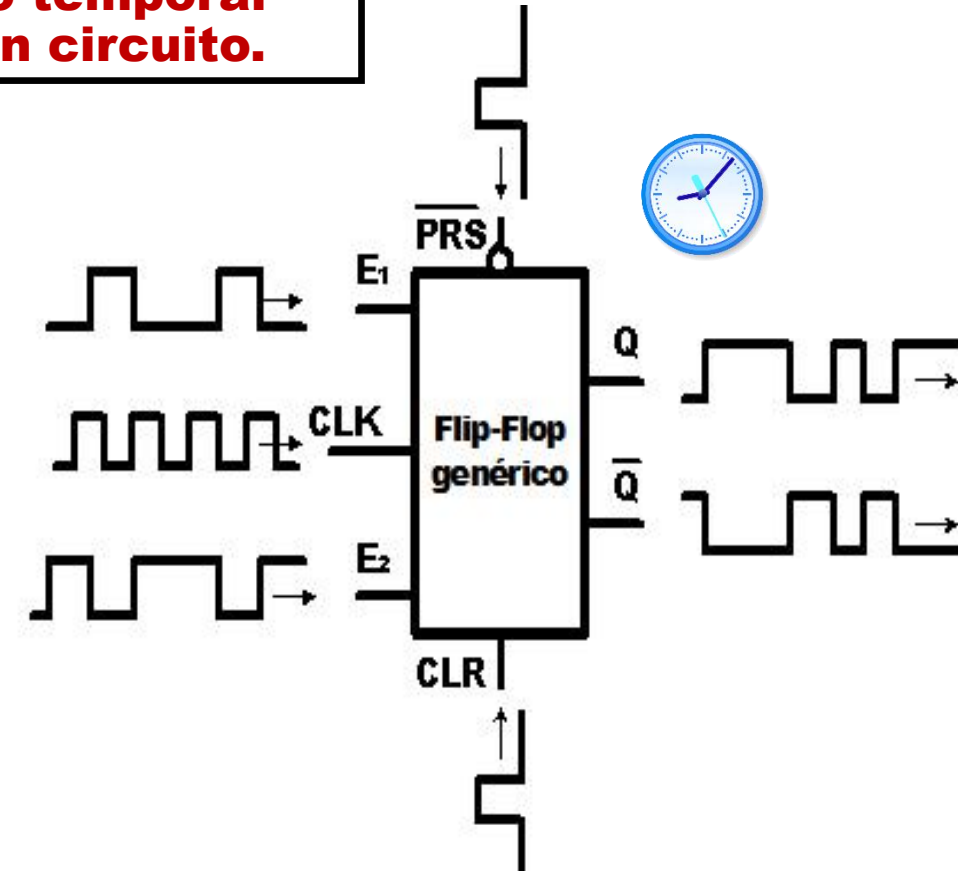
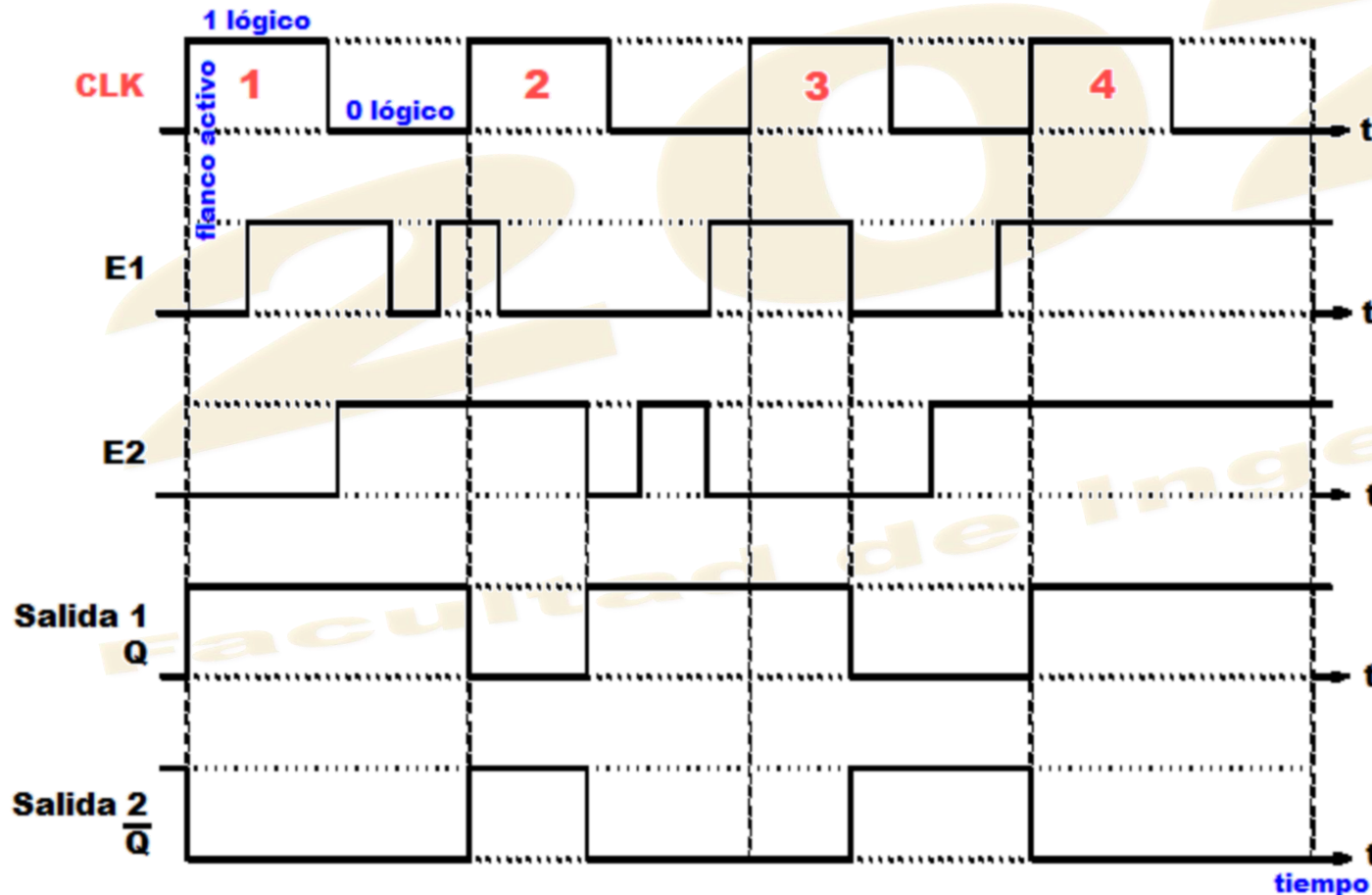


Tren de pulsos regulares

Diagramas temporales (time charts)

Es la descripción dinámica/gráfica del comportamiento temporal de las variables de entrada, internas y/o de salida de un circuito.

Es la graficación en correspondencia temporal de los pulsos de entrada, internos y salida de un circuito.



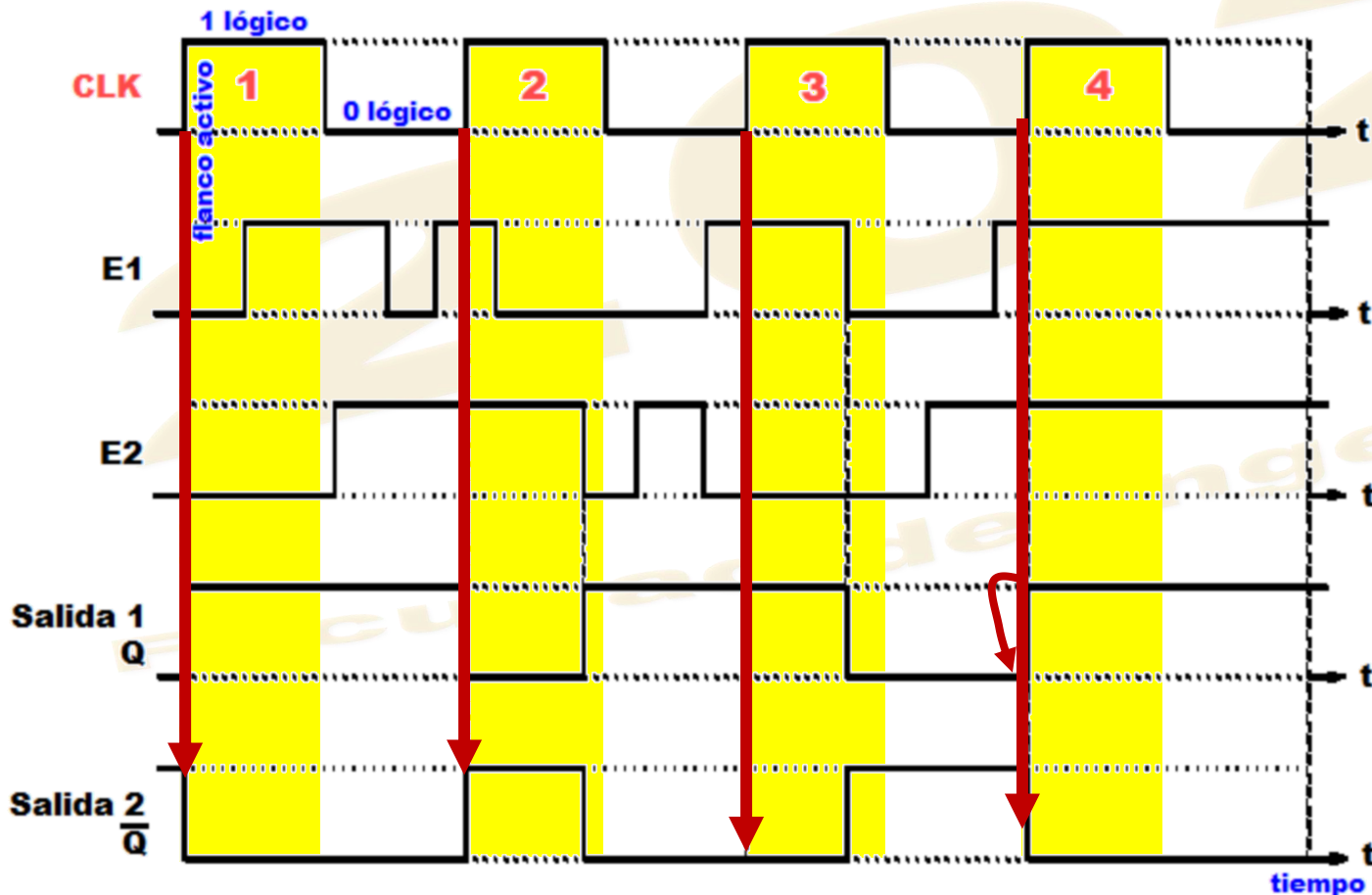
En el contexto gráfico/algebraico, los niveles de los pulsos se representan con 1 y 0 lógicos. En un contexto físico, responden a los niveles de tensión con que fueron diseñados.

Diagramas temporales

Floyd, pg. 421-428

En este curso se trabajará con pulsos ideales (flancos verticales) y compuertas sin retardo.

En el disparo por flancos sólo tienen efecto los cambios que se produzcan en el **instante** de tiempo **del flanco** (valor único).

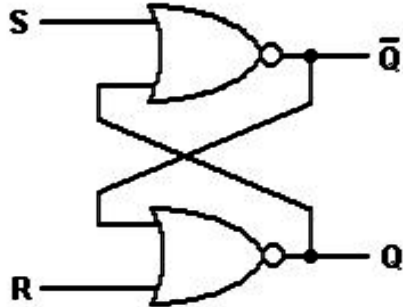


Cuando hay coincidencia entre el flanco y el dato, considerar el valor del dato un **infinitésimo anterior**.

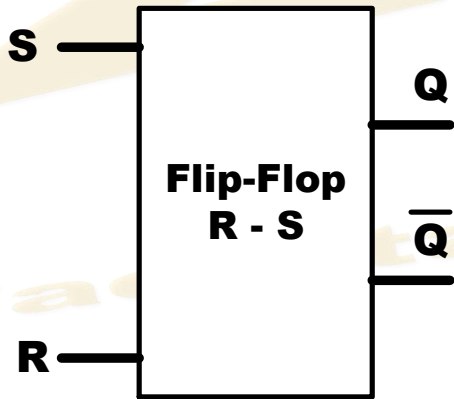
En el disparo por nivel, **todas** las variaciones que se produzcan en éste, **deben ser consideradas**.

Generalmente el comportamiento del CLK y las entradas es **conocido**. Luego, las salidas se trazan conociendo la **ecuación** o el **comportamiento deseado** del circuito.

Flip-flop R-S CON NOR



Con NOR
(esquema básico asincrónico)



Bloque

S	R	Q ₋₁	Q ₀
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

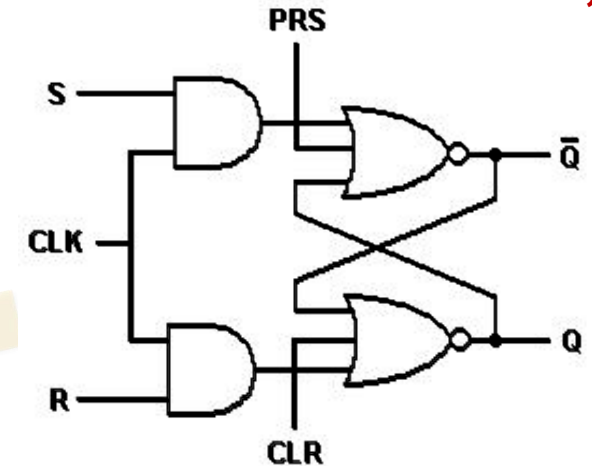
Ecuación característica

$$Q_0 = S + \bar{R} \cdot Q_{-1}$$

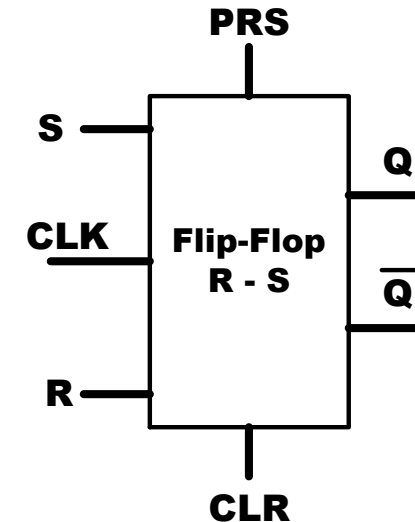
S	R	Q ₀
0	0	Q ₋₁
0	1	0
1	0	1
1	1	X

Tabla reducida

Floyd, pg. 412-419; Mano, pg. 169;
Tocci, pg. 224

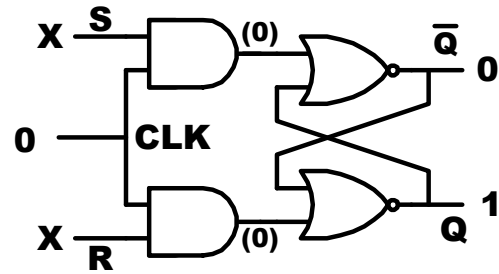


**Con entradas adicionales
CLK - PRS - CLR**

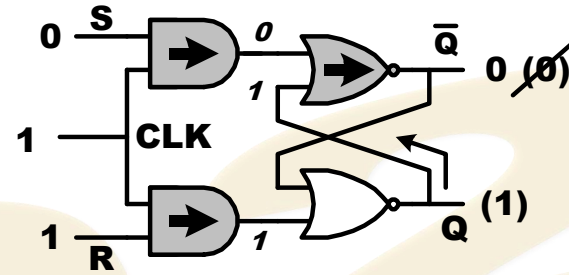


Bloque

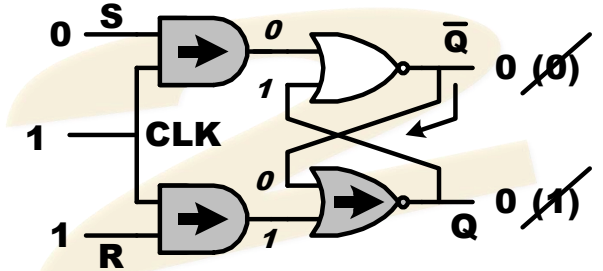
Flip-flop R-S → evolución



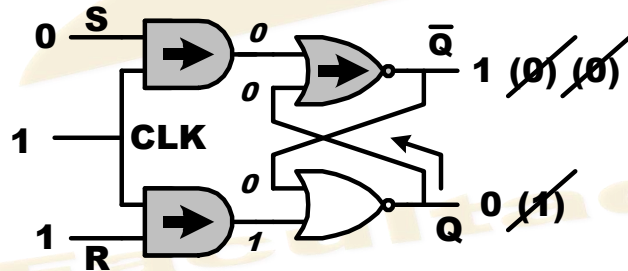
Estado inicial
CLK no habilita
Entradas no importa
Salidas [1 ; 0]



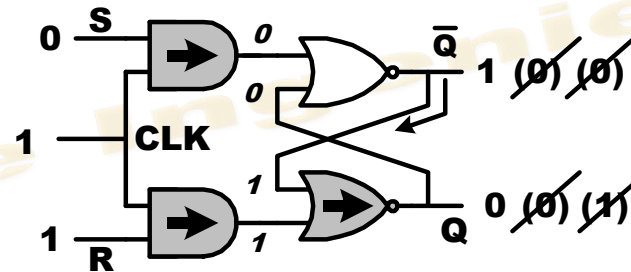
CLK habilita
Entradas S=0 R=1
Conduce NOR superior
y reemplaza salida (0)



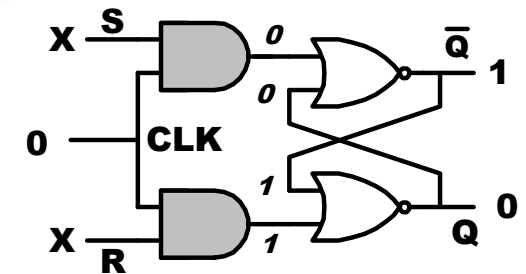
CLK habilita
Entradas S=0 R=1
Conduce NOR inferior
y reemplaza salida (1)



CLK habilita
Entradas S=0 R=1
De nuevo NOR superior
y reemplaza salida (0)



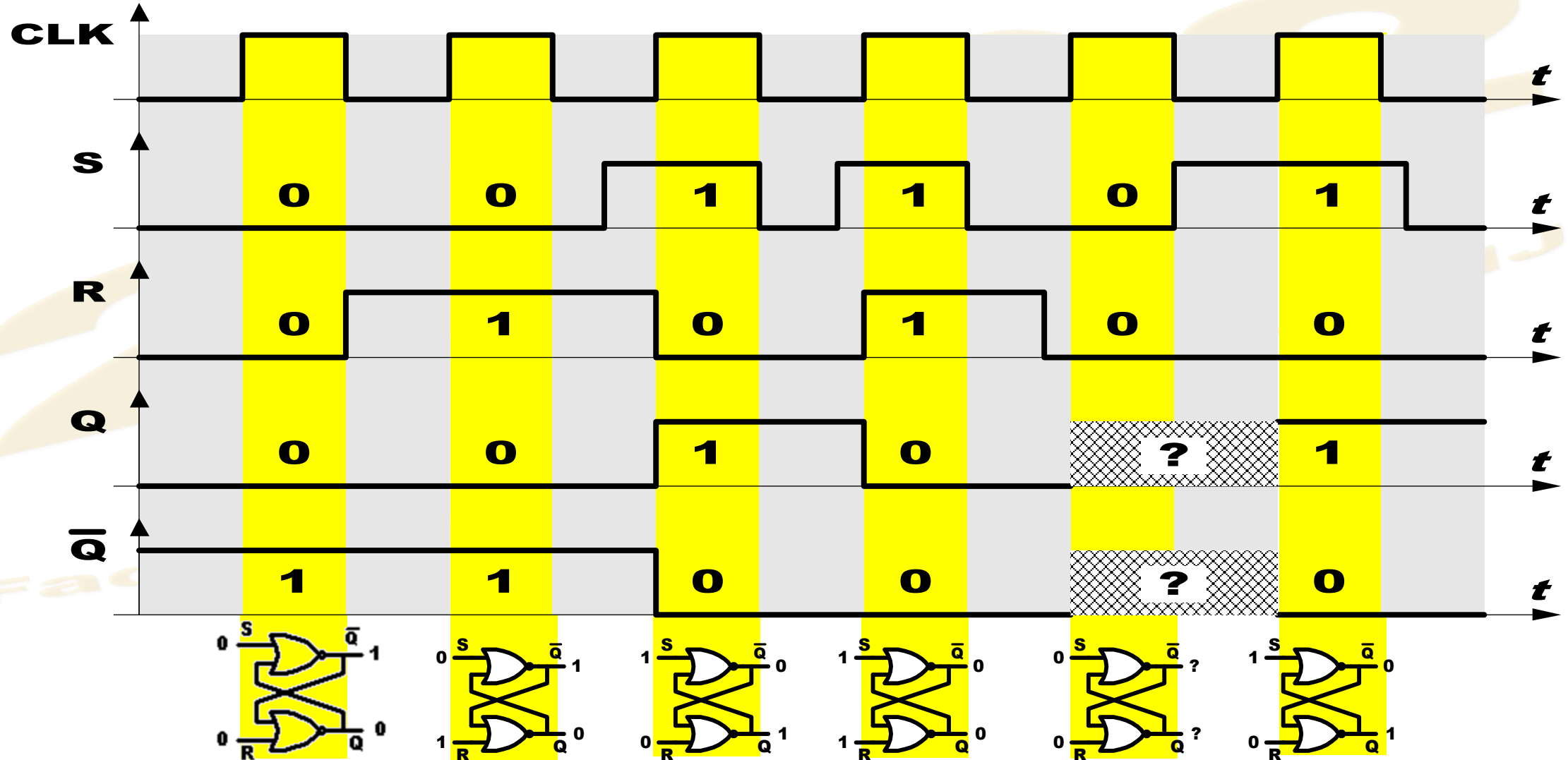
CLK habilita
Entradas S=0 R=1
De nuevo NOR inferior
y reemplaza salida (0)



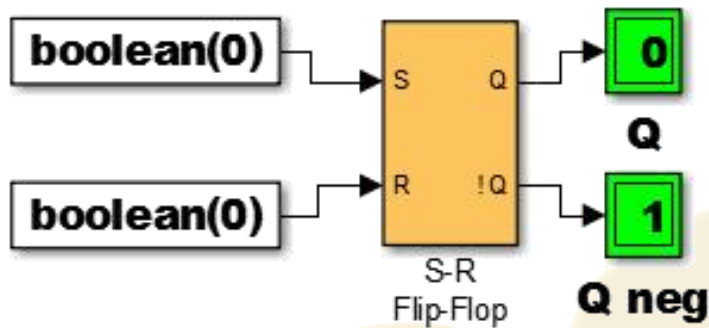
Flip-flop estabilizado
CLK no habilita
Entradas no importa
Salida final [0 ; 1]

Flip-flop R-S → estados prohibidos

Activación por nivel alto (señal de habilitación no dibujada)

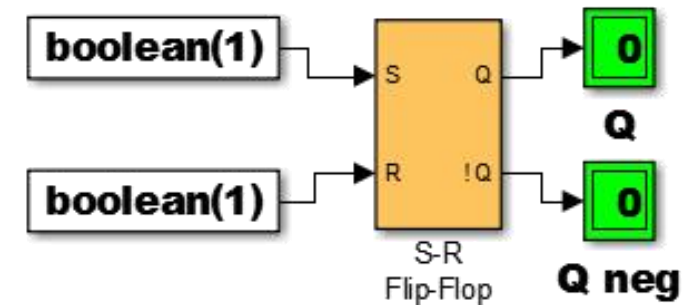
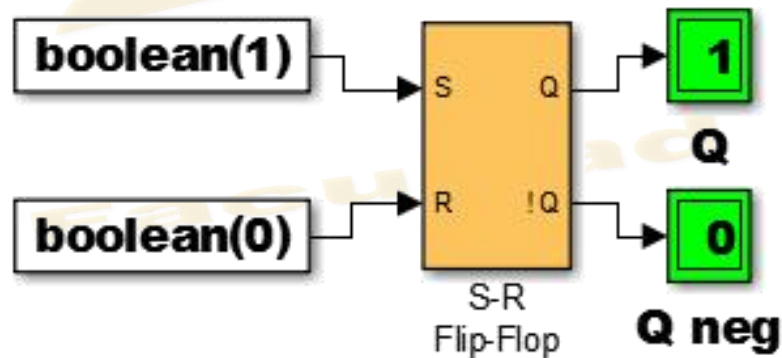
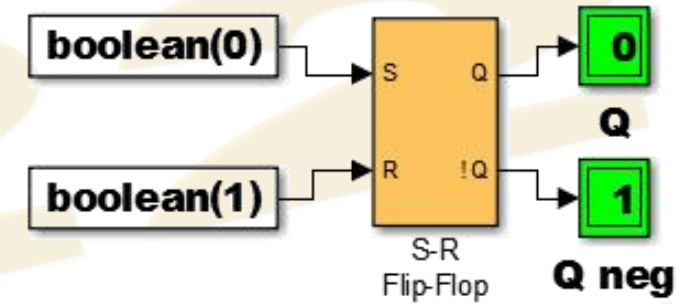


Flip-flop R-S CON NOR - simulación en Matlab

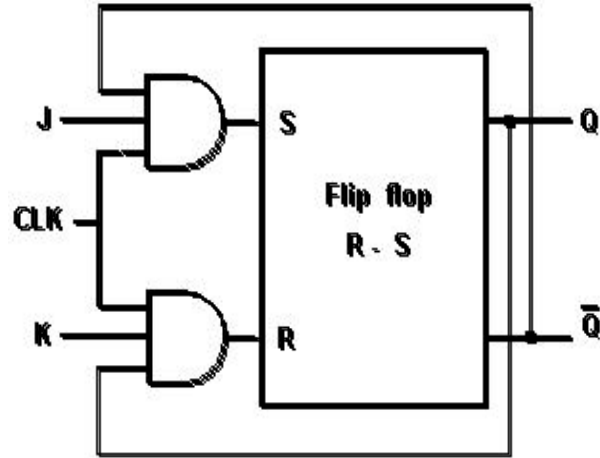


S	R	Q ₀
0	0	Q ₋₁
0	1	0
1	0	1
1	1	X

Tabla reducida



Flip-flop J - K



Implementación a partir de flip-flop R-S

T. V. reducida

J	K	Q ₀
0	0	Q ₋₁
0	1	0
1	0	1
1	1	Q ₋₁

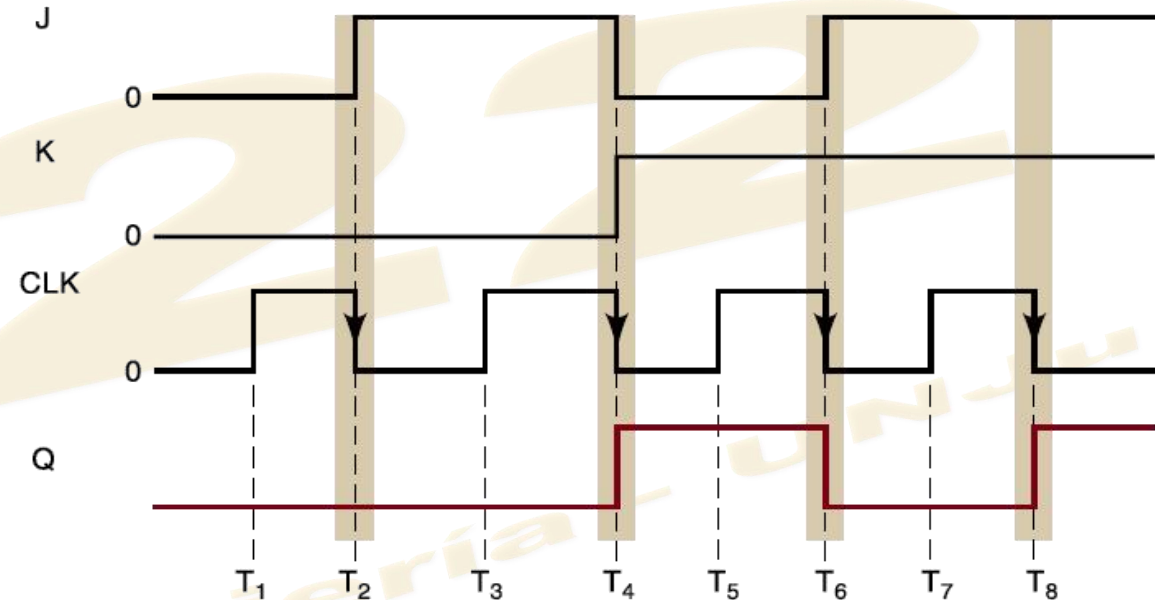
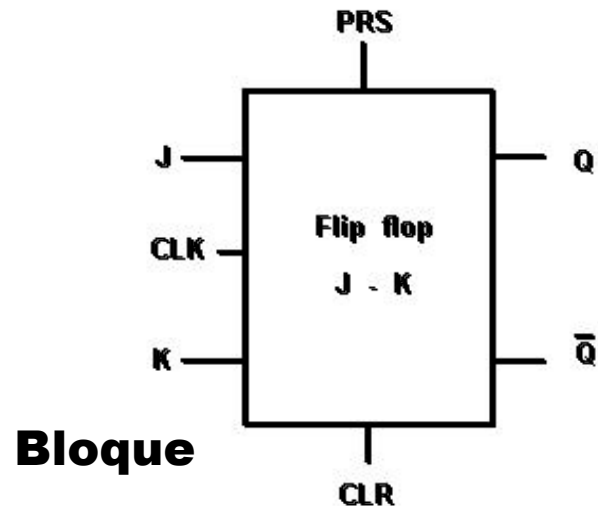


Diagrama temporal de flip-flop J-K activado con flancos negativos del CLK



Bloque

Ecuación característica

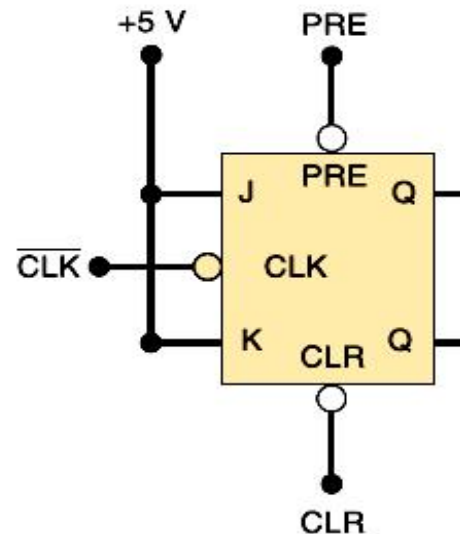
$$Q_0 = J \cdot \bar{Q}_{-1} + \bar{K} \cdot Q_{-1}$$

Flip-flop J - K

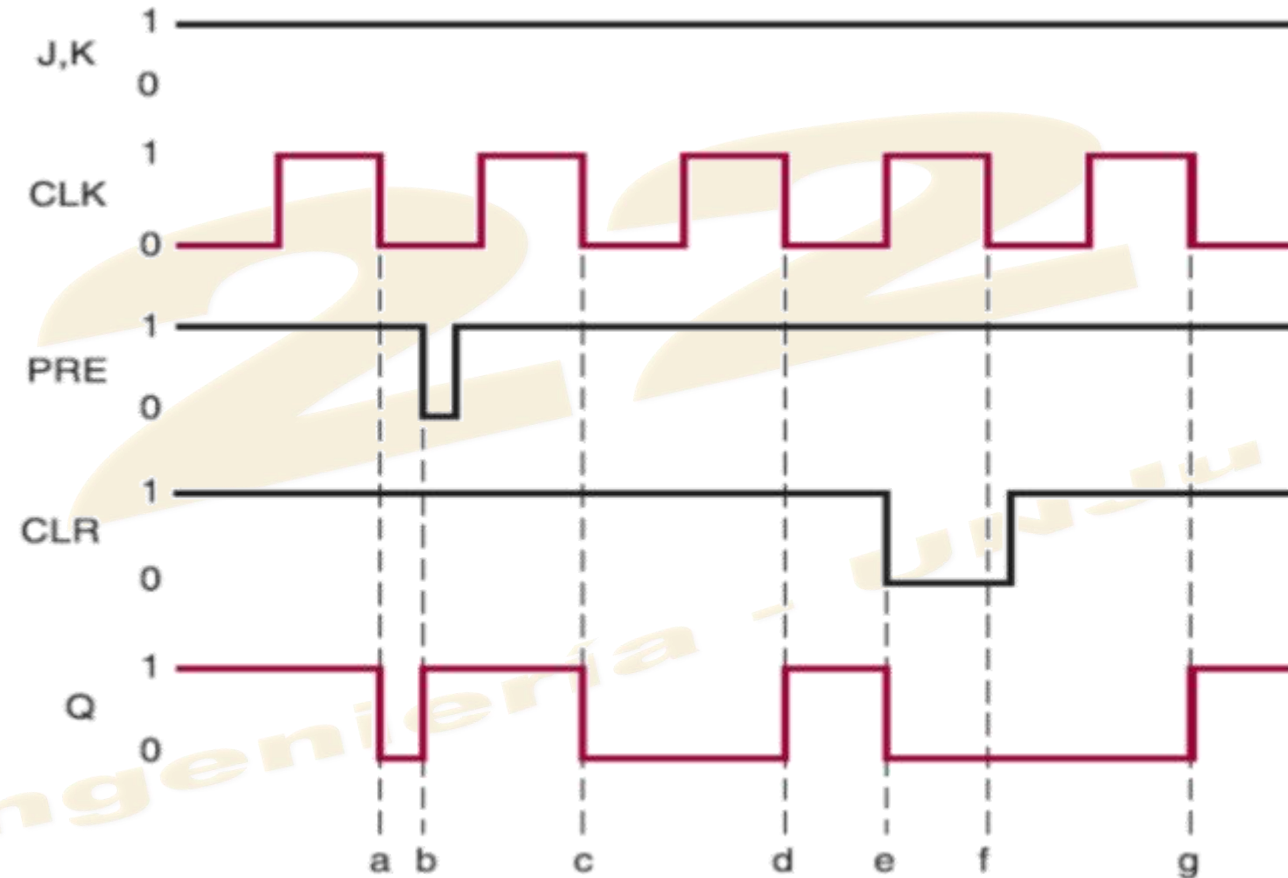
J	K	Q_0
0	0	Q_{-1}
0	1	0
1	0	1
1	1	$\overline{Q_{-1}}$

T.V. reducida

Configurado como
flip-flop tipo T



Respuesta del
flip-flop J-K
a las señales
asíncronas
PRS y CLR.
Disparado por
nivel bajo.

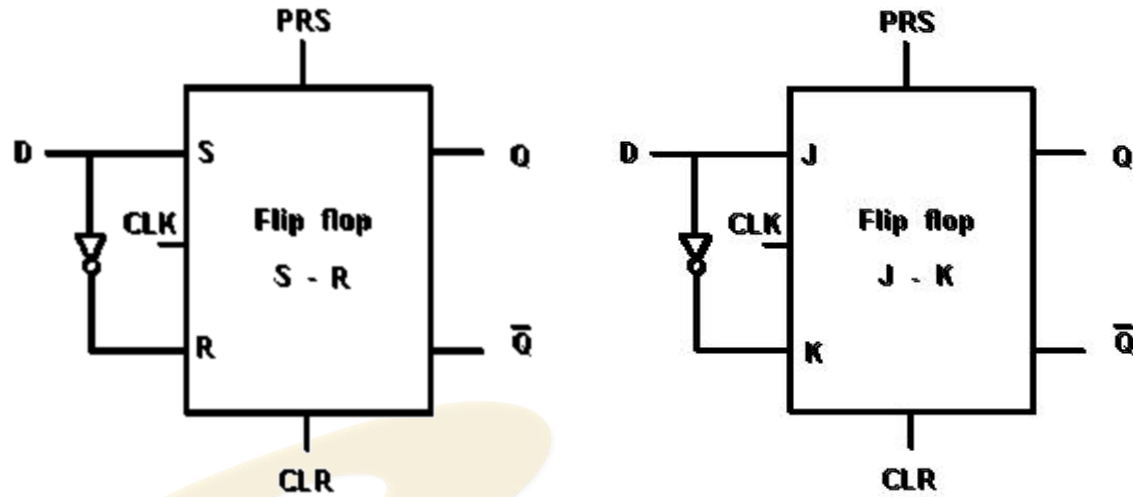


Punto	Operación
a	Conmutación síncrona en NGT de \overline{CLK}
b	SET asíncrona en $\overline{PRE} = 0$
c	Conmutación síncrona
d	Conmutación síncrona

Punto	Operación
e	CLEAR asíncrona en $\overline{CLR} = 0$
f	\overline{CLR} predomina sobre la NGT de \overline{CLK}
g	Conmutación síncrona

Flip-flop D (Delay)

Floyd, pg. 424; Mano, pg. 171; Tocci, pg. 230



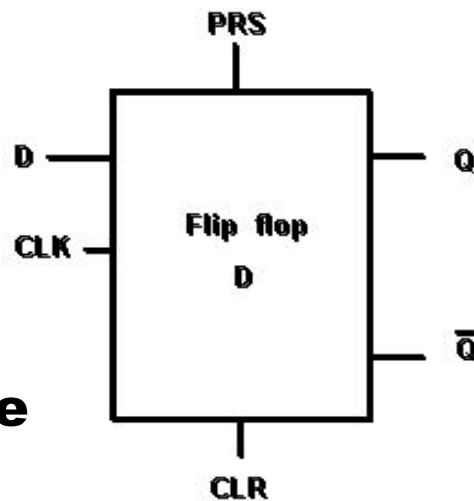
Implementación basada en flip-flops S-R y J-K

Tabla de verdad

D	Q ₋₁	Q ₀
0	0	0
0	1	0
1	0	1
1	1	1

D	Q ₀
0	0
1	1

Tabla reducida



Bloque

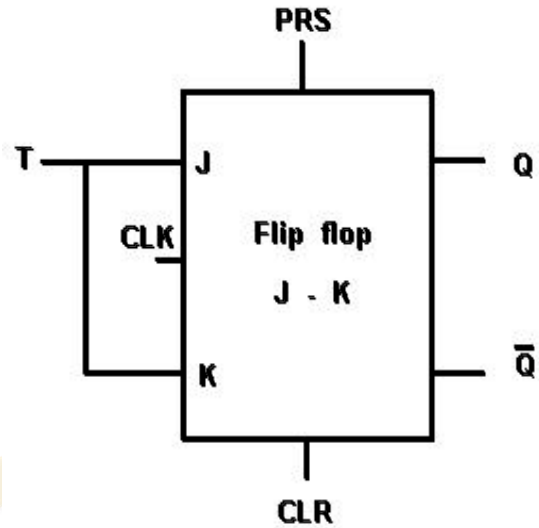
Ecuación característica

$$Q_0 = D$$

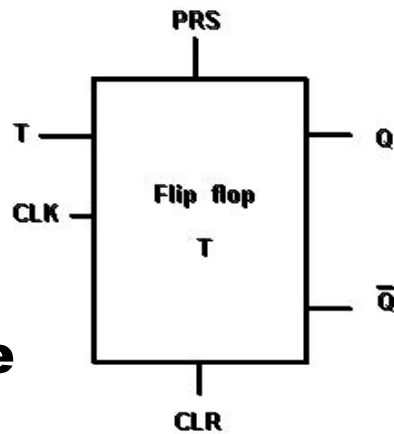
Un flip-flops S-R puede utilizarse para esta configuración pues **no es posible** ingresar el estado prohibido.

Flip-flop T (Toggle)

Mano, pg. 176



Implementación a partir de flip-flop J-K



Bloque

Tabla de verdad

T	Q ₋₁	Q ₀
0	0	0
0	1	1
1	0	1
1	1	0

T	Q ₀
0	Q ₋₁
1	$\overline{Q_{-1}}$

Tabla reducida

Ecuación característica

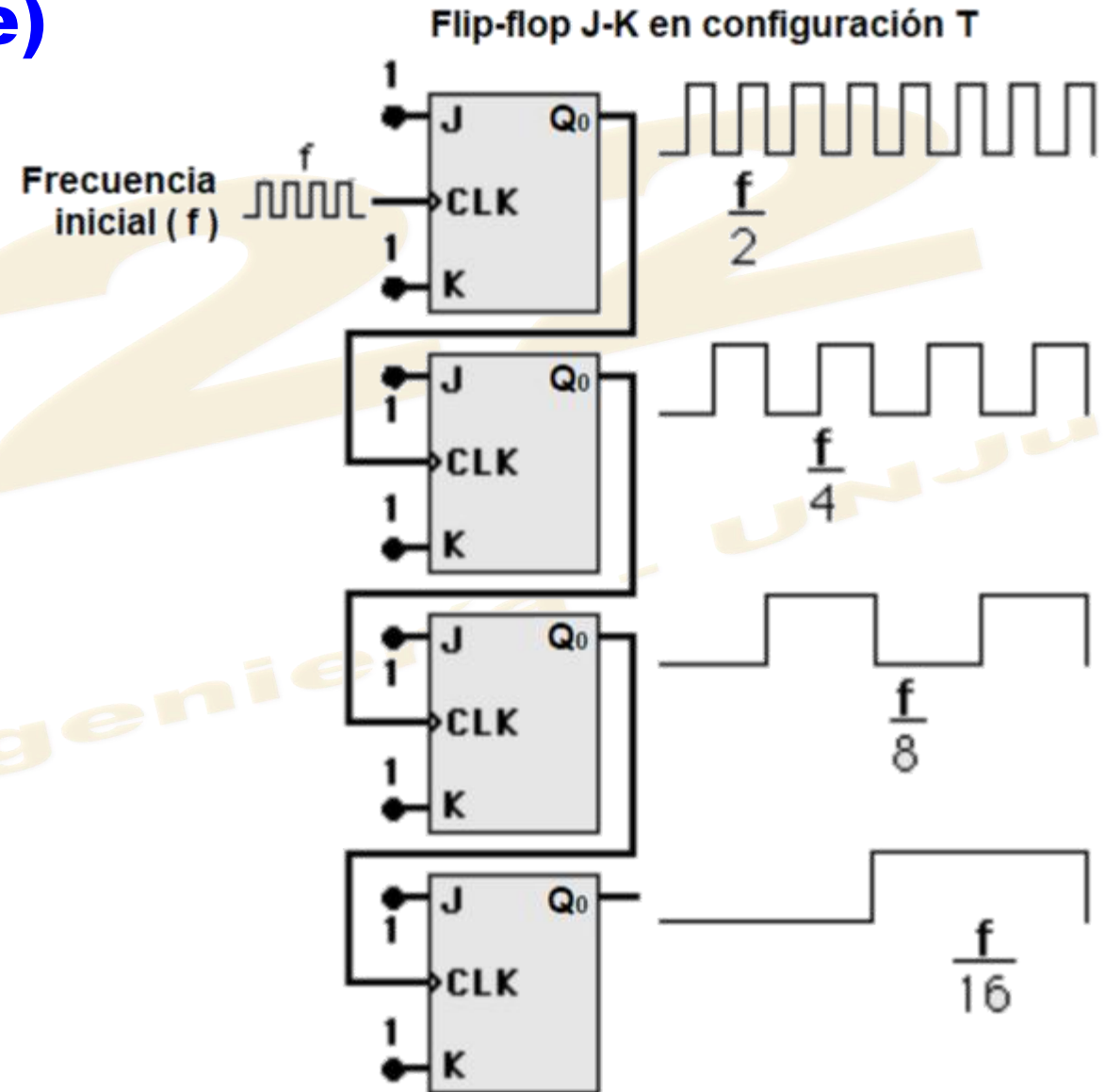
$$Q_0 = T \cdot \overline{Q_{-1}} + \overline{T} \cdot Q_{-1}$$

Un flip-flops S-R NO puede utilizarse para esta configuración.

Ejemplo con flip-flop T (Toggle)

Divisor de frecuencias

Un **divisor de frecuencia** se puede construir con **flip-flops tipo T** (o J-K en configuración T) tomando la salida de una celda como la entrada de clock de la siguiente. Las entradas J y K de cada flip-flop se conectan a **1 (alta)**, para producir una conmutación con cada ciclo del clock de entrada.

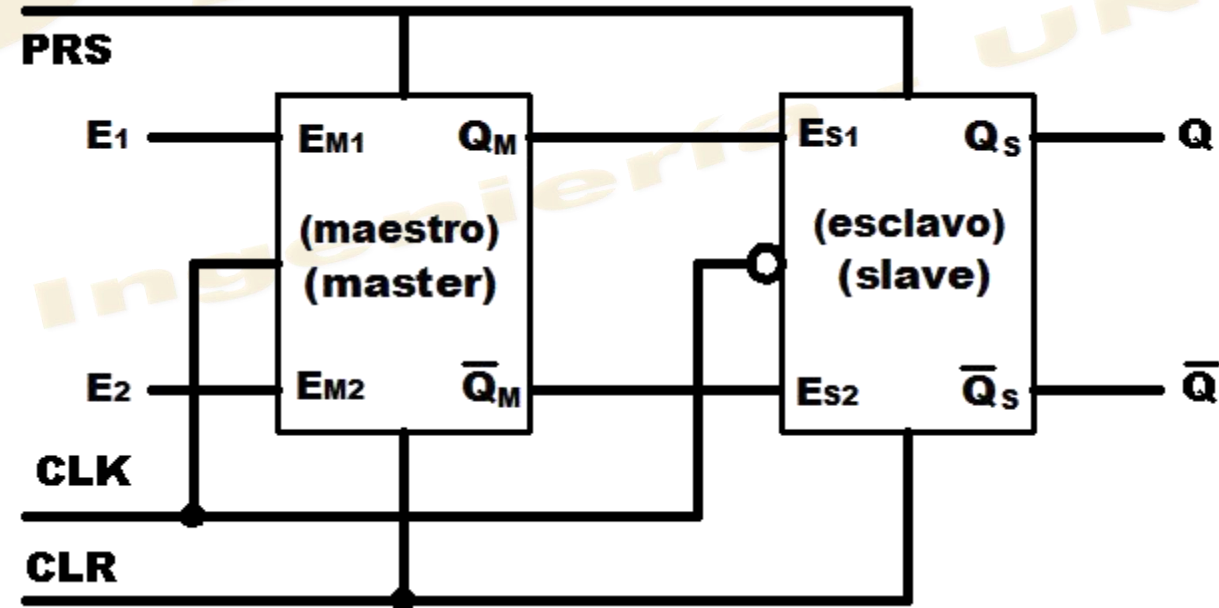


Flip-flop M-S (Master - Slave)

Brown, pg. 389

Se compone de 2 secciones. La primera (**master**) se habilita con **CLK directo** (ó negado), por nivel o flanco. La segunda (**slave**) con **CLK complementario**. El dato de entrada requiere de dos niveles o flancos para llegar a la salida, en total requiere de un **pulso completo**. Puede almacenar un dato intermedio (en el master) y mantener el dato anterior (en el slave).

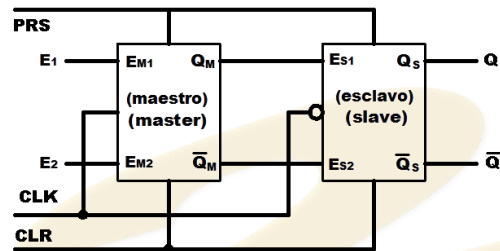
Las entradas de Preset y Clear, actúan cada una, sobre las dos secciones simultáneamente.



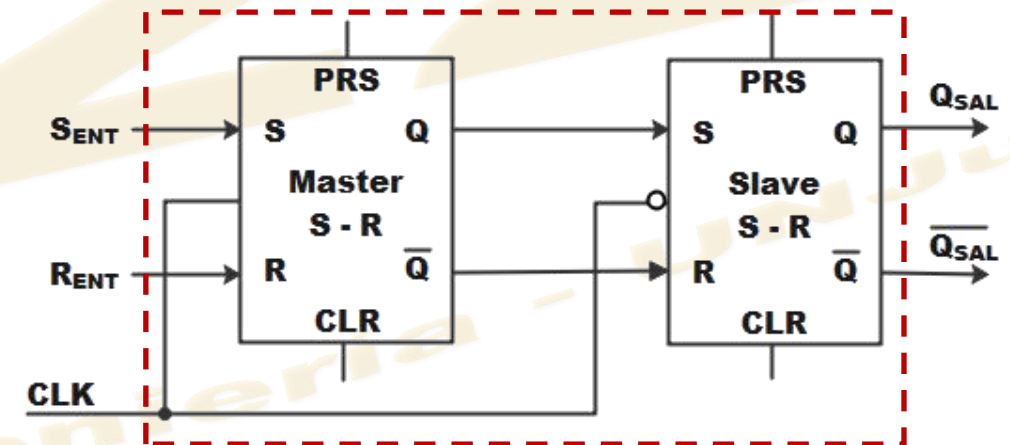
Flip-flop M-S - Formato R - S

Se compone de dos secciones, siendo la primera de tipo R-S y la segunda del mismo tipo o cualquier otra que pueda almacenar un dato sin modificarlo. El conjunto se comporta como un flip-flop tipo R-S disparado por **pulso**. Se puede configurar con diferentes variantes:

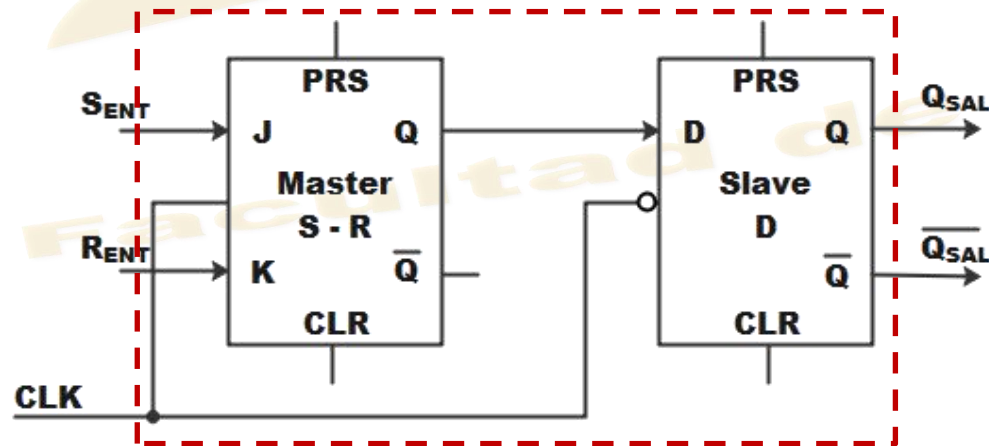
M-S GENÉRICO



Ambas secciones
tipo S-R



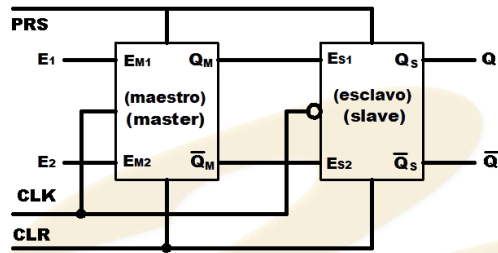
Master tipo S-R y
Slave tipo D



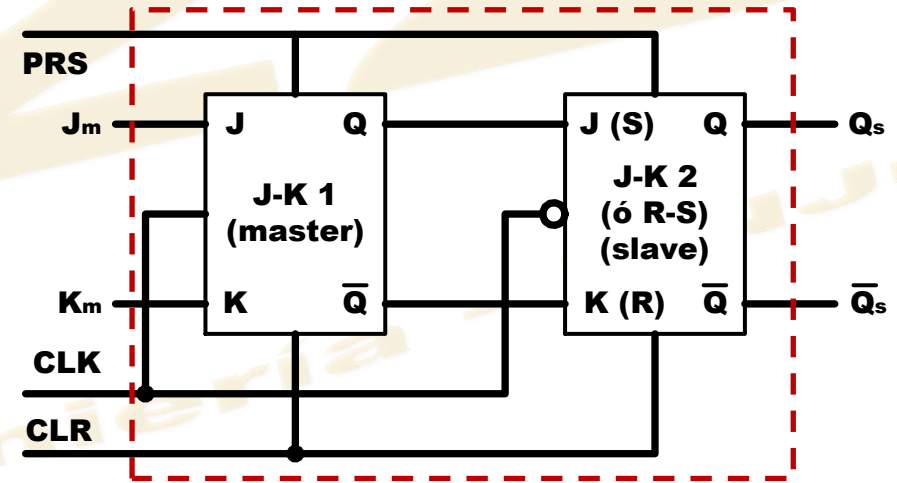
Flip-flop M-S - Formato J-K

Se compone de dos secciones, siendo la primera de tipo J-K y la segunda del mismo tipo o cualquier otra que pueda almacenar un dato sin modificarlo. El conjunto se comporta como un flip-flop tipo J-K disparado por **pulso**. Se puede configurar con diferentes variantes:

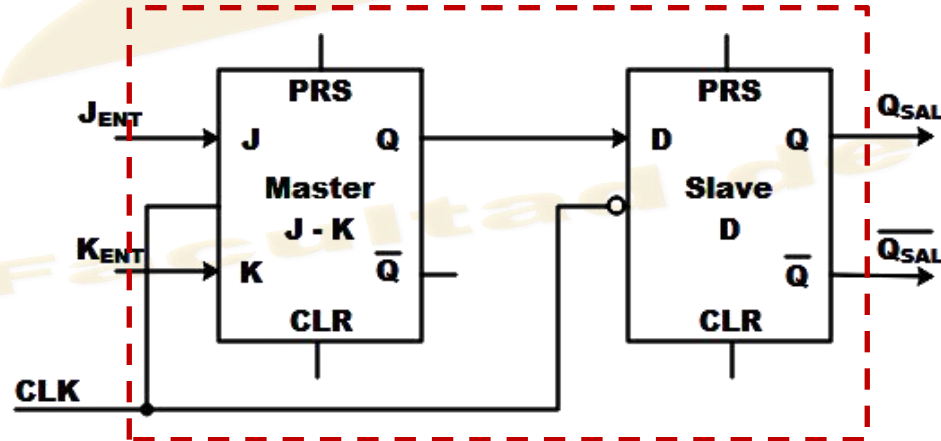
M-S GENÉRICO



Master tipo J-K y
Slave tipo J-K o S-R



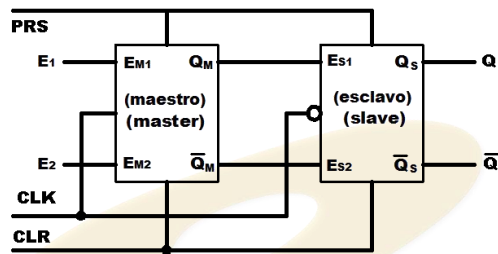
Master tipo J-K y
Slave tipo D



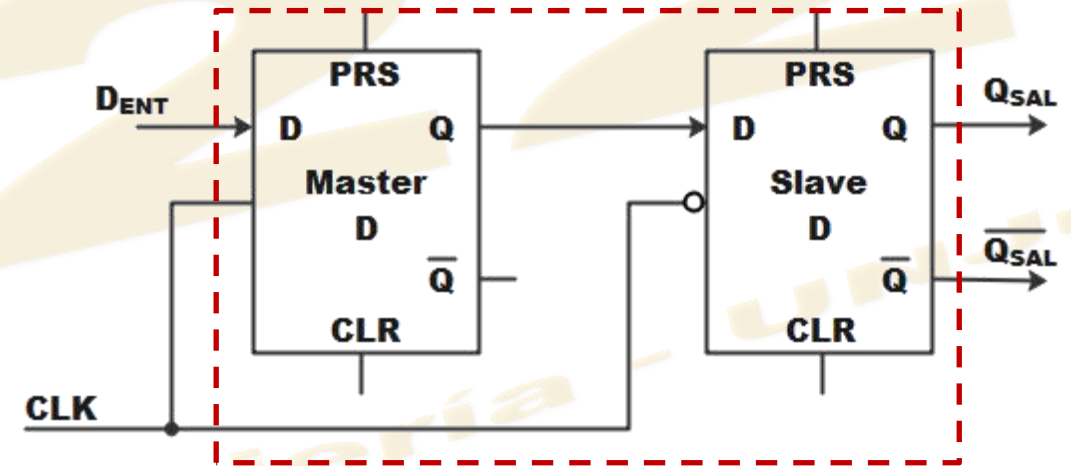
Flip-flop M-S - Formato D

La primera sección (master) siempre es D; la segunda sección puede ser D o J-K. El conjunto se comporta como un flip-flop tipo D disparado por **pulso**.

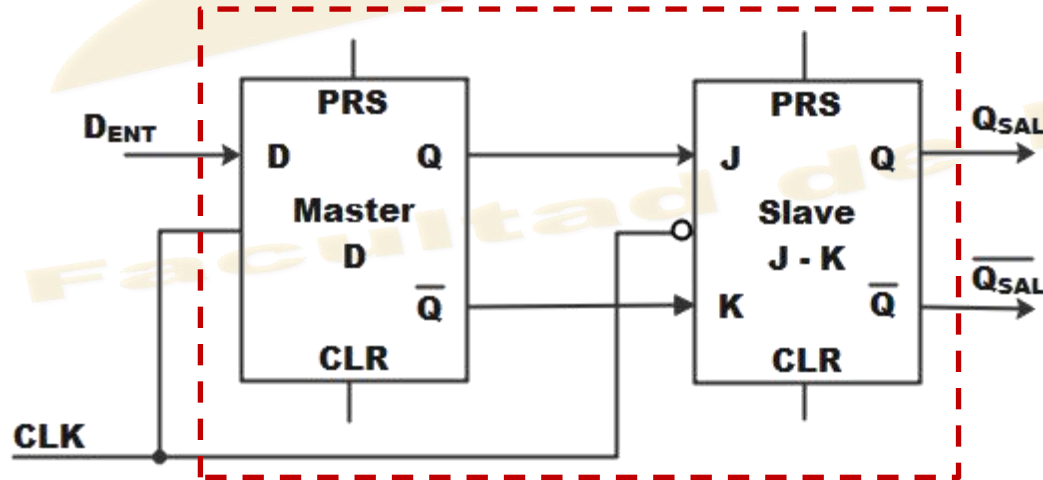
M-S GENÉRICO

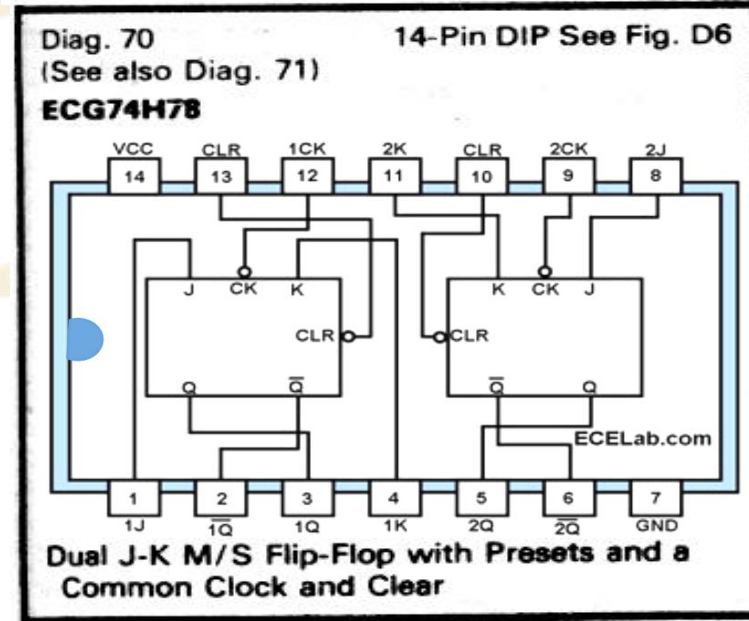
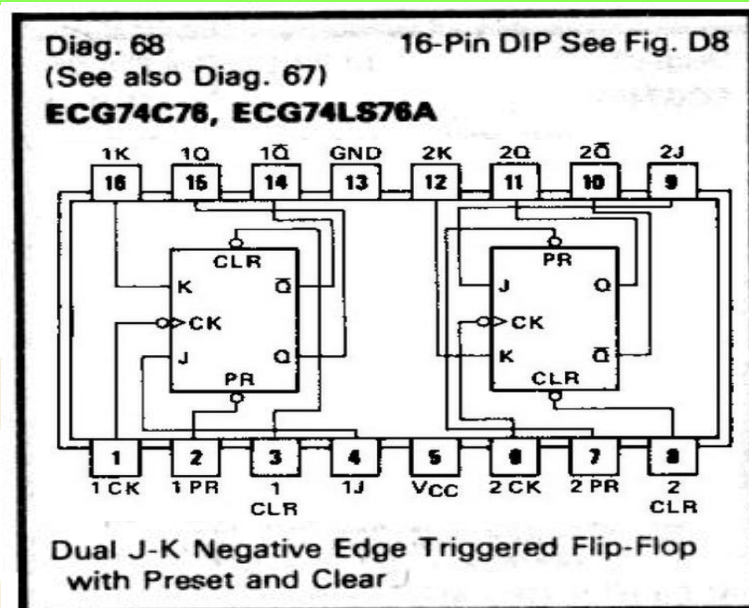
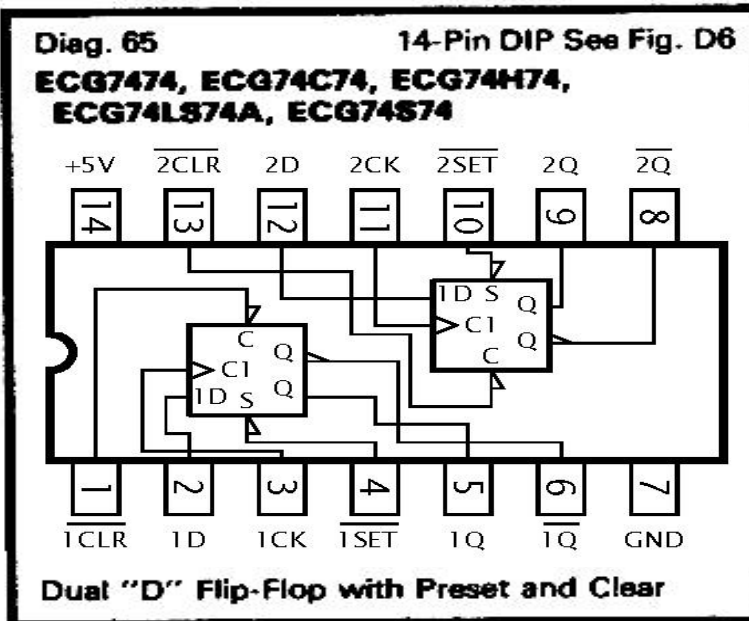
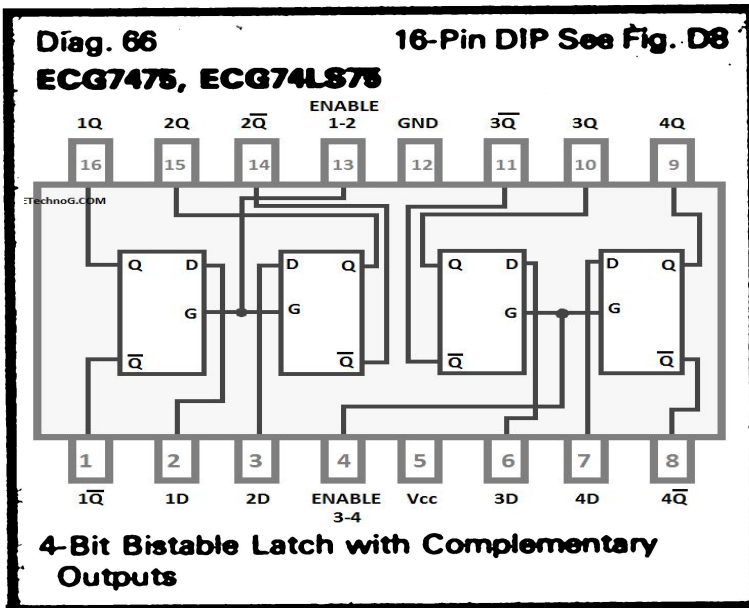


**Ambas secciones
tipo D**

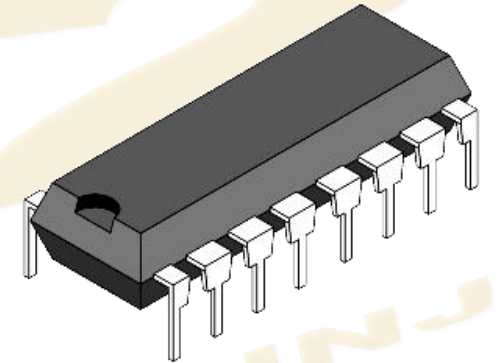


**Master tipo D y
Slave tipo J-K
(en configuración D)**

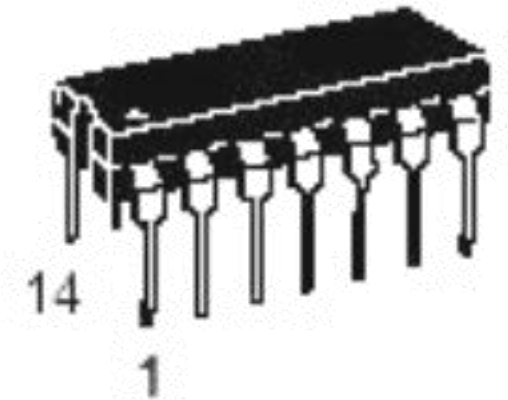




FLIP-FLOPS INTEGRADOS



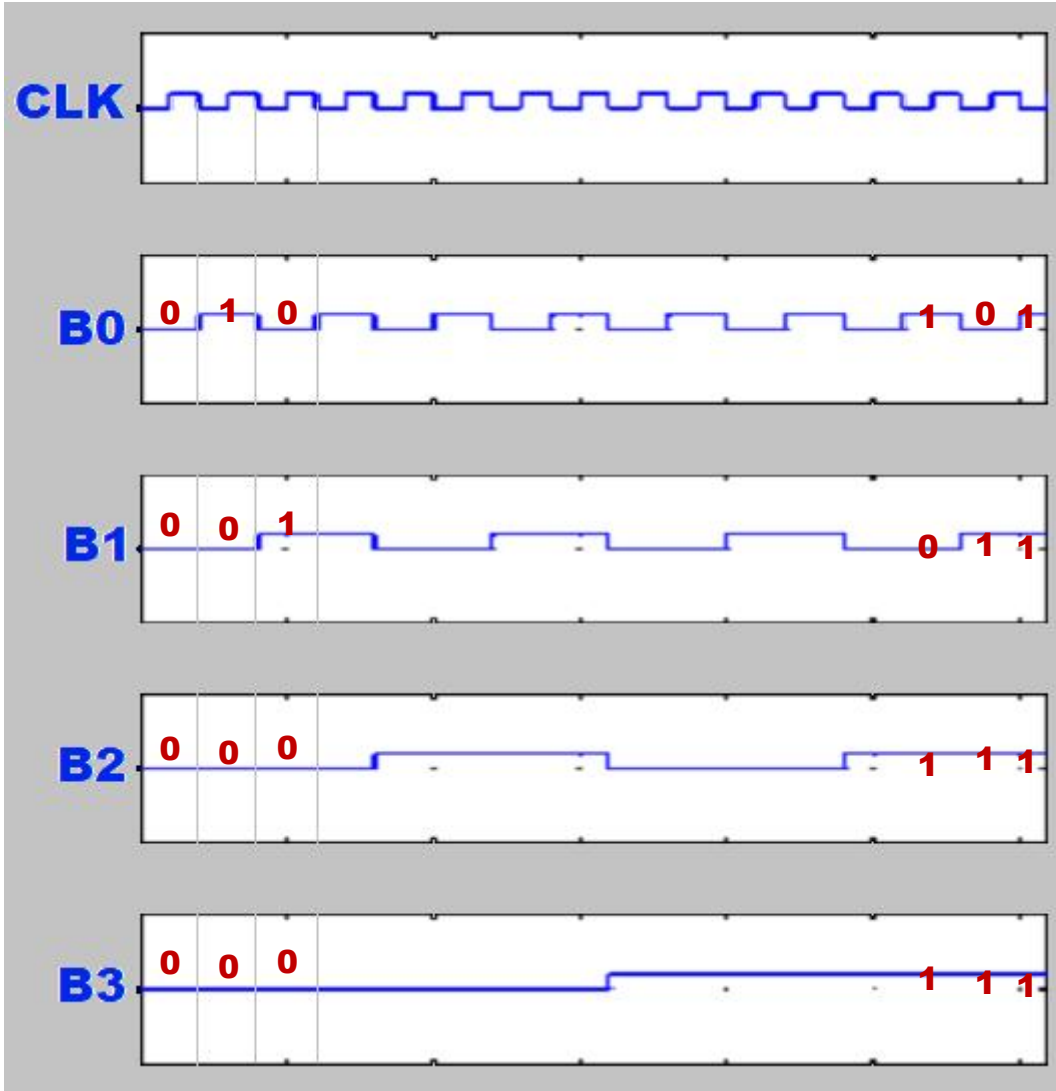
16 DIP



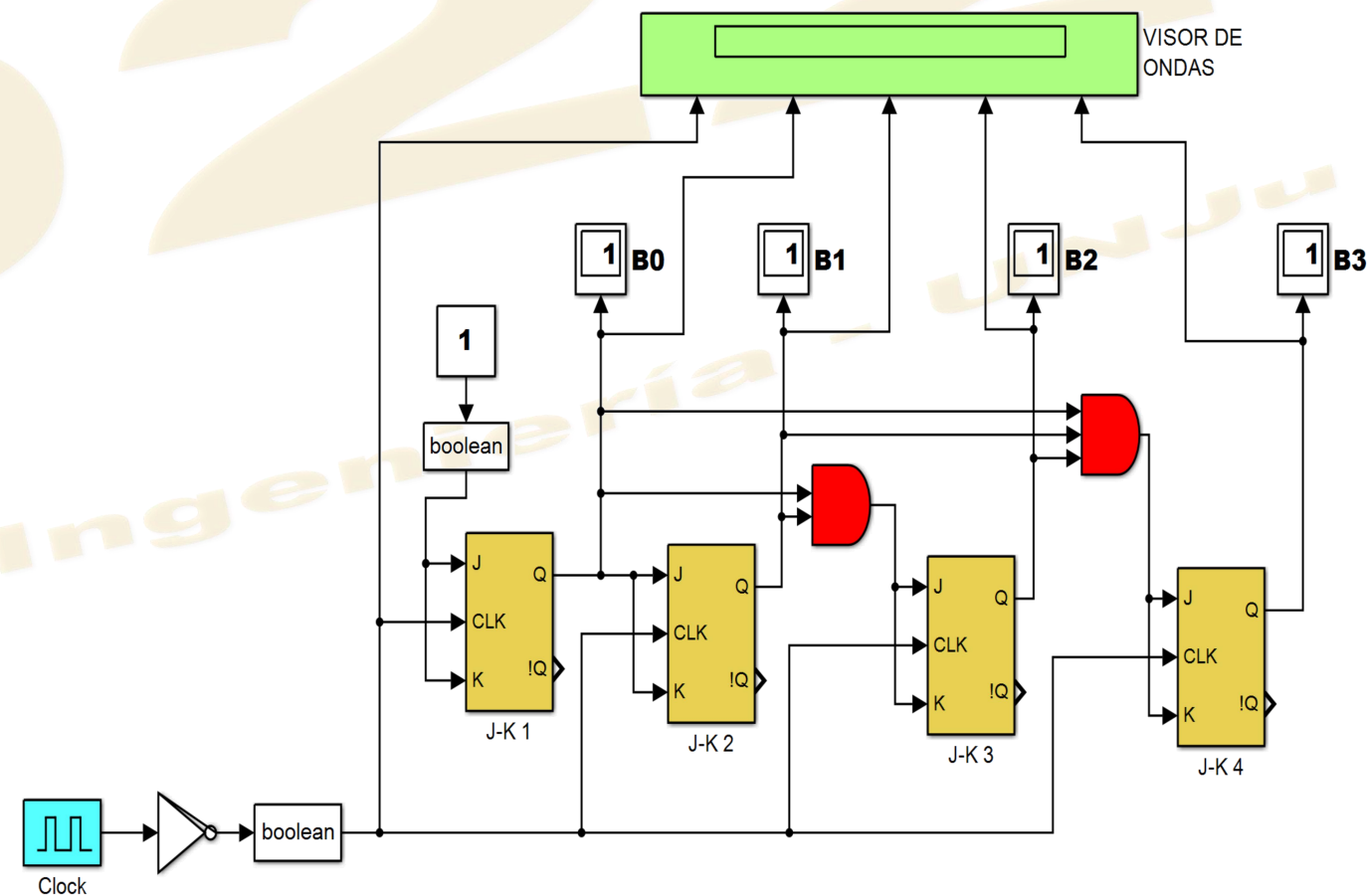
14 DIP

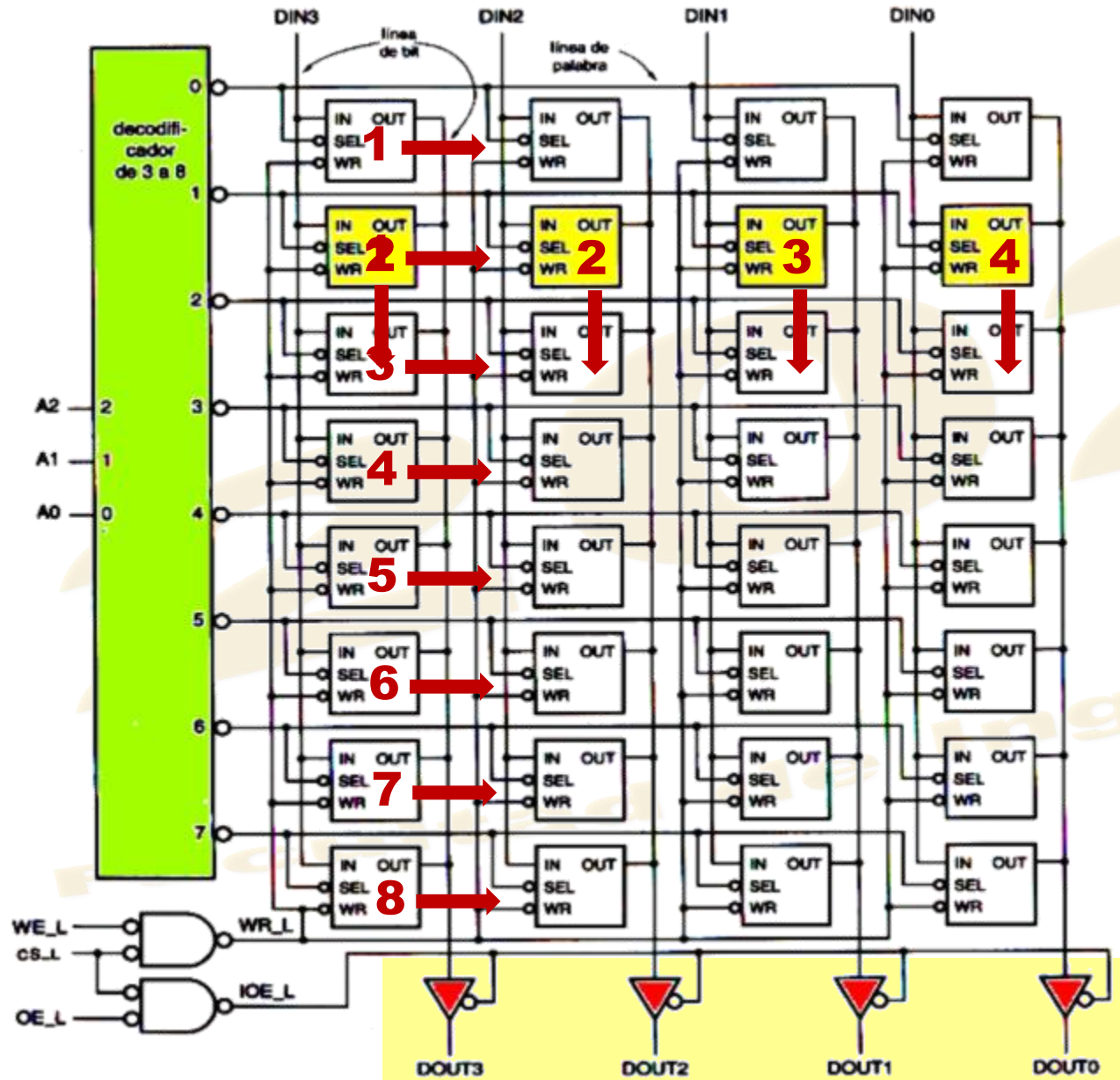
Ej. Generador de código binario natural en 4 bits

Flip-flops J-K activados con flanco negativo (descendente) y configurados como flip-flops tipo T.



Simulación Matlab





Ejemplo:

- Memoria RAM estática.
- 8 registros x 4 bits/registro.
- Configuración con flip-flops tipo D.
- Salida controlada con compuertas tri-state.

- **Constituyen la base de la memoria computacional.**
- **Se aplican a cualquier estructura combinacional o secuencial que requiera almacenamiento de datos.**
- **Permiten la implementación de registros, buffers y contadores.**
- **Configuran registros de paso para alimentar otros circuitos.**
- **Como circuitos integrados, configuran memoria RAM de distintas capacidades.**