



# LABORATORIO DE COMPUTADORAS

## TEMA: ARQUITECTURA

**TP**  
**04**

**APELLIDO Y NOMBRE:**  
**CARRERA:**

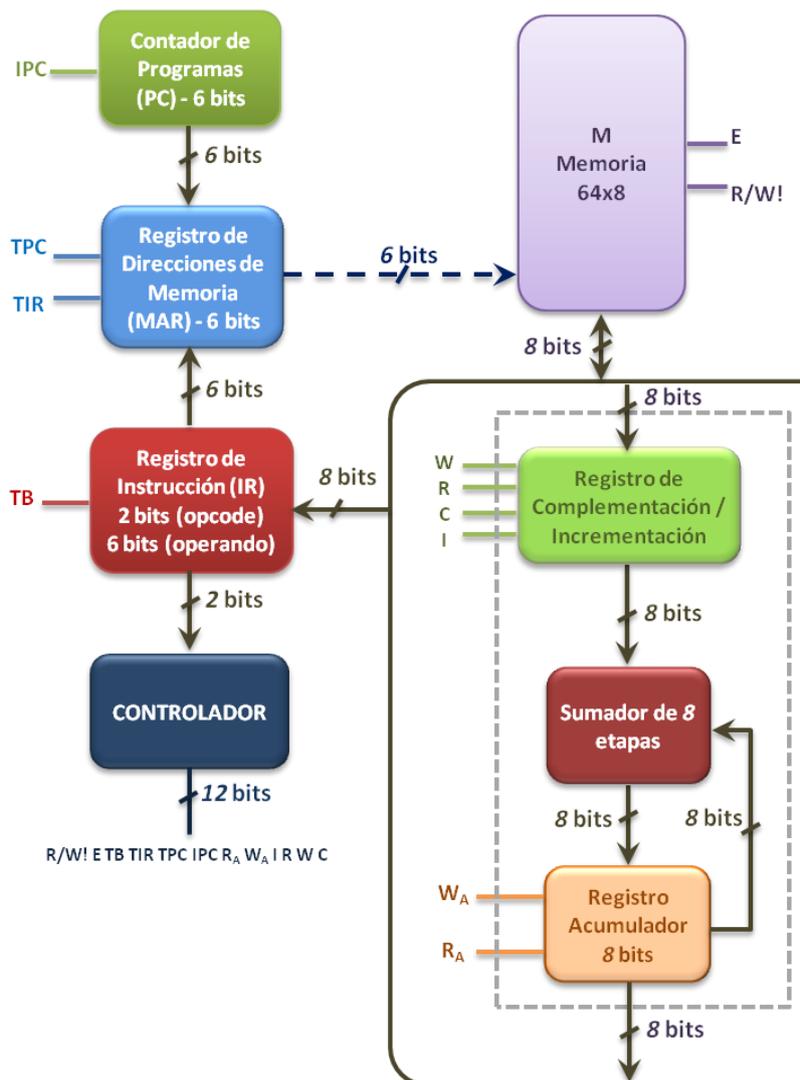
**LU:**  
**FECHA:**

### CONCEPTOS

- Considerando la arquitectura de la computadora sencilla, indique la longitud de sus registros, número de instrucciones, cantidad de palabras de memoria y las microoperaciones que es capaz de realizar.
- Describa el funcionamiento interno de la arquitectura básica o mejorada, e indique todas las microoperaciones que se pueden realizar. Ejemplifique el uso de las microoperaciones ROR y ROL.
- Describa la secuencia de microinstrucciones correspondientes al ciclo de búsqueda de la arquitectura mejorada. ¿Pueden dos instrucciones diferentes tener ciclos de búsqueda distintos? Justifique.
- Consigne y explique el ciclo de instrucción de CSR dirección (llamado subrutina).

### EJERCICIOS

- Considerando la arquitectura de la computadora sencilla presentada a continuación:



#### TERMINALES DE CONTROL DE LA ARQUITECTURA

*Registro PC*

IPC: Incrementar PC.

*Registro MAR*

TPC: Transferir PC a MAR

TIR: Transferir IR(AD) a MAR

*Registro IR*

TB: Transferir bus a IR

*Memoria*

E: Habilitar operación sobre memoria

R/W!: Leer/Escribir memoria

*Registro CI*

W: Escribir CI

R: Leer CI

C: Complementar CI

I: Incrementar CI

*Registro ACC*

W<sub>A</sub>: Escribir ACC

R<sub>A</sub>: Leer ACC

a) Analice los ciclos de instrucción de las siguientes instrucciones, indique qué terminales que se activan en cada microoperación y determine el propósito de la instrucción:

Ciclo de Instrucción	Descripción Simbólica	Terminal de Control
BÚSQUEDA	PC → MAR	TPC
	PC+1 → PC	IPC
	M → IR	E, R/W!, TB
EJECUCIÓN	ACC → CI	
	CI+1 → CI	
	CI+1 → CI	
	ACC+CI → ACC	
	ACC+CI → ACC	

Ciclo de Instrucción	Descripción Simbólica	Terminal de Control
BÚSQUEDA	PC → MAR	TPC
	PC+1 → PC	IPC
	M → IR	E, R/W!, TB
EJECUCIÓN	IR(AD) → MAR	
	ACC → CI	
	ACC+CI → ACC	
	ACC+CI → ACC	
	ACC → M	

Ciclo de Instrucción	Descripción Simbólica	Terminal de Control
BÚSQUEDA	PC → MAR	TPC
	PC+1 → PC	IPC
	M → IR	E, R/W!, TB
EJECUCIÓN	IR(AD) → MAR	
	M → CI	
	CI! → CI	
	CI → CI+1	
	ACC+CI → ACC	
	ACC+CI → ACC	
	ACC → M	

Ciclo de Instrucción	Descripción Simbólica	Terminal de Control
BÚSQUEDA	PC → MAR	TPC
	PC+1 → PC	IPC
	M → IR	E, R/W!, TB
EJECUCIÓN	IR(AD) → MAR	
	ACC → CI	
	CI! → CI	
	CI+1 → CI	
	ACC+CI → ACC	
	ACC+CI → ACC	
	M → CI	
	ACC+CI → ACC	
ACC → M		

- b) Escriba el ciclo de instrucción para  $ACC \leftarrow ACC + 1$ ;  $ACC \leftarrow 2 \text{ ACC} - 1$ ;  $M \leftarrow 2M - ACC$ ;  $M \leftarrow M - 3$  indicando en cada caso los terminales de la arquitectura que se activan al ejecutar estas operaciones.
2. Considerando la arquitectura de la computadora sencilla, suponga que las siguientes tablas representan el contenido de una porción de memoria y los códigos de instrucción definidos para dicha máquina. Establezca el contenido y significado de cada dirección y determine el propósito del programa. Para ello, suponga que el valor actual del Acc es  $+37_{10}$  e indique el contenido de la memoria  $101000_2$ .

Dirección de Memoria	Contenido de Memoria
000000	10101001
000001	10101010
000010	01101011
000011	01101000
000100	11101000
000101	00XXXXXX
:	
:	
101000	00001010
101001	00011010
101010	00000111
101011	11111000

Código	Instrucción (descripción)
00	Alto
01	Suma al Acc
10	Resta del Acc
11	Transfiere el contenido del Acc a memoria

3. Dada la siguiente secuencia de microoperaciones (*ciclo de ejecución*), correspondiente a la arquitectura básica, determine cuál es la operación a realizar, su modo de direccionamiento y el resultado final. Tenga en cuenta los valores especificados para los registros.

**INSTRUCCIÓN: OP M**       $ACC = \$007$ ,  $F = \$1$ ,  $M(\$2B) = \$046$

Ciclo	Microoperación	Descripción
4	$GPR(AD) \rightarrow MAR$	Transfiere la dirección almacenada en GPR(AD) al registro de direcciones de memoria MAR.
5	$ACC \rightarrow GPR$	
6	$GPR + ACC \rightarrow ACC$	
7	$GPR + ACC \rightarrow ACC$	
8	$GPR + ACC \rightarrow ACC$	
9	$ACC! \rightarrow ACC$	
10	$ACC + 1 \rightarrow ACC$	
11	$M \rightarrow GPR$	
12	$GPR + ACC \rightarrow ACC$	
13	$ACC \rightarrow GPR$	
14	$GPR \rightarrow M$	

4. Suponiendo que en la posición de memoria  $\$4A$  se encuentra la instrucción  $Acc \leftarrow 3 \text{ Acc} - F$ , que el acumulador guarda el valor  $\$004$ , que el registro F vale  $\$1$  y que el código de la operación es  $\$9$  (instrucción en modo **implicado**). Analice la ejecución de la instrucción y especifique, en notación hexadecimal, el contenido de cada registro de la arquitectura, para cada ciclo de reloj, hasta que se complete la ejecución de la instrucción. Tome como referencia la siguiente tabla en la que ya se han registrado algunos de los valores utilizados.

Ciclo	Microoperación	PC	MAR	GPR	OPR	GPR (OP)	GPR(AD)	ACC	F
1	PC→MAR	\$4A	\$4A					\$004	\$1
2	M→GPR PC+1→PC	\$4B		\$900		\$9	00		
3	GPR(OP)→OPR				\$9				
4	...								

- Suponiendo que en la posición de memoria \$40 se encuentra la instrucción  $M \leftarrow \text{Acc} - 2M - 2F$ , que hace referencia a la memoria \$10 (cuyo contenido es \$080), que la dirección \$80 almacena el valor \$035, que el contenido del acumulador es \$0B4 y que el flip-flop F vale \$1. Analice la ejecución de la instrucción y especifique, en notación hexadecimal, el contenido de cada registro de la arquitectura, para cada ciclo de reloj, hasta que se complete la ejecución de la instrucción. Considere que el OP CODE es \$5 (instrucción en modo **indirecto**).
- Suponiendo que en la posición de memoria \$16 se encuentra la instrucción  $M \leftarrow 4M - 8ACC$ , que el código de la operación es \$3 (instrucción en modo **directo**), que la posición de memoria utilizada (\$24) almacena el valor \$012, que el acumulador tiene almacenado el valor \$00C y que el flip-flop F vale \$1. Analice la ejecución de la instrucción y especifique, en notación hexadecimal, el contenido de cada registro de la arquitectura, para cada ciclo de reloj, hasta que se complete la ejecución de la instrucción.
- Indique la secuencia de microinstrucciones del ciclo de ejecución de las instrucciones de la arquitectura básica presentadas a continuación. Considere que Q y P son posiciones de memoria:

N°	Mnemotécnico	Modo de direccionamiento	Operación
1.	CLRA	Implicado	$\text{Acc}' \leftarrow 0$
2.	INCA	Implicado	$\text{Acc}' \leftarrow \text{Acc} + 1$
3.	INC Q	Indirecto	$M' \leftarrow M + 1$
4.	DECA	Implicado	$\text{Acc}' \leftarrow \text{Acc} - 1$
5.	DEC Q	Directo	$M' \leftarrow M - 1$
6.	STAA Q	Directo	$M' \leftarrow \text{Acc}$
7.	SUBA	Directo	$\text{Acc}' \leftarrow \text{Acc} - M$
8.	COMA	Implicado	$\text{Acc}' \leftarrow \overline{\text{ACC}}$
9.	ADDA Q	Directo	$\text{Acc}' \leftarrow \text{Acc} + M + F$
10.	SUBFA P	Indirecto	$M' \leftarrow M - 3\text{Acc} + F$
11.	SOAF P	Directo	$M' \leftarrow M - 9F$
12.	OP1	Implicado	$\text{Acc}' \leftarrow 4\text{Acc} - 8F + 1$
13.	OP2	Implicado	$\text{Acc}' \leftarrow 8\text{ACC} - 4$
14.	OP3 P	Indirecto	$M' \leftarrow \text{Acc} + 3M - 5F$
15.	OP4 Q	Indirecto	$M' \leftarrow M / 8 + F$
16.	OP5 P	Indirecto	$M' \leftarrow M / 2 - \text{ACC} + F$
17.	OP6 Q	Indirecto	$M' \leftarrow 3M - 7F$
18.	OP7 P	Directo	$M' \leftarrow \text{ACC} - 2M / 4$
19.	OP8 Q	Directo	$M' \leftarrow 2\text{Acc} - M / 2 - 3F$
20.	ROR Q	Indirecto	

N°	Mnemotécnico	Modo de direccionamiento	Operación
21.	LSR P	Indirecto	
22.	ASL Q	Directo	
23.	ROL Q	Directo	
24.	ASR P	Indirecto	
25.	ASL Q	Indirecto	

### ARQUITECTURA BÁSICA

