

INGENIERÍA INFORMÁTICA
LICENCIATURA EN SISTEMAS

TÉCNICAS Y
ESTRUCTURAS
DIGITALES



INTERRUPCIONES
DEL M6800

INTERRUPCIONES

Una interrupción (del inglés Interrupt Request, también conocida como petición de interrupción) es una señal recibida por el **procesador** de una computadora, indicando que debe “interrumpir” el curso de ejecución actual y pasar a ejecutar código específico para tratar esta situación.

Existen dos tipos de interrupciones: por hardware y por software.

Interrupciones por Hardware: éstas son asíncronas a la ejecución del procesador, es decir, se pueden producir en cualquier momento independientemente de lo que esté haciendo el CPU en ese momento. Básicamente, una interrupción por hardware viene determinada por la ocurrencia de una señal externa que provoca la bifurcación a una dirección específica de memoria, interrumpiendo momentáneamente la ejecución del programa en curso. A partir de esa dirección se encuentra la rutina de tratamiento que se encarga de atender la interrupción propiamente dicha, devolviendo después el control al punto interrumpido del programa.

Tipos de Interrupciones por hardware del M6800:

IRQ: en una interrupción de **TIPO ENMASCARABLE**; es decir, depende del valor presente, al momento de producirse la petición de interrupción, en la bandera I del Registro de Códigos de Condición (RCC). Si $I = 0$, el procesador atenderá la interrupción y si $I = 1$, el procesador rechazará la atención de dicha petición.

INTERRUPCIONES

Si el procesador recibe una señal baja por la entrada IRQ y la bandera $I = 0$, atenderá la petición. En primer lugar completa la ejecución de la instrucción que se está ejecutando, luego almacena en la pila (en memoria RAM) los contenidos de los registros Contador de Programa, Índice, los acumuladores A y B y el Registro de Códigos de Condición, para poder recuperarlos después de ser atendida la interrupción; estos contenidos se almacenan a partir de la dirección indicada por el puntero de pila, y en sentido decreciente de direcciones de memoria (siete bytes en total). Luego se coloca en "1" el bit I del RCC, para inhibir posteriores interrupciones.

El M6800 carga en el registro PC el contenido de las direcciones de memoria $FFF8_{16}$ y $FFF9_{16}$. Estas direcciones de memoria forman parte de lo se conoce como vector de interrupciones, una zona de memoria alta, donde se almacenan las direcciones iniciales de las rutinas de atención a todos los tipos de interrupción que el procesador puede atender. En este caso, $FFF8_{16}$ y $FFF9_{16}$ determinan la dirección inicial de la rutina que atiende la interrupción y establece las acciones que debe tomar el procesadora ante la interrupción. Se ejecutan todas las instrucciones de la rutina de atención IRQ, una a una. En algún punto de la rutina se encuentra una instrucción RTI, que hace que el procesador y sus registros internos se repongan a la condición en que estaban antes de recibirse el pedido de interrupción. Finalmente, continúa la ejecución del programa normalmente.

NMI: en una interrupción de **TIPO NO ENMASCARABLE**; es decir, no depende del valor presente, al momento de producirse la petición de interrupción, en la bandera I del Registro de Códigos de Condición (RCC). Por lo tanto, el M6800 siempre atenderá a un pedido de interrupción de tipo NMI.

INTERRUPCIONES

Si el procesador recibe una señal baja por la entrada NMI, atenderá la petición. En primer lugar completa la ejecución de la instrucción que se está ejecutando, luego almacena en la pila (en memoria RAM) los contenidos de los registros Contador de Programa, Índice, los acumuladores A y B y el Registro de Códigos de Condición, para poder recuperarlos después de ser atendida la interrupción; estos contenidos se almacenan a partir de la dirección indicada por el puntero de pila, y en sentido decreciente de direcciones de memoria (siete bytes en total). Luego se coloca en "1" el bit I del RCC, para inhibir posteriores interrupciones. El M6800 carga en el registro PC el contenido de las direcciones de memoria $FFFC_{16}$ y $FFFD_{16}$. Estas direcciones de memoria forman parte de lo se conoce como vector de interrupciones, una zona de memoria alta, donde se almacenan las direcciones iniciales de las rutinas de atención a todos los tipos de interrupción que el procesador puede atender. En este caso, $FFFC_{16}$ y $FFFD_{16}$ determinan la dirección inicial de la rutina que atiende la interrupción y establece las acciones que debe tomar el procesadora ante la interrupción. Se ejecutan todas las instrucciones de la rutina de atención NMI, una a una. En algún punto de la rutina se encuentra una instrucción RTI, que hace que el procesador y sus registros internos se repongan a la condición en que estaban antes de recibirse el pedido de interrupción. Finalmente, continúa la ejecución del programa normalmente.

RESET: cuando esta entrada se activa con nivel bajo, el M6800 coloca la bandera de I a 1 y brinca a la rutina de servicios de interrupciones correspondiente (ubicada a partir de la información contenida en las direcciones $FFFE_{16}$ y $FFFF_{16}$). Esta rutina se utiliza por lo general para inicializar o restaurar el sistema.

INTERRUPCIONES

Interrupciones por Software: Las interrupciones por software se comportan de igual manera que las de hardware pero en lugar de ser ejecutadas como consecuencia de una señal física, lo hacen con una instrucción. Estas interrupciones pueden ser activadas directamente por el programa en curso.

Tipos de Interrupciones por Software del M6800:

SWI (Software Interruption): se almacenan en la pila (en memoria RAM) los contenidos de los registros Contador de Programa, Índice, los acumuladores A y B y el Registro de Códigos de Condición, para poder recuperarlos después de ser atendida la interrupción; estos contenidos se almacenan a partir de la dirección indicada por el puntero de pila, y en sentido decreciente de direcciones de memoria (siete bytes en total). Luego se coloca en "1" el bit I del RCC, para inhibir posteriores interrupciones. El M6800 carga en el registro PC el contenido de las direcciones de memoria $FFFA_{16}$ y $FFFB_{16}$. Estas direcciones de memoria forman parte de lo se conoce como vector de interrupciones, una zona de memoria alta, donde se almacenan las direcciones iniciales de las rutinas de atención a todos los tipos de interrupción que el procesador puede atender. En este caso, $FFFA_{16}$ y $FFFB_{16}$ determinan la dirección inicial de la rutina que atiende la interrupción y establece las acciones que debe tomar el procesadora ante la interrupción. Se ejecutan todas las instrucciones de la rutina de atención SWI, una a una. En algún punto de la rutina se encuentra una instrucción RTI, que hace completar la rutina.

WAI (Wait for Interruption): el M6800 detiene la ejecución de las instrucciones porque la instrucción de espera (WAI) se ha ejecutado.

INTERRUPCIONES

En este caso, el procesador queda a la espera que se produzca una interrupción circuital (IRQ o NMI) para completar la rutina de atención. En algún punto de la rutina se encuentra una instrucción RTI, que hace que el procesador y sus registros internos se repongan a la condición en que estaban antes de recibirse la instrucción WAI. Finalmente, continúa la ejecución del programa normalmente.

INTERRUPCIONES

Diagrama de flujo detallado de la secuencia de pasos para la atención de rutinas de interrupción del M6800:

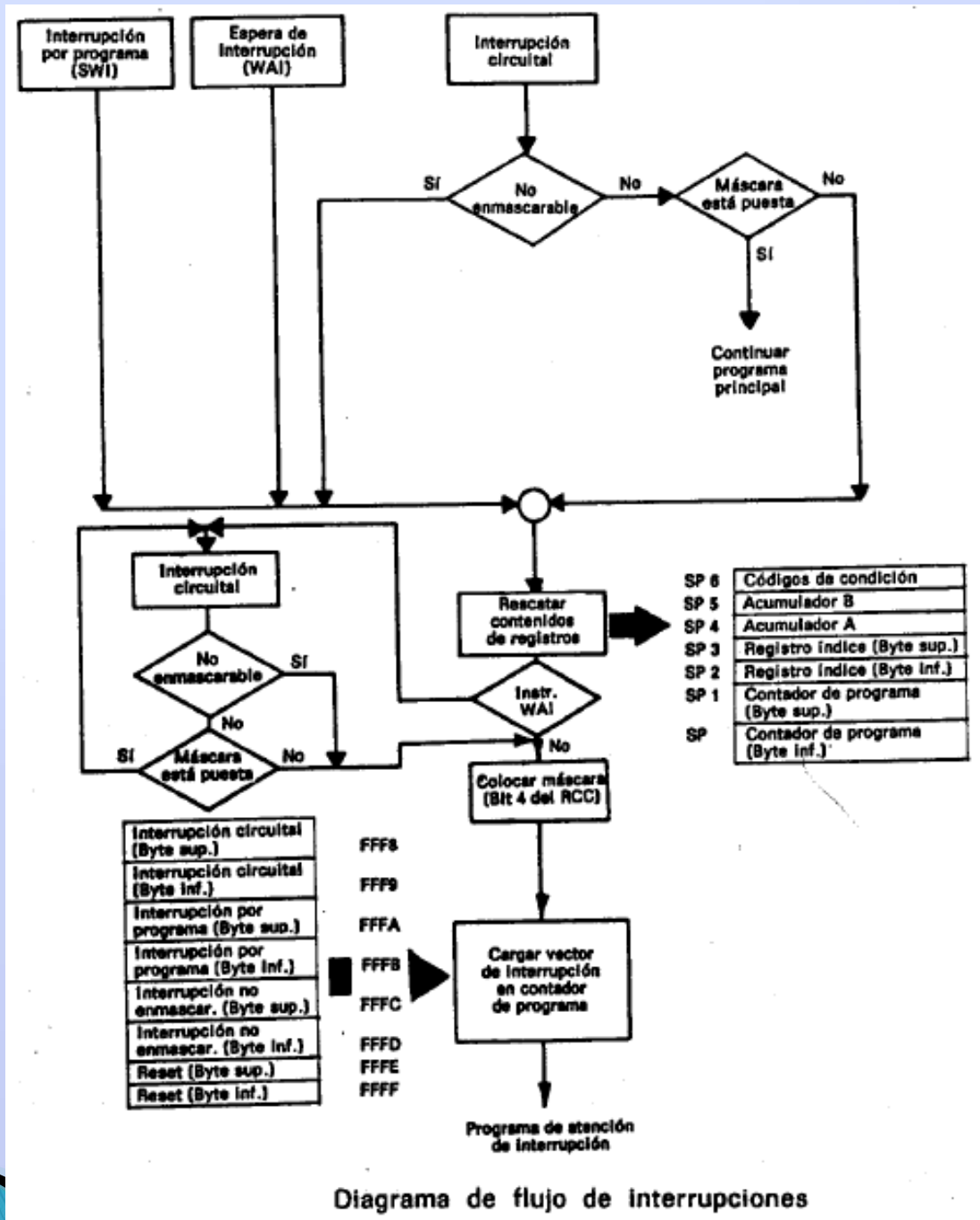
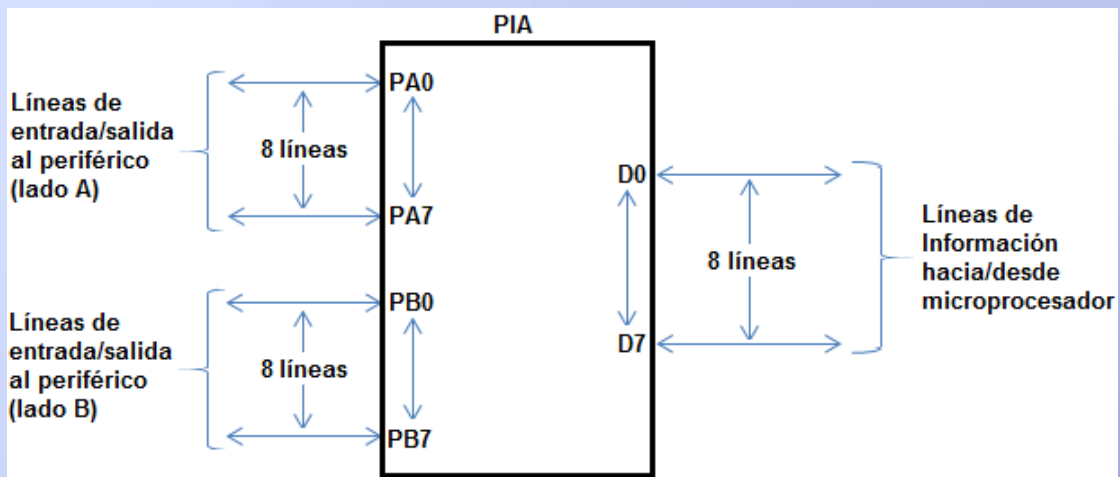


Diagrama de flujo de interrupciones

PIA

La Interfase Adaptadora de periféricos (Peripheral Interface Adapter – PIA) es un circuito fabricado con tecnología NMOS, encapsulado con cuarenta terminales, que se utiliza como interfase entre equipamiento periférico y señales externas y el procesador. La interfase se comunica con el procesador a través del bus de datos bidireccional de ocho bits compartida con las memorias RAM y ROM. Para conectarse con el mundo exterior, el circuito incluye dos buses bidireccionales de ocho bits cada una hacia el periférico A y el periférico B, respectivamente. Estos buses de entrada/salida pueden programarse para funcionar como entradas o como salidas.



Líneas de entrada/salida de la interfase

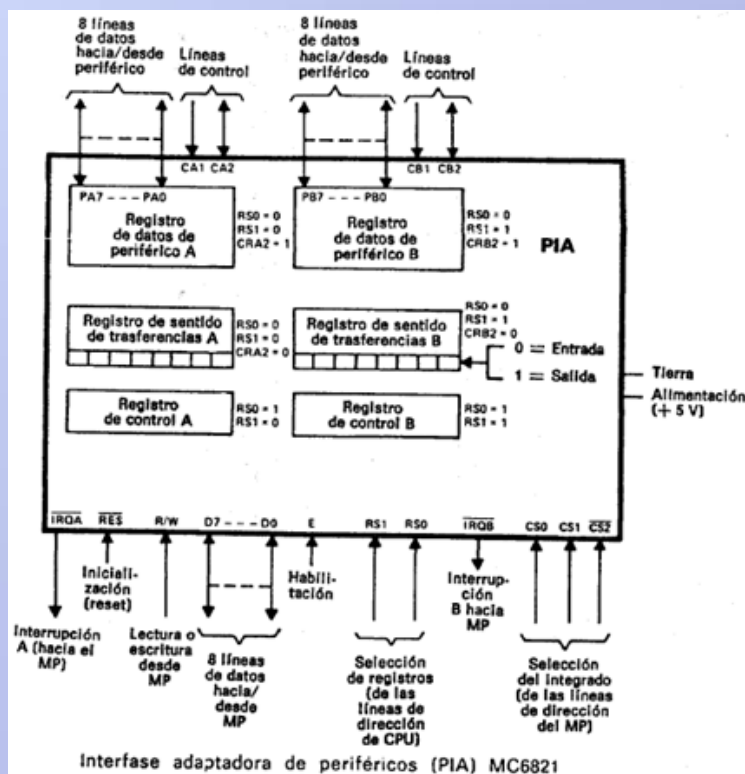
Una PIA está configurada en dos mitades, llamadas lado A y lado B. Cada mitad tiene un registro de datos, un registro de sentido de transferencia y un registro de control.

Cada registro de datos es el registro de interfase entre el elemento adaptador y el mundo exterior, y contiene ocho bits.

PIA

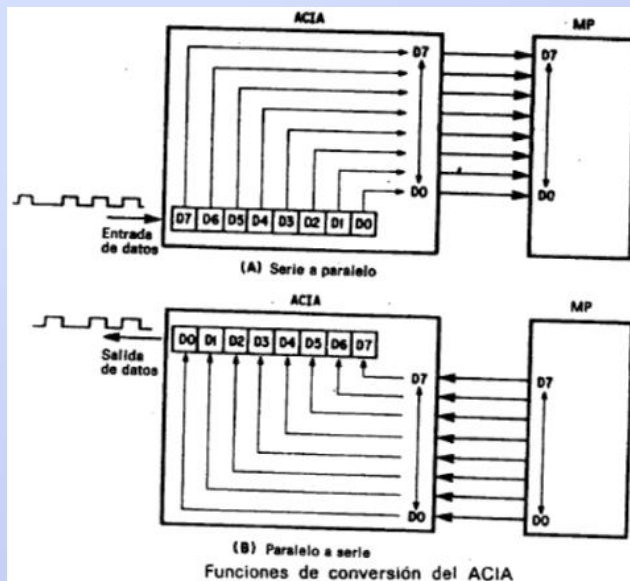
El registro de sentido de transferencia es utilizado por el programador para definir si las líneas de entrada/salida al periférico se consideran como líneas de entrada o como líneas de salida. Cada bit de este registro que se coloque en "1" define la línea de datos correspondiente como salida; cuando el bit se coloca en "0", la línea de datos correspondiente queda definida como entrada.

El registro de control se utiliza para permitir el control por parte del procesador de las líneas CA1, CA2, CB1 y CB2. Este registro se utiliza además para manejar las líneas de interrupción y controlar el estado de las banderas de interrupción. El bit 2 de este registro, junto con las líneas de selección de registro, se utiliza para determinar si en un direccionamiento se pretende seleccionar el registro de datos o el registro de sentido A de transferencia.



ACIA

La Interfase Adaptadora de Comunicación Asincrónica (Asynchronous Communications Interphase Adapter – ACIA), permite la transmisión de información en formato serie, con una única línea en lugar de las ocho requeridas por la PIA. La ACIA puede funcionar como conversor serie a paralelo, o como conversor paralelo a serie.



Puede enviarse información a la ACIA por las líneas de datos D0 a D7; esta información se convierte en una serie de “1” y “0” y se emite hacia el receptor a través de una única línea.

El elemento de interfase también puede recibir información en forma de “1” y “0” desde una fuente externa, convirtiéndolos en formato paralelo para su envío al procesador a través de las líneas de datos D0 a D7.

ACIA

La ACIA es un dispositivo NMOS en un encapsulado de veinticuatro terminales, utilizando como medio de recepción y transmisión de hasta ocho bits de información seriadados. Se comunica con el procesador a través de un bus de datos bidireccional.

