

INGENIERÍA INFORMÁTICA
LICENCIATURA EN SISTEMAS

TÉCNICAS Y
ESTRUCTURAS
DIGITALES



MICROPROCESADOR
M6800

CONCEPTO

El M6800 es un microprocesador de 8 bits diseñado y fabricado por primera vez por Motorola en 1974. El microprocesador MC6800 era parte del sistema de microcomputadora M6800 que también incluía circuitos integrados de interfaz en serie y paralela, RAM, ROM y otros soportes. Una característica de diseño significativa fue que la familia de circuitos integrados M6800 requería solo una fuente de alimentación de cinco voltios en un momento en que la mayoría de los otros microprocesadores requerían tres voltajes. El sistema de microordenador M6800 se anunció en marzo de 1974 y estaba en plena producción a finales de ese año.

El 6800 tiene un bus de direcciones de 16 bits que puede acceder directamente a 64 kB de memoria y un bus de datos bidireccional de 8 bits. Tiene 72 instrucciones con seis modos de direccionamiento para un total de 197 códigos de operación. El MC6800 original podría tener una frecuencia de reloj de hasta 1 MHz. Las versiones posteriores tenían una frecuencia de reloj máxima de 2 MHz.



FAMILIA DEL M6800

La familia M6800 de circuitos integrados LSI (Large Scale Integration – Integración en gran escala) permite el diseño de un sistema con mínimo esfuerzo y mínimo tiempo de diseño. La unidad central de procesamiento M680 es el núcleo de la familia, y entre los integrados de apoyo básico se cuentan:

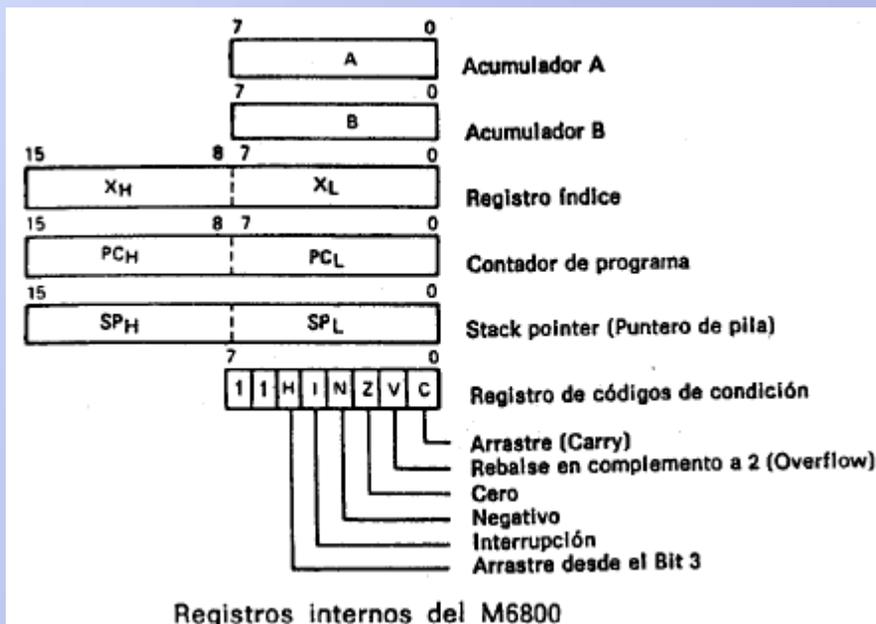
1. Memoria de acceso aleatorio (RAM – Random Access Memory).
2. Adaptador de periféricos (PIA – Peripheral Interface Adapter).
3. Memoria de lectura solamente (ROM – Read Only Memory).
4. Adaptador asincrónico de comunicaciones (ACIA – Asynchronous Communications Interface Adapter).



M6800

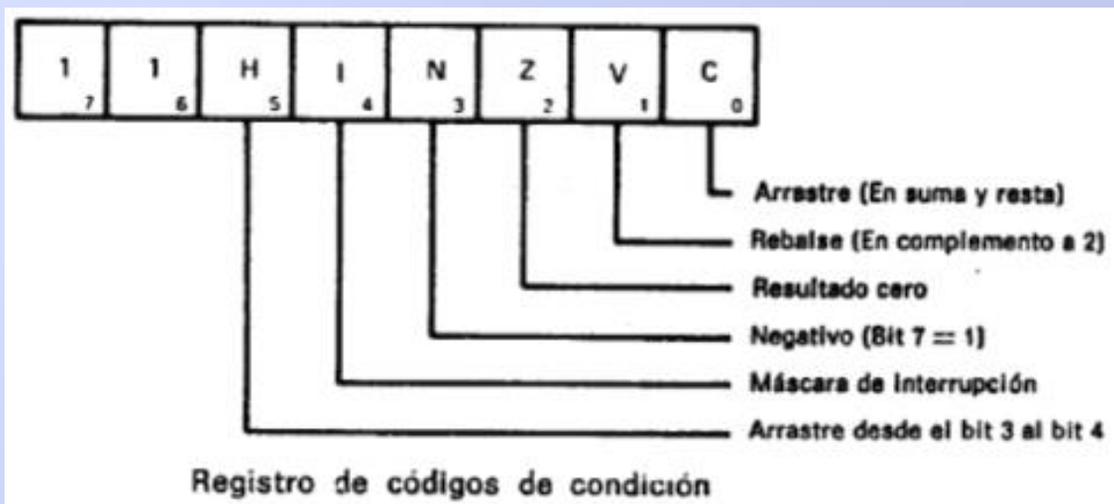
El núcleo de la familia M6800 viene encapsulado en un circuito integrado de 40 terminales y tiene seis registros internos accesibles al usuario:

1. Acumulador A (A) de 8 bits.
2. Acumulador B (B) de 8 bits.
3. Registro índice (X o IDX) de 16 bits.
4. Contador de programa (PC) de 16 bits.
5. Registro puntero de pila (SP) de 16 bits.
6. Registro de códigos de condición (RCC) de 8 bits.



RCC

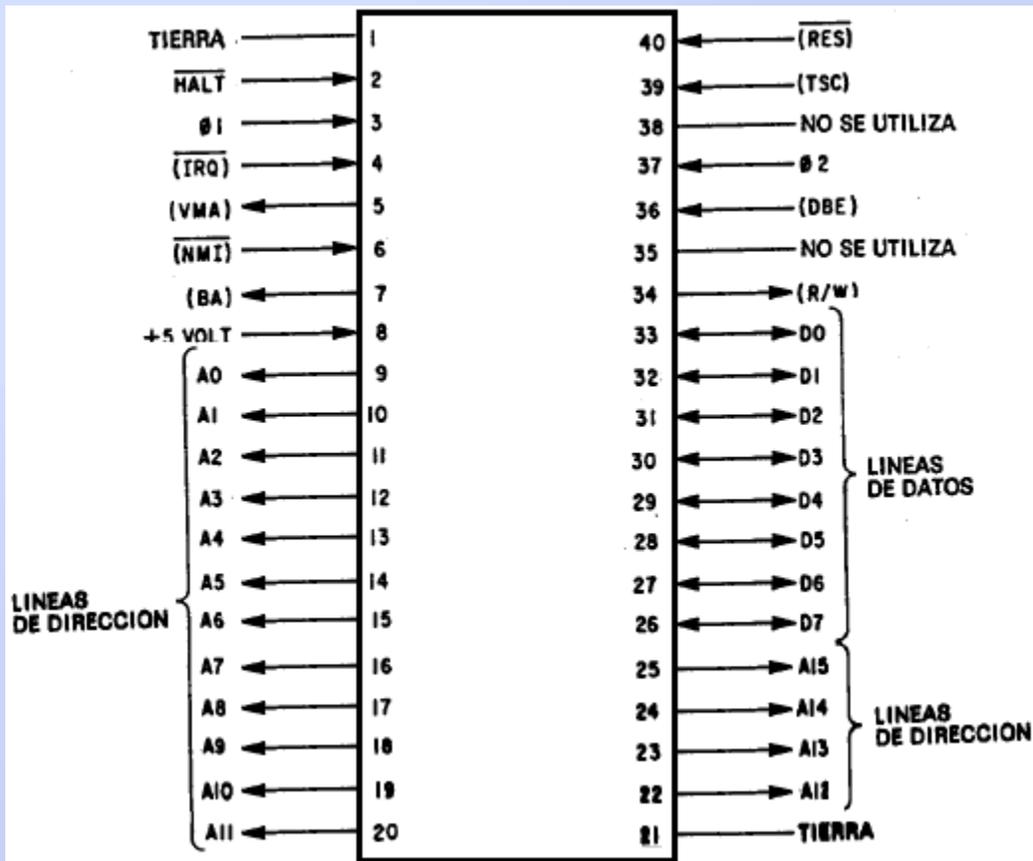
Es un registro de 8 bits utilizado por las instrucciones de bifurcación, para determinar si el MP debe romper la secuencia de ejecución de instrucciones. Las bifurcaciones se producen (o no) de acuerdo al estado de determinados bits del registro de códigos de condición. Debe quedar claro que distintas instrucciones afectan los bits de este registro en formas diferentes.



Los bits 6 y 7 de este registro toman siempre el valor “1”, y por lo tanto no se utilizan para condicionar bifurcaciones del programa.

SEÑALES DE E/S DEL 6800

Como ya se mencionó, el M6800 es un dispositivo que cuenta con cuarenta terminales. La siguiente figura ilustra la distribución de terminales, indicándose mediante flechas el sentido de flujo de la información en cada línea. Nótese que no se utilizan los terminales 35 y 38.



Señales del M6800

Descripción de la función de cada patita

Tierra (Vss) (Patas 1 y 21)

Conectados a la parte negativa de la corriente eléctrica de 5 Vcc.

SEÑALES DE E/S DEL 6800

Alto (HALT) (Pata 2)

Cuando se activa la entrada HALT, el M6800 entra en la modalidad de ALTO, en esta modalidad las líneas de tres estados entran en su estado de alta impedancia y el procesador se detiene, esta entrada se puede utilizar para ir de paso en paso a través de un programa de depuración.

Reloj (\emptyset 1 y \emptyset 2 (Patatas 3 y 37)

Estas entradas reciben señales de reloj.

Línea de Requerimiento de Interrupciones (IRQ) (Pata 4)

Cuando está activada la entrada IRQ por medio de un nivel BAJO, el M6800 completa la instrucción actual, resguarda todos los valores de los registros en la pila, colocará la bandera I en 1 y brinca hacia la rutina de servicio de interrupciones apuntada por las posiciones de memoria FFF8h y FFF9h. La interrupción IRQ puede ser enmascarada.

Dirección válida de memoria (VMA) (Pata 5)

Cuando la salida VMA se pone en ALTO, señala a otros dispositivos del sistema que la dirección en el bus de dirección es válida.

Interrupción no enmascarable (NMI) (Pata 6)

Cuando por la entrada NMI se recibe un nivel BAJO, la respuesta del M6800 es semejante a cuando por la entrada IRQ se recibe un nivel BAJO. La interrupción NMI no es enmascarable y su dirección de vector se encuentra en las posiciones de memoria FFFCh y FFFDh.

SEÑALES DE E/S DEL 6800

Bus disponible (BA) (Pata 7)

Cuando la salida BA se pone en nivel ALTO, le señala a los dispositivos externos que las líneas de dirección y datos se encuentran disponibles. El M6800 detiene la ejecución de las instrucciones porque la instrucción de espera (WAI) o la entrada de hardware HALT han aparecido. La línea de control BA proporciona un modo de indicar a los dispositivos externos que los buses de datos y dirección del M6800 están en alta impedancia y pueden servir para cosas tales como operaciones de acceso a memoria directa.

Energía eléctrica (Vcc) (Pata 8)

El lado positivo de la energía eléctrica de 5 Vcc se conecta a la pata 8 del circuito integrado del microprocesador 6800.

Líneas de dirección (A0-A15) (Patatas 10-20, 22-25)

Las 16 salidas de dirección de la M6800 (A0-A15) están conectadas con el bus de direcciones del sistema. Estas líneas se utilizan para direccionar dispositivos tales como el ROM, la RAM y los dispositivos de E/S.

Línea de datos (D0-D7) (Patatas 26-33)

Las ocho patas de datos de la M6800 (D0-D7) se conectan con el bus de datos bidireccional del sistema. Estas líneas del bus de datos son para la transferencia de datos desde y hacia la memoria o dispositivos de E/S.

SEÑALES DE E/S DEL 6800

Control de lectura/escritura (R/W!) (Pata 34)

La salida R/W! es una línea de control que señala a un dispositivo externo (RAM, ROM, PIA) cuando el M6800 está leyendo o escribiendo. Un nivel ALTO de la línea R/W! señala una lectura, mientras que un nivel BAJO señala que se está llevando a cabo una operación de escritura.

Habilitación del bus de datos (DBE) (Pata 36)

La entrada de DBE (habilitación del bus de datos) controla los manejadores del bus de datos del M6800. Un nivel ALTO en la pata DBE habilita las líneas de datos, mientras que un nivel BAJO inhabilita (alta impedancia) las líneas de datos.

Control de tres estados (TSC) (Pata 39)

Cuando la pata de entrada TSC es puesta en ALTO por medio de un dispositivo externo, todas las líneas de dirección y la de R/W! serán puestas en alta impedancia.

Línea de restauración (RESET) (Pata 40)

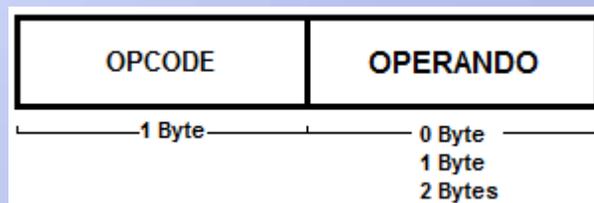
Cuando esta pata se activa, el M6800 coloca la bandera de I a 1 y brinca a la rutina de servicios de interrupciones correspondiente (ubicada a partir de la información contenida en las direcciones FFFFh y FFFEh). Esta rutina se utiliza por lo general para inicializar o restaurar el sistema.

FORMATO DE INSTRUCCIÓN

Una instrucción, para el M6800, tiene un formato estándar y consta de uno o más campos. Cada campo tiene una longitud de 8 bits. Estos campos se encuentran ubicados en posiciones consecutivas de memoria.

Los tipos de campo, que se pueden encontrar en un formato de instrucción del M6800, son:

- **OPCODE:** contiene el código de la instrucción a ejecutar.
- **OPERANDO:** el operando es valor que necesita la instrucción para completar su ejecución. Dicho valor puede ser el dato propiamente dicho o bien, la información necesaria para calcular la ubicación del dato en memoria; el cual será depositado en un registro del procesador.

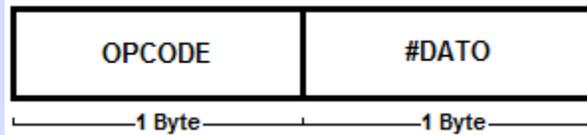


El conjunto de instrucciones es fijado permanentemente en el diseño del M6800, las instrucciones se incluyen dentro de los siguientes grupos:

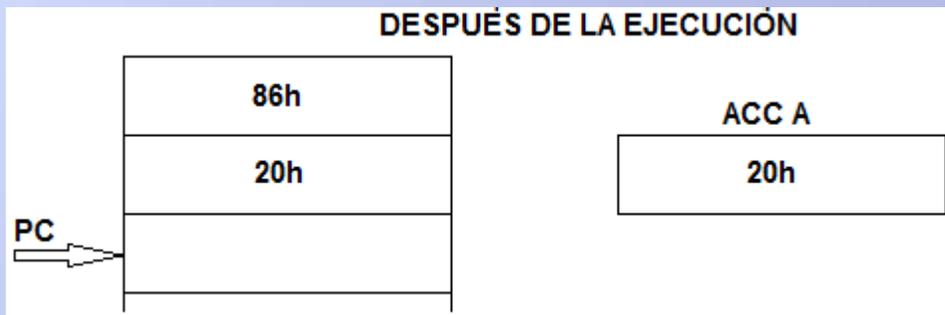
- Instrucciones de acumulador y memoria.
- Instrucciones de registro de índice y apuntador de pila.
- Instrucciones de brinco y bifurcación.
- Instrucciones de registro de código y condición.

MODOS DE DIRECCIONAMIENTO

Modo Inmediato (Usa 2 o 3 ciclos de reloj)

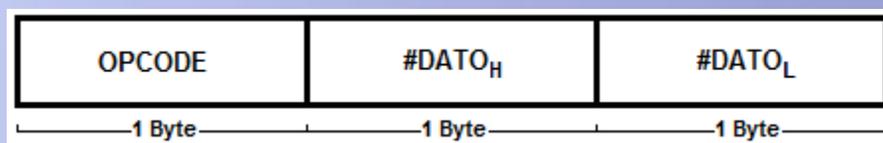


Ej. LDA A #20h



Nota:

LDX #1000h



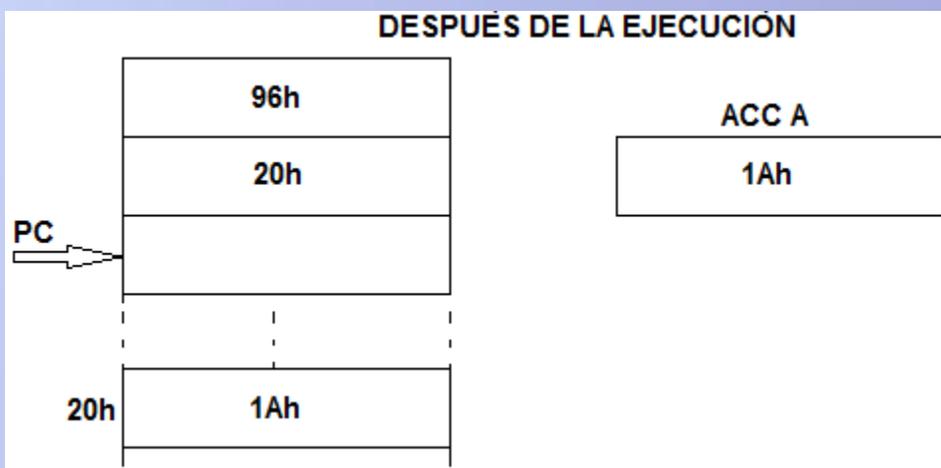
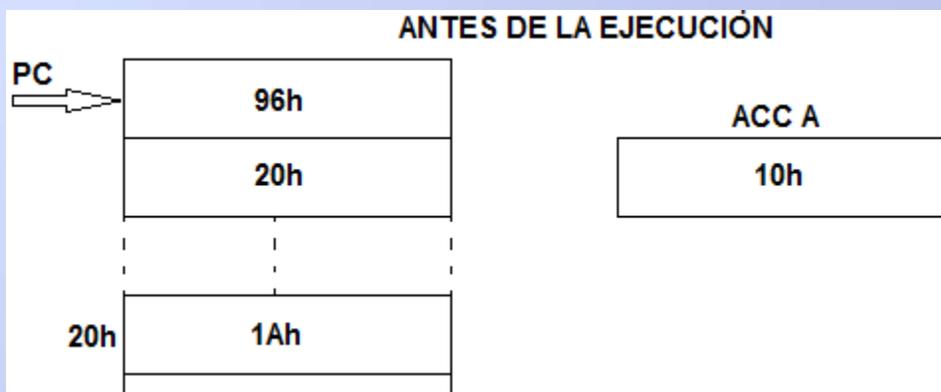
MODOS DE DIRECCIONAMIENTO

Modo Directo (Usa 3 ciclos de reloj)



La dirección, que acompaña al OPCODE, debe pertenecer a la Página 0 del mapa de direccionamiento del M6800, es decir entre el rango 00h y FFh de direcciones.

Ej. LDA A 20h

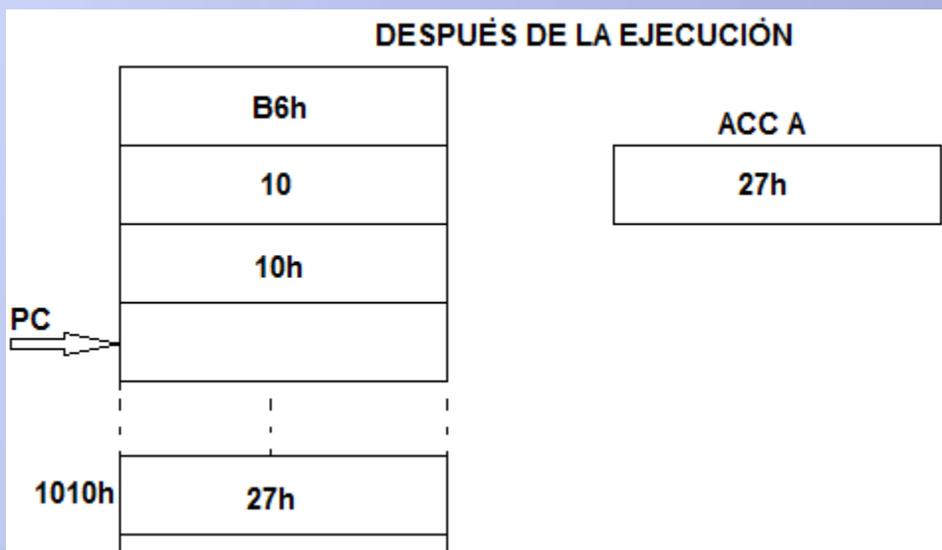
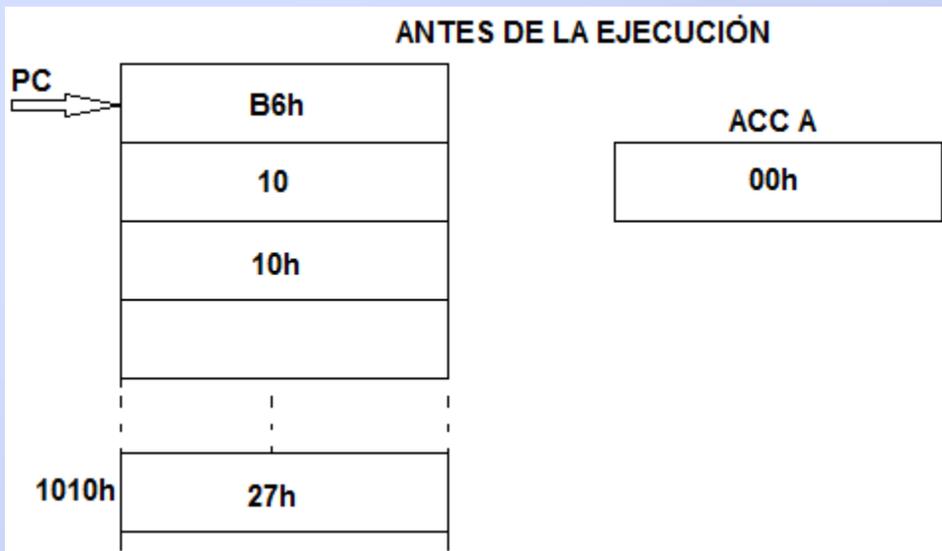


MODOS DE DIRECCIONAMIENTO

Modo Extendido (Usa 4, 5, 6 o 9 ciclos de reloj)

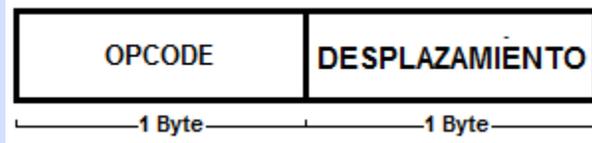


Ej. LDA A 1010h

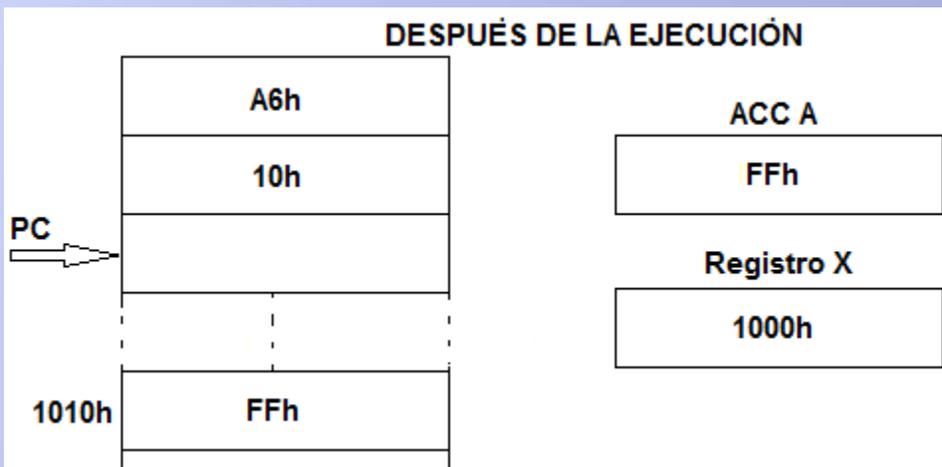
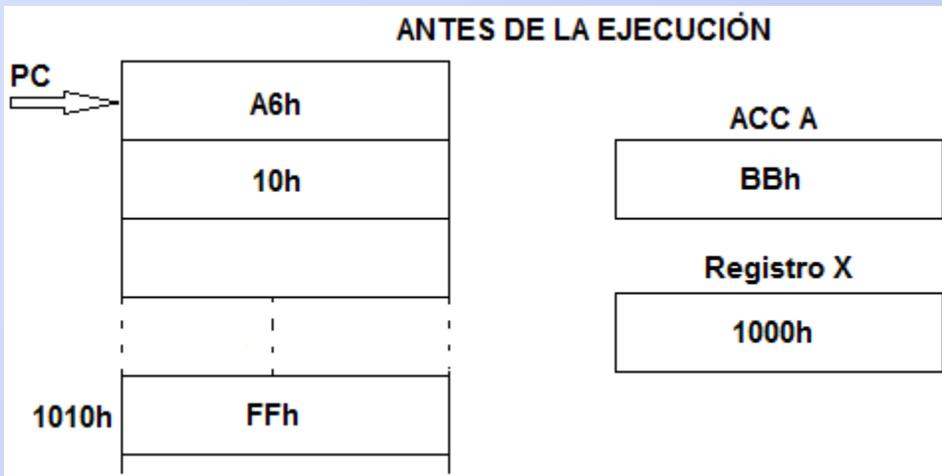


MODOS DE DIRECCIONAMIENTO

Modo Indexado (Usa 5, 6, 7 o 8 ciclos de reloj)

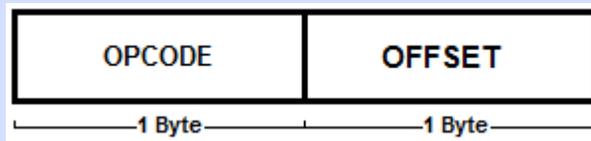


Ej. LDA A 10h, X



MODOS DE DIRECCIONAMIENTO

Modo Relativo (Usa 4 ciclos de reloj)



Cálculo del OFFSET:

$$\text{PC final} = \text{PC actual} + \text{OFFSET} + 2$$

Despejando:

$$\text{OFFSET} = \text{PC final} - (\text{PC actual} + 2)$$

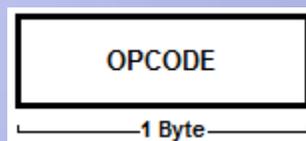
Ej. Si el OFFSET es igual a -12h, se debe expresar en Complemento a 2, por lo cual queda:

+12 es equivalente a 00010010 en Binario de 8 bits

-12 será, aplicando regla, 11101110 en C-2

Por lo tanto el **OFFSET = EEh**

Modo Inherente (Usa 2, 4, 5, 9, 10 o 12 ciclos de reloj)



Ej. ABA (Sumar acumuladores) (OPCODE 1Bh)

$$A + B \rightarrow A$$

EJEMPLO

En una zona de memoria, ubicada entre las direcciones 1500h y 1520h, se encuentra almacenada una serie de números enteros.

Se pide escribir un programa, para el M6800, que sume un valor constante a cada número de la serie. El valor constante se encuentra almacenado en la posición 14h. Considere que nunca se produce desborde.

Solución:

0100h	CLR A	M. Inherente
0101h	LDA A 14h	M. Directo
0103h	LDX #1500h	M. Inmediato
0106h	Volver: ADD A 0h, X	M. Indexado
0108h	STA A 0h, X	M. Indexado
010Ah	INX	M. Inherente
010Bh	CPX #1520h	M. Inmediato
010Eh	BLE Volver	M. Relativo
0110h	SWI	M. Inherente