

**A. Explique detalladamente los pasos que sigue el  $\mu P$  cuando se produce una interrupción.**

Un computador debe disponer de los elementos suficientes para que el programador tenga un control total sobre todo lo que ocurre durante la ejecución de su programa. La llegada de una interrupción provoca que la CPU suspenda la ejecución de un programa e inicie la de otro (rutina de atención de interrupción). Como las interrupciones pueden producirse en cualquier momento, es muy probable que se altere la secuencia de sucesos que el programador había previsto inicialmente. Es por ello que las interrupciones deben controlarse cuidadosamente.

Los pasos seguidos por el  $\mu P$  ante una interrupción son los siguientes:

1. Un dispositivo del sistema envía la solicitud de interrupción al  $\mu P$ .
2. El procesador termina la ejecución de la instrucción en curso y analiza la petición de interrupción (hardware o software). Si el  $\mu P$  no atiende la interrupción (por ejemplo porque el bit  $I=1$ ) continuará normalmente con la ejecución de la siguiente instrucción, caso contrario procede de acuerdo a la interrupción producida:

NMI	Se atiende sin verificar el valor de la máscara.
IRQ	Se atiende si no está puesta la máscara ( $I=0$ )
SWI	Se atiende sin verificar el valor de la máscara.
RESET	Se atiende sin verificar el valor de la máscara.

3. Se almacenan los registros internos (PC, IDX, AccA, AccB y CCR) a partir de la dirección indicada por el puntero de pila (SP) y en sentido decreciente de direcciones de memoria (siete bytes en total), como muestra la siguiente tabla:

SP-6	CCR
SP-5	Acc B
SP-4	Acc A
SP-3	IDX <sub>H</sub>
SP-2	IDX <sub>L</sub>
SP-1	PC <sub>H</sub>
SP	PC <sub>L</sub>

Referencia:

**H = High = ALTO** (la parte más significativa de la palabra)

**L = Low = BAJO** (la parte menos significativa de la palabra)

4. El  $\mu P$  coloca en 1 la máscara de interrupción ( $I = 1$ ; bit I del CCR) para impedir la atención de otras interrupciones mientras se atiende la presente.
5. El  $\mu P$  calcula la dirección de memoria donde se encuentra la primera instrucción de la rutina de atención de la interrupción (vector de interrupción):

FFF8	IRQ <sub>H</sub>
FFF9	IRQ <sub>L</sub>
FFFA	SWI <sub>H</sub>
FFFB	SWI <sub>L</sub>
FFFC	NMI <sub>H</sub>
FFFD	NMI <sub>L</sub>
FFFE	Reset <sub>H</sub>
FFFF	Reset <sub>L</sub>

6. La dirección calculada se carga en el PC, con lo que se pasa el control a la rutina de interrupción.
7. La ejecución continúa hasta que el procesador encuentra la instrucción de retorno de interrupción (depende de cada tipo de solicitud de interrupción).

8. Cuando se encuentra la instrucción de retorno se restaura el estado del procesador con los valores almacenados en la pila y se devuelve el control al programa interrumpido.

**B. Ejemplos**

**Ejemplo 1.** El estado de operación de un M6800 es el siguiente:

Registro	Valor
Registro CCR	%11001000
Acumulador A	%00000110
Acumulador B	%01010000
Registro PC	%0000000000010000
Registro IDX	%0000010100000000

El vector de interrupciones tiene la siguiente información:

Dirección	\$FFF8	\$FFF9	\$FFFA	\$FFFB	\$FFFC	\$FFFD	\$FFFE	\$FFFF
Contenido	\$40	\$20	\$10	\$00	\$7B	\$00	\$00	\$00

Y el Puntero de Pila (SP) vale \$3A00.

Se produce una petición de interrupción a través de la línea NMI (nivel bajo) y se dispara la secuencia de instrucciones de la rutina de interrupción respectiva. Se solicita:

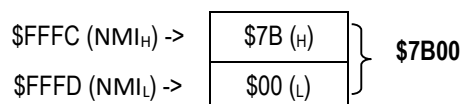
- Liste el contenido de la pila al momento de ejecutarse la primera instrucción de la rutina de interrupción respectiva.
- Indique el estado del bit I del CCR una vez que se está ejecutando la rutina de interrupción.
- Indique el contenido del PC al momento de ejecutarse la primera instrucción de la rutina de interrupción.
- Consigne la dirección inicial de las rutinas de interrupción especificadas en el vector de interrupciones e indique a cuáles corresponde.

*Solución*

- a) Contenido de la pila al ejecutarse la primera instrucción de la interrupción:

\$39FA	\$C8	CCR
\$39FB	\$50	B
\$39FC	\$06	A
\$39FD	\$05	IDX <sub>H</sub>
\$39FE	\$00	IDX <sub>L</sub>
\$39FF	\$00	PC <sub>H</sub>
\$3A00	\$10	PC <sub>L</sub>

- El estado del bit I del CCR cuando se está ejecutando la rutina de interrupción: **I = 1.**
- Contenido del PC al ejecutarse la primera instrucción de la rutina de interrupción **PC = \$ 7B00**
- La dirección inicial de la rutina de interrupción especificada en el vector de interrupciones corresponde a la interrupción no enmascarable NMI y es:



**Ejemplo 2.** Un dispositivo conectado a la línea IRQ del M6800 (µP 6800), realiza una solicitud de interrupción para que el procesador inicialice en \$FF el segmento de memoria comprendido entre las direcciones \$1000 y \$3000. El vector de interrupciones contiene en las direcciones \$FFF8 y \$FFF9 los valores \$00 y \$10, respectivamente. Codifique la rutina de interrupción que realice lo especificado.

VECTOR DE INTERRUPTONES	PC	PROGRAMA	MODO DE DIRECCIONAMIENTO
	\$0010	LDAA #\$FF	Inmediato
	\$0012	LDX #\$1000	Inmediato
\$FFF8=\$00	BUCLE \$0015	STAA \$00,X	Indexado
\$FFF9=10	\$0017	INX	Inherente
...	\$0018	CPX #\$3000	Inmediato
	\$001B	BLE BUCLE	Relativo
	\$001D	<b>RTI</b>	Inherente

**Ejemplo 3.** Un programa ejecutándose en el M6800, realiza una solicitud de interrupción para que el procesador determine la cantidad de valores negativos almacenados en el segmento de memoria comprendido entre las direcciones \$AB00 y \$FE00. El valor de la cuenta debe almacenarse en la dirección \$AAFF. El vector de interrupciones contiene en las direcciones \$FFFA y \$FFFB los valores \$23 y \$00, respectivamente. Codifique la rutina de interrupción que realice lo especificado.

VECTOR DE INTERRUPTONES	PC	PROGRAMA	MODO DE DIRECCIONAMIENTO
...	\$2300	CLR \$AAFF	Extendido
\$FFFA=\$23	\$2303	LDX #\$AB00	Inmediato
\$FFFB=00	BUCLE \$2306	LDAA \$00,X	Indexado
...	\$2308	CMPA #\$00	Inmediato
	\$230A	BGE SEGUIR	Relativo
	\$230C	INC \$AAFF	Extendido
	SEGUIR \$230F	INX	Inherente
	\$2310	CPX #\$FE00	Inmediato
	\$2313	BLE BUCLE	Relativo
	\$2315	<b>RTI</b>	Inherente

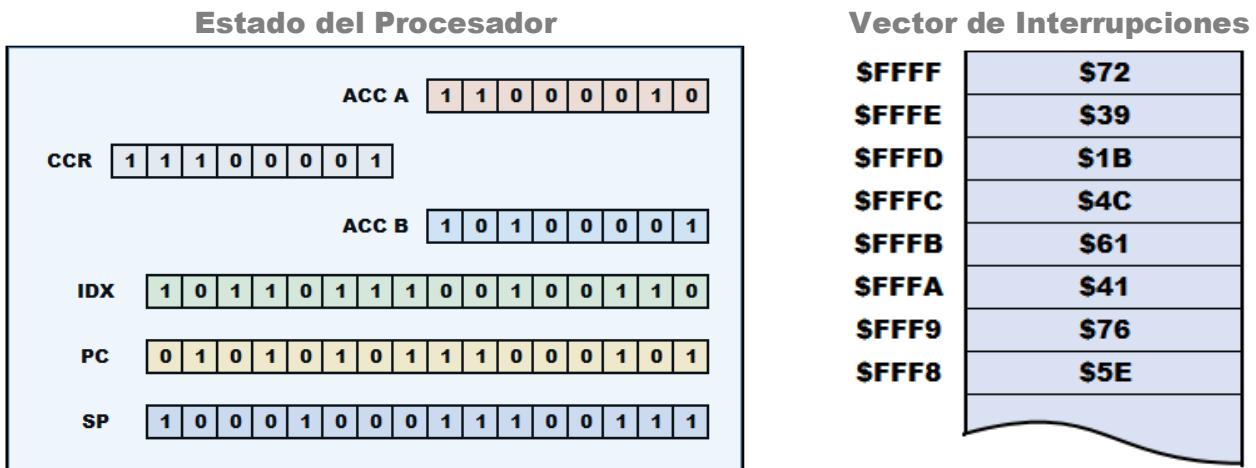
## PROBLEMAS A RESOLVER

### 1. Responda:

- ¿Qué es una interrupción? ¿Qué tipos de interrupción atiende el  $\mu P$ ?
- ¿Qué significa que una interrupción sea enmascarable?
- ¿Qué significa que una interrupción sea no enmascarable?
- Cuál es el vector de atención de interrupciones del microprocesador M6800, ¿qué contiene?
- ¿Cuál debe ser el contenido de las últimas posiciones del mapa? ¿Qué ocurriría en el sistema si en las últimas ubicaciones del mapa no se conectara ningún dispositivo?
- ¿Qué instrucción de retorno de interrupción le corresponde a cada una de las interrupciones?
- Las instrucciones SWI y BSR transfieren el control de ejecución del programa hacia otra ubicación. ¿Cuál es la diferencia entre ellas? Explique y ejemplifique.

### 2. Dibuje el diagrama que describe cómo se atienden las interrupciones enmascarables, no enmascarables, por software e instrucción WAI.

3. Suponiendo que el estado de operación de un MP6800 es el siguiente:



Al producirse una petición de interrupción a través de la línea NMI (nivel bajo) se dispara la secuencia de instrucciones de la rutina de interrupción correspondiente. Considerando esto:

- Liste el contenido de la pila al momento de ejecutarse la primera instrucción de la rutina de interrupción.
- Indique el estado del bit I del CCR una vez que se está ejecutando la rutina de interrupción.
- Indique el valor del PC al momento de ejecutarse la primera instrucción de la rutina de interrupción.
- Indique la dirección inicial de cada rutina de interrupción especificada en el vector de interrupciones, ¿cuál corresponde a la rutina solicitada?
- ¿En qué momento el procesador recupera el estado salvado en la pila? ¿En qué dirección se encuentra la instrucción que se ejecutará una vez que termine la interrupción?

4. Dado un dispositivo de baja prioridad que solicita ser atendido por el microprocesador, debe ejecutarse una rutina de interrupciones que borre 127<sub>10</sub> posiciones a partir de la dirección almacenada en \$0025. El estado del sistema antes de iniciar la rutina es:

Registro CCR	Acumulador A	Acumulador B	Registro IDX	Registro PC	Registro SP
%11100001	%01110111	%10100100	%0010101101001001	%1000101010100100	%1110101110101010

Dirección	\$FFF8	\$FFF9	\$FFFA	\$FFFB	\$FFFC	\$FFFD	\$FFFE	\$FFFF
Contenido	\$92	\$81	\$C6	\$F4	\$CD	\$91	\$D2	\$2E

- Indique el contenido de la pila del sistema al ejecutarse la interrupción.
- Indique el valor del PC, SP y CCR al iniciar la rutina de interrupción.
- Codifique la rutina de interrupción (si fuera necesario, utilice etiquetas para los saltos).

5. Dado un programa que solicita la atención del procesador, éste responde ejecutando una rutina que reemplaza los valores de la primera página de memoria que no correspondan a caracteres alfabéticos (mayúsculas o minúsculas) por "@". El estado del sistema antes de iniciar la rutina es:

Registro CCR	Acumulador A	Acumulador B	Registro IDX	Registro PC	Registro SP
%11010101	%00110101	%10010011	%0111101010100010	%0010100011001010	%1101110011110111

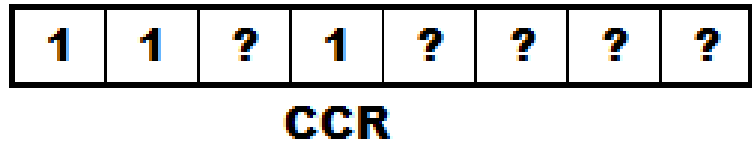
Dirección	\$FFF8	\$FFF9	\$FFFA	\$FFFB	\$FFFC	\$FFFD	\$FFFE	\$FFFF
Contenido	\$1F	\$11	\$B4	\$91	\$30	\$29	\$EE	\$E1

- a) Indique el contenido de la pila del sistema al ejecutarse la interrupción.
- b) Indique el valor del PC, SP y CCR al momento de ejecutar la primera instrucción de la rutina de interrupción.
- c) Codifique la rutina de interrupción (si fuera necesario, utilice etiquetas para los saltos).

**6. Suponiendo que el M6800 está ejecutando el programa mostrado a continuación, y es interrumpido por una solicitud de atención de interrupciones, determine:**

- a) estado de la pila al momento de atender la interrupción. Suponga que el SP antes de la interrupción vale \$B310.
- b) tipo de la interrupción atendida. ¿Será posible atender la interrupción solicitada?
- c) dirección inicial de la rutina de interrupción.

\$FFFF	0 1 1 0 1 1 1 1
\$FFFE	1 0 1 0 0 1 0 0
\$FFFD	1 0 0 1 1 0 1 1
\$FFFC	1 1 0 1 1 0 0 0
\$FFFB	0 1 1 1 0 1 1 1
\$FFFA	1 0 0 1 1 1 1 1
\$FFF9	0 1 1 0 1 1 0 0
\$FFF8	1 1 0 1 1 0 0 0
...	...
#3311	0 0 1 1 0 1 0 0
\$3310	0 1 1 0 0 0 0 1
...	...
...	...
\$0600	LDX #\$3310
\$0601	LDAA \$00,X
\$0602	LDAB \$01,X
\$0605	CBA
\$0607	BGT \$02
\$0609	LDAA #\$E2
\$060B	SWI



**7. Suponiendo que el estado de operación del M6800 y el contenido del vector de interrupciones es el siguiente:**

Registros del M6800	Valor
Registro Índice (IDX)	% 1101010100010100
Acumulador A	% 00110101
Acumulador B	% 01001010
Contador de Programa (PC)	% 0001101011010001
Registro de Códigos de Condición (CCR)	%11101000
Puntero de Pila (SP)	% 1110010101010110

Dirección	Contenido
\$FFFF	\$ 71
\$FFFE	\$ 9C
\$FFFD	\$ 66
\$FFFC	\$ C3
\$FFFB	\$ 9C
\$FFFA	\$ D1
\$FFF9	\$ 13
\$FFF8	\$ E1

Dados los dispositivos  $D_0$  y  $D_1$  que generan peticiones de interrupción enmascarable y no enmascarable, respectivamente, determine:

- a) En qué orden atenderá el microprocesador las solicitudes de interrupción.
  - b) Contenido de la pila al momento de ejecutarse la primera instrucción de cada rutina de interrupción.
  - c) Indique el estado del bit I del CCR una vez que se está ejecutando la primera rutina de interrupción.
  - d) Indique el valor del PC al momento de ejecutarse la primera instrucción de cada rutina de interrupción.
  - e) Codifique la rutina de interrupción de  $D_0$  considerando que ésta ordena (de forma creciente) el contenido del segmento de memoria comprendido entre las direcciones  $\$00F0$  y  $\$00FF$ .
  - f) Codifique la rutina de interrupción de  $D_1$  considerando que ésta invierte el contenido de la posición de memoria  $\$0020$ . Por ejemplo, si la posición contiene el valor  $\$C5$  el valor inverso será  $\$A3$  (secuencia invertida de bits).
8. Dado un dispositivo de alta prioridad que solicita la atención del procesador, éste responde ejecutando una rutina que configura los registros del dispositivo y realiza la transferencia de datos entre la memoria y el controlador correspondiente. Para ello, considere que las direcciones  $\$1000$ ,  $\$1001$  y  $\$1002$  están asociadas a los registros de estado, contador de palabras y datos del dispositivo, respectivamente. Además, suponga que los valores para el registro de estado y contador de palabras deben tomarse de las posiciones  $\$0010$  y  $\$0011$ , mientras que la dirección inicial del bloque a transferir se almacena en  $\$0012$ . Por último, al terminar la transferencia debe cerrarse la operación guardando el valor  $\$EE$  en el registro de estado del dispositivo. Codifique la rutina ubicándola a partir de la dirección  $\$39BB$ . ¿Cuál es el tipo de la interrupción atendida?
9. Dado un dispositivo, asociado a la línea IRQ del procesador, que genera una solicitud de interrupción se dispara una rutina que copia el contenido del segmento comprendido entre las direcciones  $\$0050$  y  $\$005F$  a partir de la posición  $\$0100$ . Codifique el programa que atiende la interrupción ubicándolo a partir de la posición  $\$4400$
10. Suponiendo que un programa genera una interrupción que debe ser atendida por el microprocesador ejecutando distintas acciones según bits específicos del CCR, considere lo siguiente:
- Si el resultado de la última operación fue cero o negativo entonces deben sustituirse las posiciones del segmento de memoria que inicia en  $\$1000$  (y cuya longitud se especifica en  $\$0FFF$ ) por el mayor valor de los acumuladores.
  - Si el resultado de la última operación generó un desborde entonces deben contabilizarse los valores negativos de la segunda página de memoria, registrando este resultado en la posición  $\$0200$ .
  - en cualquier otro caso no se ejecutará ninguna acción.
- Codifique la rutina y ubíquela a partir de la dirección  $\$B890$ .

