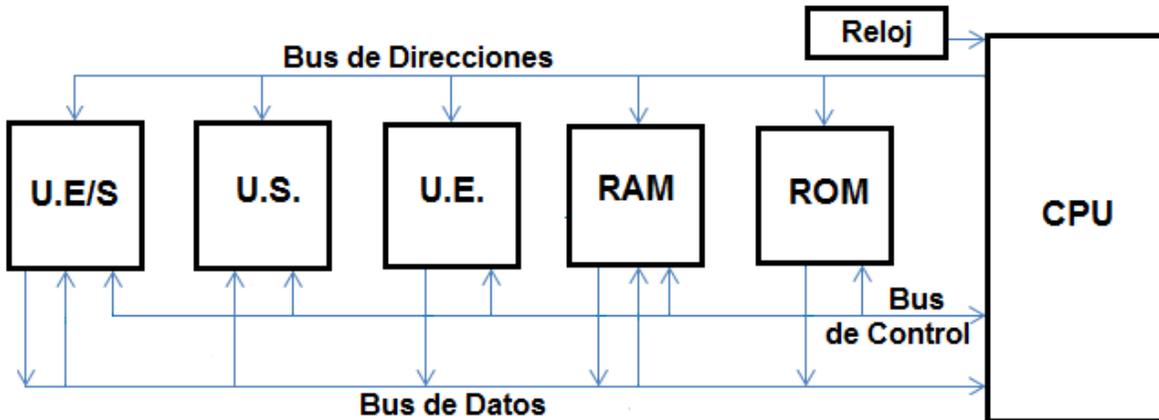




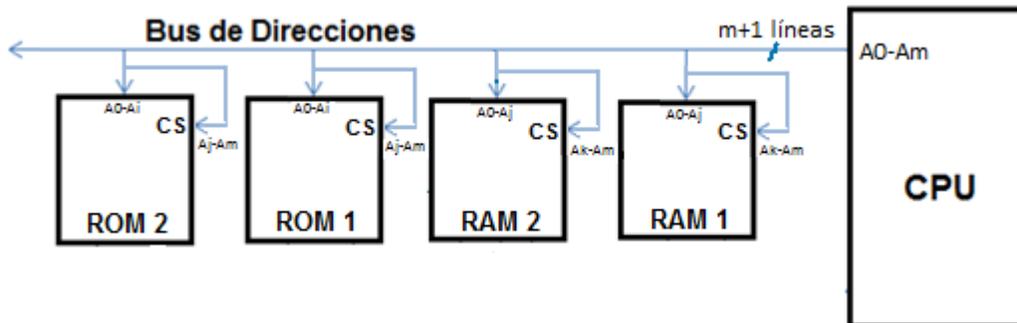
TÉCNICAS Y ESTRUCTURAS DIGITALES

Memorias

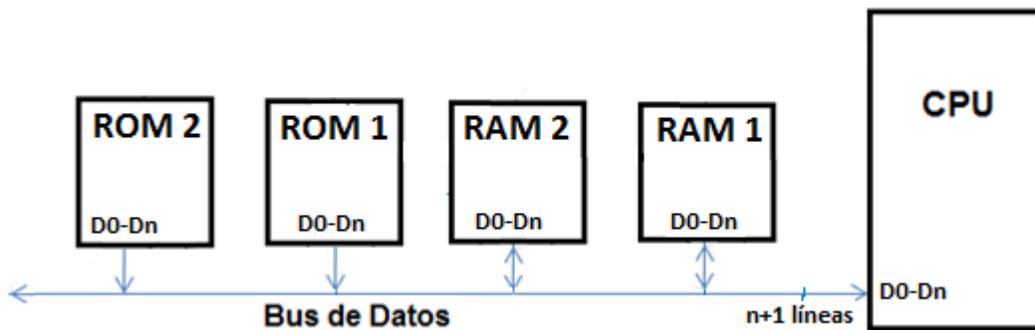
La Memoria en el Sistema de Computación



Conexión de diferentes tipos de Memorias al Bus de Direcciones



Conexión de diferentes tipos de Memorias al Bus de Datos



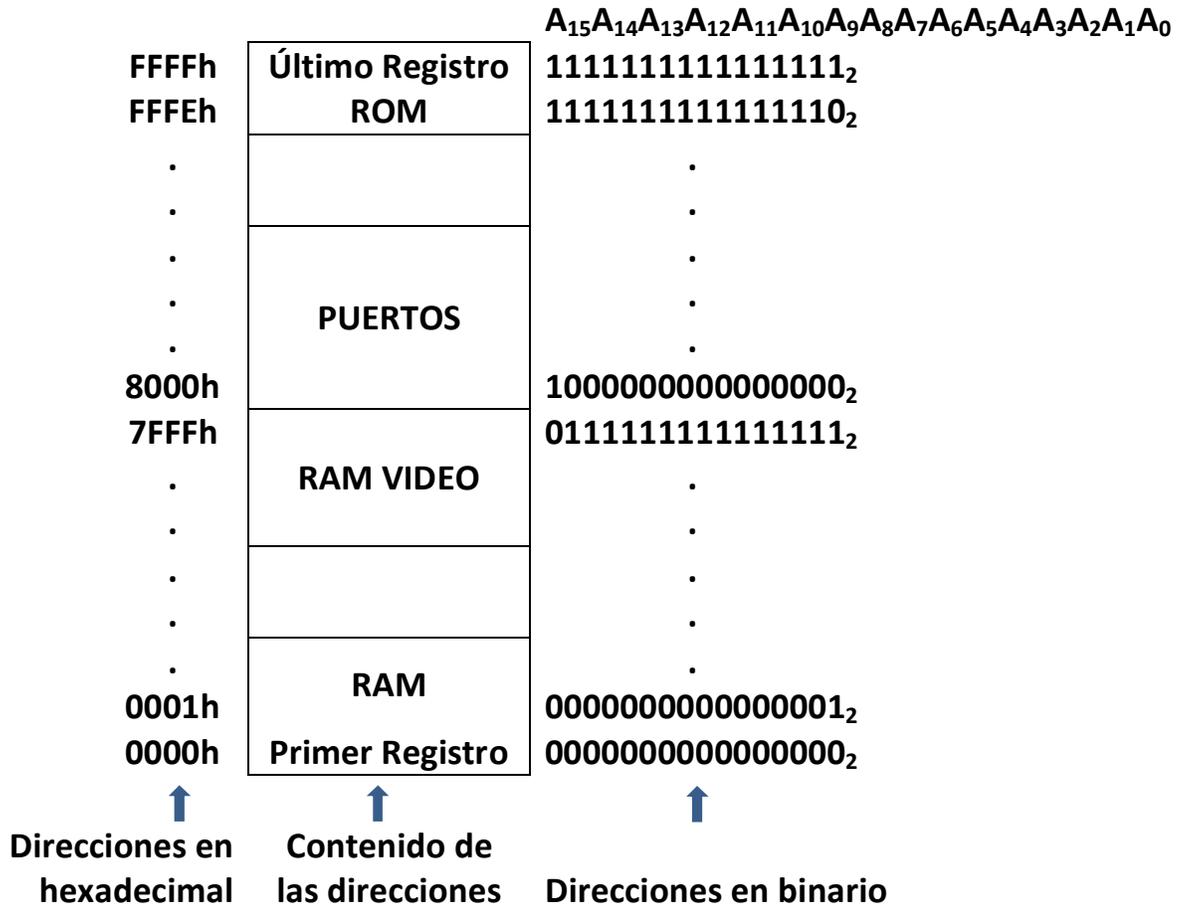


TÉCNICAS Y ESTRUCTURAS DIGITALES

Memorias

Mapa de direccionamiento

Para ejemplificar el concepto se considera un sistema anfitrión con 16 líneas de direcciones:





TÉCNICAS Y ESTRUCTURAS DIGITALES

Memorias

Posicionamiento de Memorias

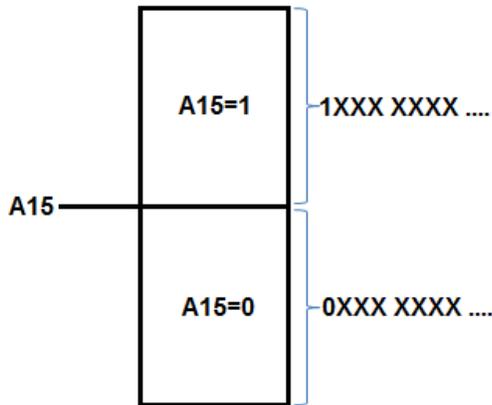
Criterio:

- ROM: en la parte alta del mapa.
- RAM: en la parte baja de la mapa.

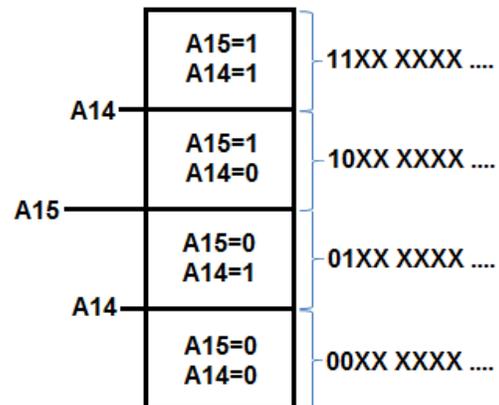
Cada línea de dirección tiene injerencia en determinadas posiciones del mapa, según su posición significativa en el código de la dirección.

Ej. Considerar un sistema anfitrión con 16 líneas de direcciones:

a) Considerando la línea A_{15}



b) Considerando las líneas A_{15} y A_{14}



Cada pastilla de memoria dispone de un CS o un conjunto de ellos, los que se pueden presentar directos, negados o combinaciones de ellos.

Por ejemplo, si tenemos una pastilla RAM con un CS!, es decir que debe recibir un 0 en el terminal correspondiente para ser habilitada; y si, además, la queremos ubicar en el cuarto intermedio inferior, para habilitar el chip de memoria el microprocesador debe escribir cualquier dirección de memoria que responda al patrón:

$A_{15} A_{14} A_{13} A_{12} \text{ XXXX XXXX XXXX}$ $01XX \text{ XXXX XXXX XXXX}$

La lógica que responde a tal requerimiento se obtiene a través de una tabla de verdad:

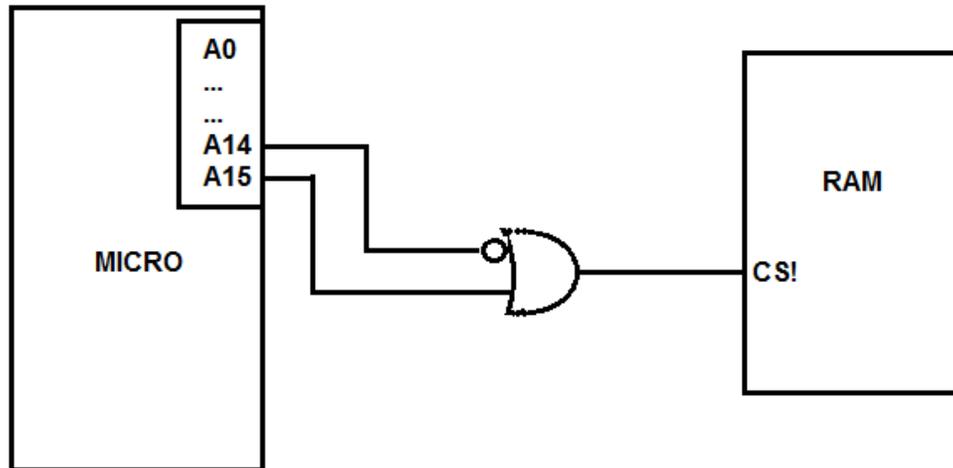
A_{15}	A_{14}	CS!
0	0	1
0	1	0
1	0	1
1	1	1

→
 $CS! = A_{15} + A_{14}!$



TÉCNICAS Y ESTRUCTURAS DIGITALES

Memorias



Conclusión: para poder precisar exactamente la ubicación del chip de memoria, es necesario aplicar a sus terminales de selección de chip todas las líneas de direccionamiento que no sean utilizadas en el direccionamiento de los registros internos de la memoria.

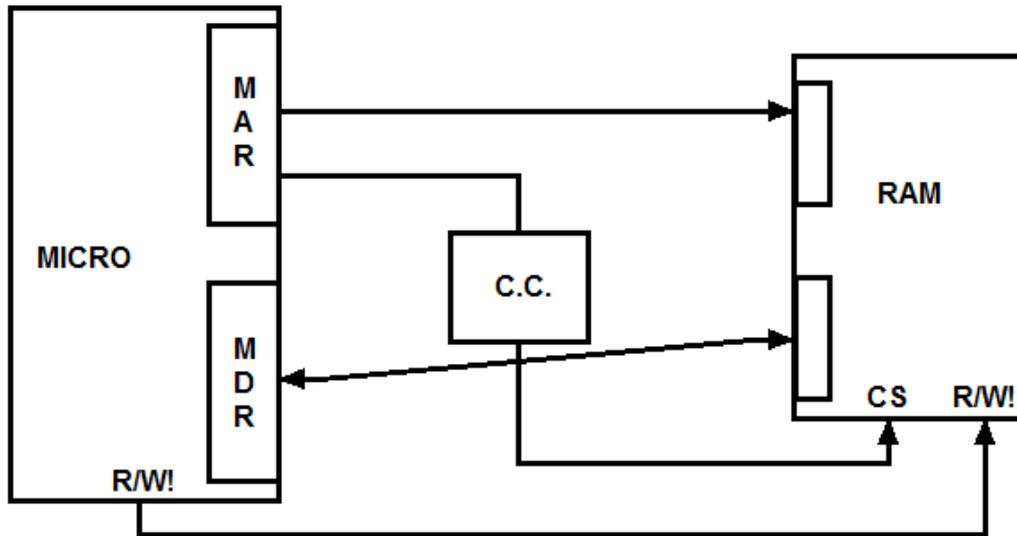
Bus de Direcciones:	<ul style="list-style-type: none">• A.B. de la memoria: en función de la cantidad de reg. Internos que pueda manejar.• A.B. de Microprocesador: en función de las posiciones direccionables.
Bus de Datos:	<ul style="list-style-type: none">• D.B. de la memoria: en función del tamaño o longitud del registro de memoria.• D.B. de Microprocesador: en función del tamaño de la palabra del sistema.



TÉCNICAS Y ESTRUCTURAS DIGITALES

Memorias

Sistema Microprocesador-Memoria



Planificación de Memorias

Consideraciones previas:

- CS habilitado: el chip aparece conectado al bus, dentro del sistema.
- CS deshabilitado: hay una desconexión virtual.

Ejemplo: Dada una CPU anfitriona con un bus de direcciones de 16 bits y un bus de datos de 4 bits, conecte una unidad de memoria RAM de 1 KB x 4 bits (con CS!) a partir de la dirección \$2000 del mapa de direcciones del sistema.

Por tratarse de una memoria de 1 KB se sabe que se dispone de diez líneas para el direccionamiento interno de los registros, de A_0 a A_9 . En todos los casos, las líneas de direccionamiento interno de la memoria se conectan a sus homólogos en el bus de direcciones del sistema. Las restantes seis líneas del bus deberán utilizarse, completamente, para el posicionamiento del chip.

La unidad de memoria de 1 KB representa 1024 Bytes expresados en el sistema decimal y \$400 Bytes expresados en el sistema hexadecimal, que van desde \$000 a \$3FF. Si la posición inicial de la dirección en el mapa para este chip es \$2000, significa que la posición final será \$23FF.

Expresado en binario tenemos:



TÉCNICAS Y ESTRUCTURAS DIGITALES

Memorias

Identificación →	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
Dirección inicial →	\$2				0				0				0			
	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
Selección de chip →								← direccionamiento interno								
Dirección final →	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1
	\$2				3				F				F			

Como se observa en la tabla anterior, todas las líneas del bus de direcciones que se utilizan para el direccionamiento interno de la memoria asumen todo el rango de valores en el intervalo que ocupará la memoria, mientras que las restantes líneas del bus se mantienen fijas en ese intervalo. Entonces, para que el chip de memoria se active al recibir una dirección comprendida entre \$2000 y \$23FF, debe recibir $\overline{CS} = 0$ cuando $A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} = 001000$, es decir que:

$$\overline{CS} = A_{15} + A_{14} + \overline{A}_{13} + A_{12} + A_{11} + A_{10}$$



TÉCNICAS Y ESTRUCTURAS DIGITALES

Memorias

Memoria Fantasma

Cuando las líneas de direcciones no se utilizan en su totalidad para activar la selección de chip de memoria, aquellas que queden sin conexión pueden asumir cualquier valor produciéndose, igualmente, la selección de la unidad de memoria. Esto significa que el mismo bloque de memoria se representará 2^n veces, siendo n la cantidad de líneas no conectadas en el mapa de memoria, produciendo el efecto denominado memoria fantasma.

Teniendo en cuenta el ejemplo anterior, y considerando que la línea A_{15} se encuentra desconectada, los segmentos de memoria válidos serían:

X01000XXXXXXXXXX	Segmento Fantasma:	<ul style="list-style-type: none">• 1010001111111111 = \$A3FF• 1010000000000000 = \$A000
	Segmento Original:	<ul style="list-style-type: none">• 0010001111111111 = \$23FF• 0010000000000000 = \$2000

Para el mismo caso, si se dejan sin conectar las líneas A_{15} y A_{14} , los que pueden asumir cualquier valor, sin afectar la selección de chip:

XX1000XXXXXXXXXX	Segmento Fantasma 3:	<ul style="list-style-type: none">• 1110001111111111 = \$E3FF• 1110000000000000 = \$E000
	Segmento Fantasma 2:	<ul style="list-style-type: none">• 1010001111111111 = \$A3FF• 1010000000000000 = \$A000
	Segmento Fantasma 1:	<ul style="list-style-type: none">• 0110001111111111 = \$63FF• 0110000000000000 = \$6000
	Segmento Original:	<ul style="list-style-type: none">• 0010001111111111 = \$23FF• 0010000000000000 = \$2000



TÉCNICAS Y ESTRUCTURAS DIGITALES

Memorias

Asociación de Chips de Memoria para Conexión

Consideraciones previas:

- Utilización de unidades de memoria de la misma tecnología para evitar diferencias en los niveles eléctricos entre los mismos datos. Caso contrario se adicionan interfaces adaptadoras de nivel, con la consecuente complicación de la estructura circuital.
- Utilización de unidades de memoria con idénticos tiempos de acceso para evitar la pérdida de datos. Caso contrario se adicionan circuitos de retardos para uniformizar la transferencia de datos. Hay una disminución de la eficiencia del circuito.
- Utilización de unidades de memoria con el mismo tipo de encapsulado para facilitar el diseño, trazado y eventual reemplazo. Caso contrario pueden utilizarse zócalos adaptadores, aunque se incrementa el riesgo de contactos defectuosos.

Tipos de ampliaciones de memorias:

- Ampliación de la cantidad de registros.
- Ampliación de la longitud de registros.
- Ampliación de ambos factores.