

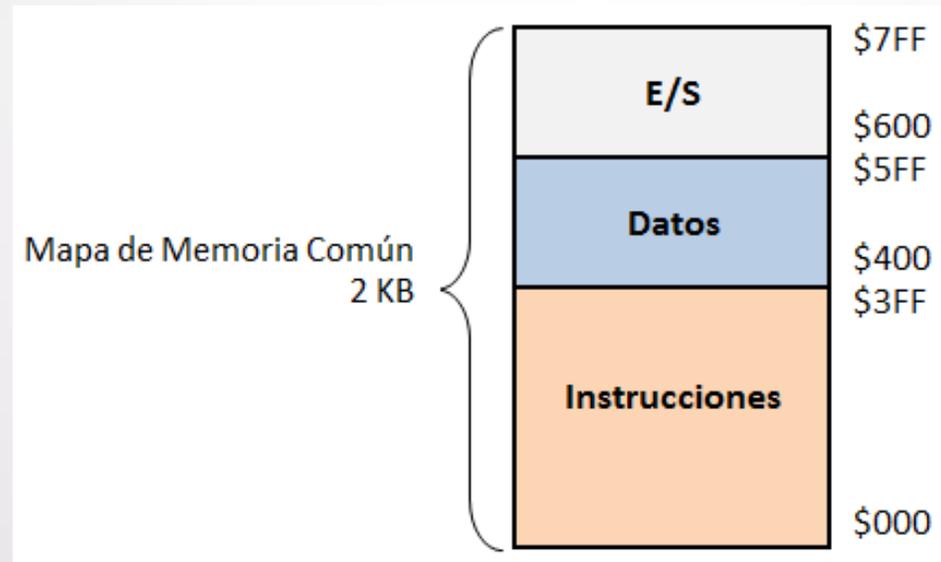


TÉCNICAS Y ESTRUCTURAS DIGITALES

Unidad Entrada-Salida

Ejercicio 1: E/S controladas por programa, mapa de memoria común

- ▶ Dado un sistema anfitrión que dispone de un bus de direcciones de 11 líneas, un bus de datos de 8 líneas y un Mapa de Memoria Común para las operaciones de E/S, distribuya el mapa para una aplicación que ocupa 1.024 posiciones para instrucciones, 512 para datos y las restantes para elementos de E/S. Suponga que las instrucciones se ubican en la zona baja del mapa, a continuación los datos y finalmente los elementos de E/S.



Ejercicio 2: E/S controladas por programa, mapa de memoria común

- Teniendo en cuenta la distribución del Mapa de Memoria Común del esquema anterior, exprese el significado de las siguientes instrucciones:

MOV A, \$410

MOV A, \$610

MOV \$500, A

MOV \$60B, A

Nota: La sintaxis de la instrucción es **Código de Instrucción fuente, destino**

En un sistema con un mapa de memoria común el procesador emplea las mismas instrucciones de lectura y escritura de datos para leer o escribir un elemento de E/S (instrucciones típicas son MOV, LDA, STA)

MOV A, \$410: En el mapa de direcciones puede observarse que la posición \$410 corresponde a la zona de datos, por lo tanto, la instrucción mueve el contenido del Acumulador A del μ_p a la posición de memoria \$410.

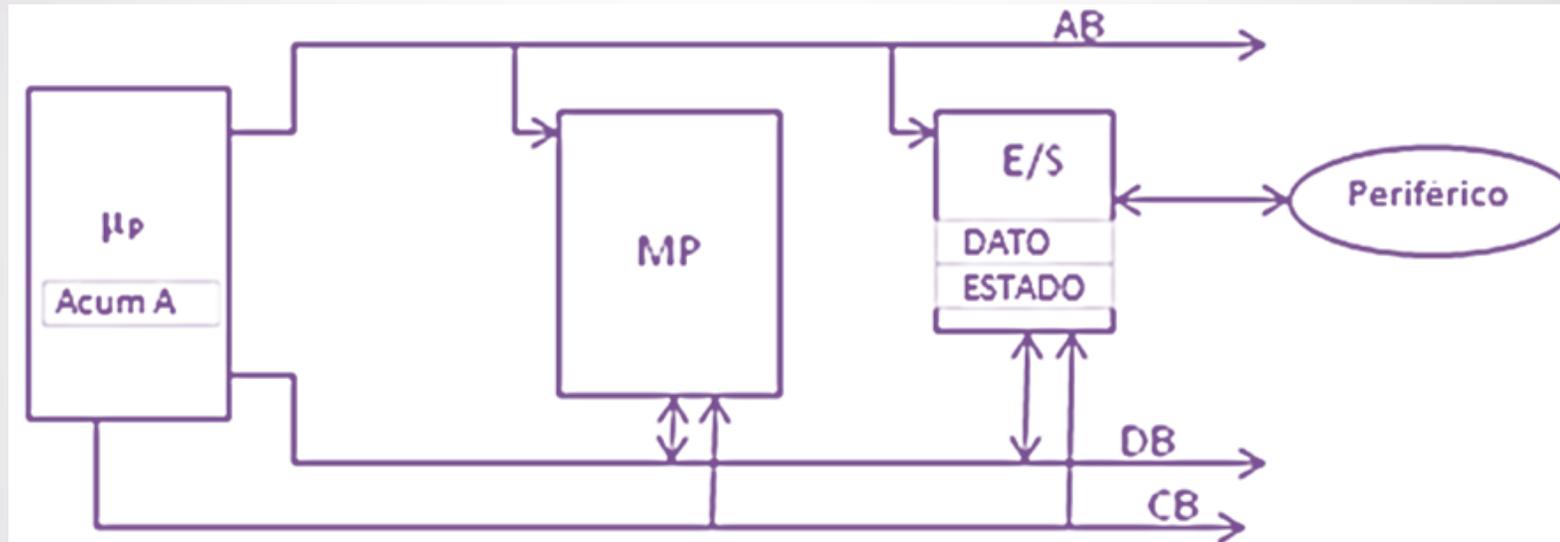
MOV A, \$610: La dirección \$610 corresponde a un registro de elementos de E/S, por lo tanto, la operación copia el contenido del Acumulador A del μ_p a la posición de memoria \$610 asociada a un dispositivo de E/S. En este caso se trata de una operación de escritura.

MOV \$500, A: La posición \$500, correspondiente a la zona de datos, almacena un valor que se copia al Acumulador A del μ_p para su posterior tratamiento.

MOV \$60B, A: La posición \$60B, que corresponde a un elemento de E/S, se copia al Acumulador A del μ_p . En este caso, la operación es de lectura y se aplica al registro de datos del controlador o a su registro de estado.

Ejercicio 3: E/S controladas por programa, mapa de memoria independiente

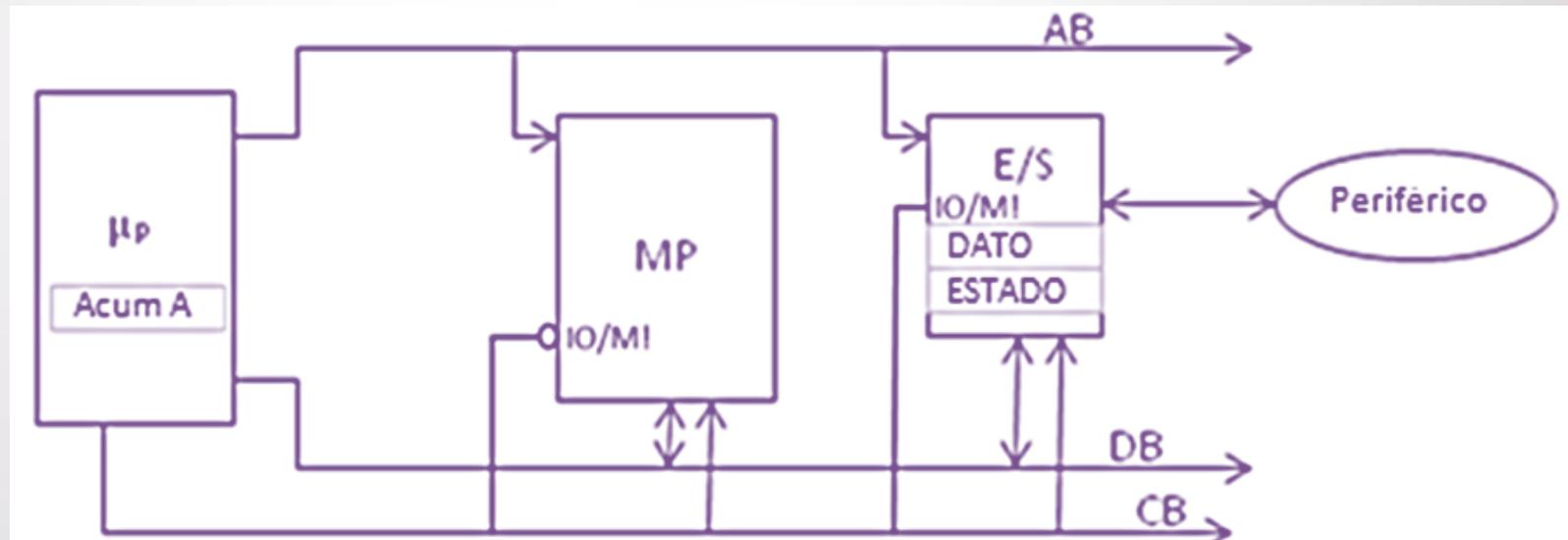
- El siguiente esquema corresponde a un sistema con 20 líneas en el AB, 16 en el DB y un Mapa de E/S Independiente de 1 KB reservado para los registros de los controladores de los periféricos del sistema.



- En un determinado momento $A_0-A_{19}=\$00000$ ¿Puede indicar en ambos mapas la posición referenciada? ¿Es correcta esta situación?
- ¿Cómo soluciona la situación planteada? Indique y complete el esquema gráfico.

Ejercicio 3: E/S controladas por programa, mapa de memoria independiente

- La posición referenciada en ambos mapas es la primera (la dirección más baja del mapa) En la MP es la dirección \$00000 y en el mapa de E/S es la posición \$000. La situación no es correcta porque se produce un conflicto en el bus de datos al intentar leer y/o escribir 2 palabras de diferentes unidades al mismo tiempo.
- La solución al problema planteado es agregar una línea de control al CB con la cual el μ_p indique al sistema si está trabajando con la MP o el mapa de E/S, como se muestra en el siguiente esquema:



Ejercicio 4: E/S controladas por programa, mapa de memoria independiente

- La instrucción OUT deposita el contenido del Acumulador A en la posición que se indique del Mapa de E/S, la instrucción IN lleva el contenido de la posición de memoria de E/S referenciada al Acumulador A y la instrucción LDAA carga en el Acumulador A el contenido de la posición de memoria principal referenciada o un valor determinado. Suponiendo que A = \$FF, el Registro de Datos = \$00 (ubicado en la posición \$100) y el Registro de Estado = \$AB (ubicado en la posición \$101), indique el valor que queda almacenado en cada registro después que el procesador ejecute las siguientes instrucciones:

LDAA \$BB

OUT \$101

IN \$100

OUT \$101

En la siguiente tabla se encuentra el estado inicial de cada uno de los registros involucrados en este problema (contenido de cada registro), y sus variaciones a medida que se van ejecutando las instrucciones:

	Acum. A	Reg. de Datos (\$100)	Reg. de Estado (\$101)
Estado Inicial	\$FF	\$00	\$AB
LDAA \$BB	\$BB	\$00	\$AB
OUT \$101	\$BB	\$00	\$BB
IN \$100	\$00	\$00	\$BB
OUT \$101	\$00	\$00	\$00

Ejercicio 5: Acceso Directo a Memoria

- Explique en qué consiste esta técnica de E/S
- Resuelva: Un CDMA realiza transferencias a ráfagas y transmite bloques completos de 2 KB entre la memoria principal y el periférico, en ambos sentidos. Sabiendo que el microprocesador tarda en programar los registros de trabajo del CDMA (carga del registro de direcciones y el contador de palabras) $3 \mu\text{s}$ y que al acabar la transferencia del bloque, la interrupción que atiende el procesador dura $2 \mu\text{s}$, averiguar el tiempo total que ocupará la transmisión de un bloque, si cada byte tarda en enviarse $0,025 \mu\text{s}$.
- ¿Cuánto tiempo ocupará la transmisión de 5 bloques?

Con esta técnica se logra que la mayor parte del proceso de E/S la soporte el controlador, pudiendo obtener mayor simultaneidad. El CDMA no libera los buses hasta que acaba la transferencia de un bloque completo de información entre el periférico y la MP (sin requerir la intervención del μp). La ventaja de este sistema reside en la alta velocidad alcanzada en la transferencia, y el inconveniente sigue siendo que el procesador permanece inactivo algunos periodos de tiempo.

CDMA: Controlador de acceso directo a memoria, es capaz de realizar transferencias DMA, para ello dispone de lógica compleja auxiliar, ya que se encarga de controlar los buses de direcciones, datos y control para realizar los accesos directos a MP. Posee 4 registros: de dirección, contador de palabras, de datos y lógica auxiliar de control.

1º) CDMA solicita la liberación de los buses del sistema.

2º) Cuando el procesador los libera, el CDMA toma el control de los mismos, realiza la transferencia y los libera, en menos tiempo de lo que lo haría el procesador.

Ejercicio 5: Acceso Directo a Memoria

Tiempo de la transferencia = Inicialización + Ráfaga + Finalización

Donde:

Inicialización = Inicialización del Contador de Palabras + Inicialización de Registro de Dirección

Ráfaga = Cantidad de bytes del bloque * Tiempo de Transferencia de un byte

Finalización = Atención de Interrupción

Reemplazando:

Tiempo de la transferencia = $3 \mu\text{s} + 2048 \text{ bytes} * 0,025 \mu\text{s}/\text{byte} + 2 \mu\text{s}$

Tiempo de la transferencia = $3 \mu\text{s} + 51,2 \mu\text{s} + 2 \mu\text{s} = 56,20 \mu\text{s}$

Respuesta: El tiempo de la transferencia de 1 bloque de 2 KB es de $56,20 \mu\text{s}$

Respuesta: El tiempo de la transferencia de 5 bloques de 2 KB es de $281 \mu\text{s}$