



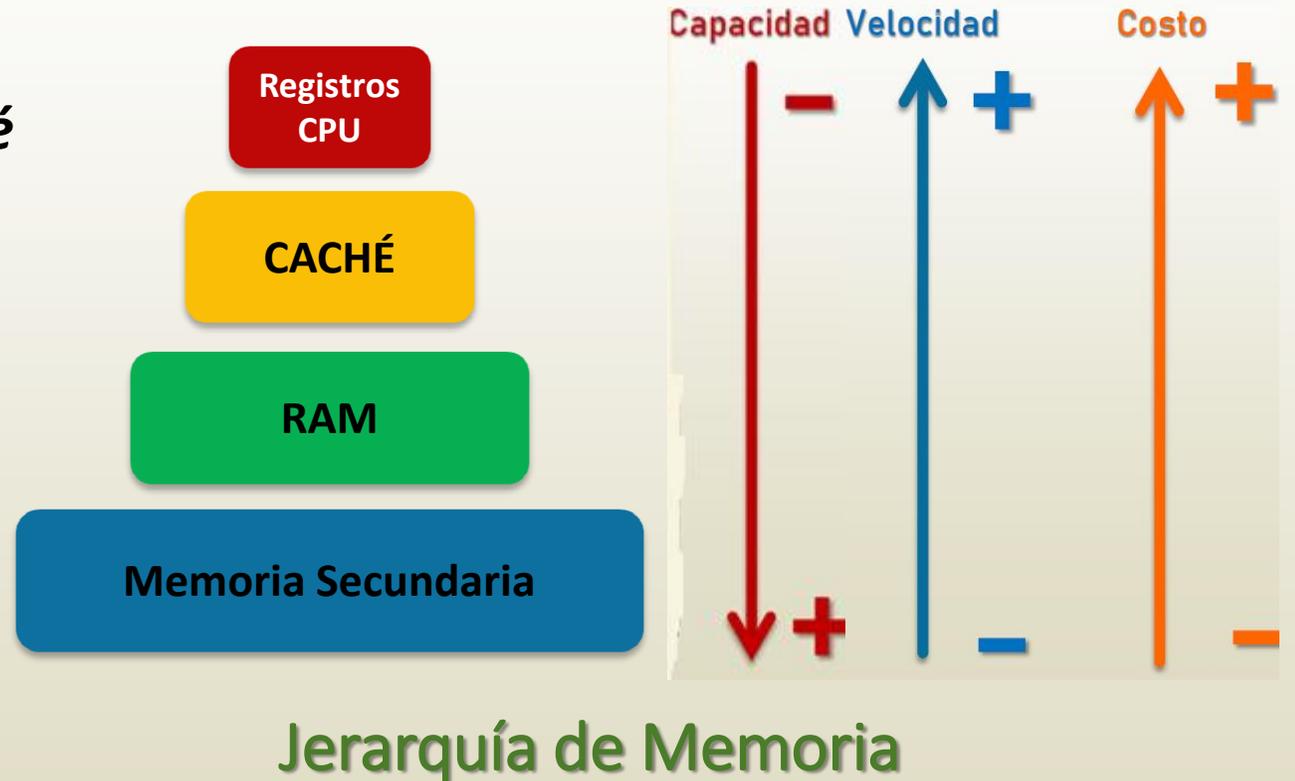
TÉCNICAS Y ESTRUCTURAS DIGITALES

Memoria Caché

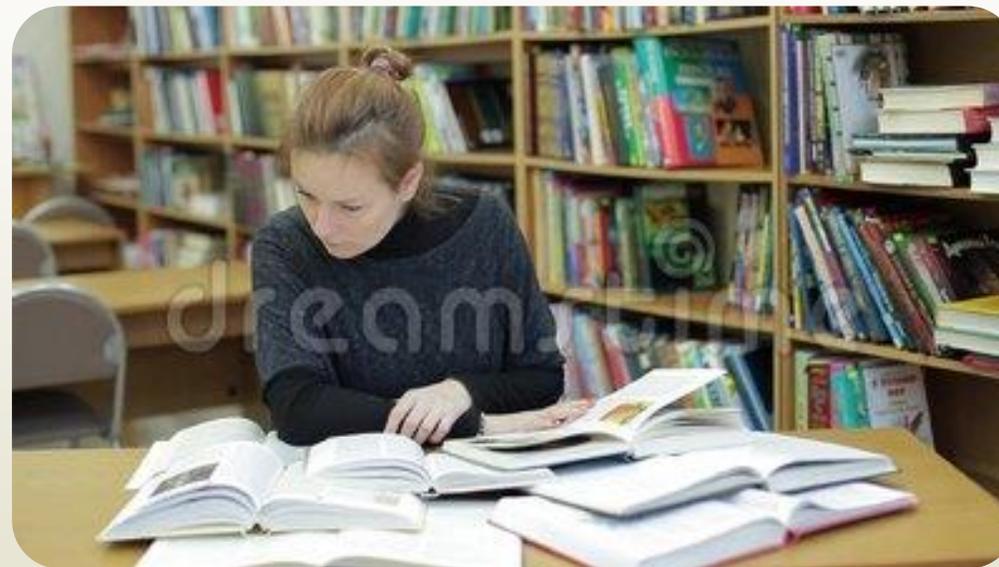


Memoria Caché

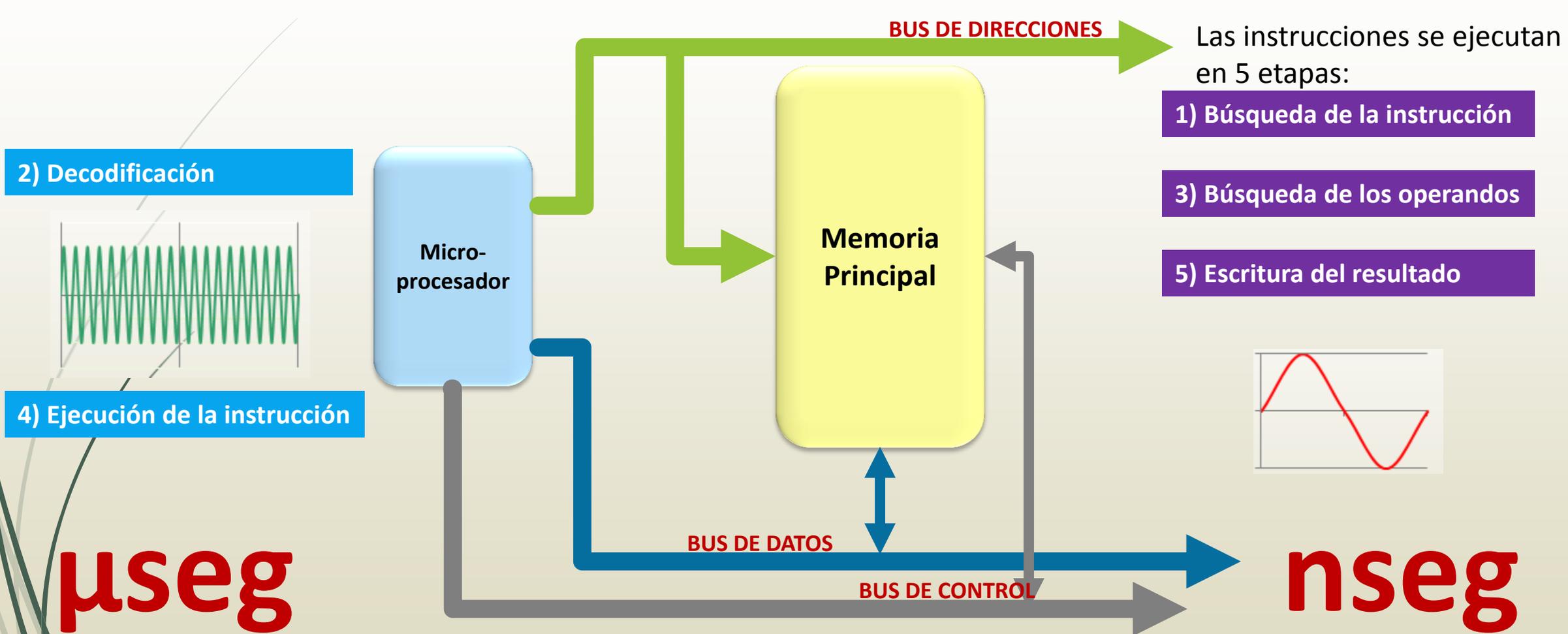
- **Memoria Caché: Concepto y utilidad**
- **Eficiencia de la memoria Caché**
 - *Tiempo de Acceso a la Caché*
 - *Tiempo de Acceso Medio*
 - *Probabilidad de Presencias*
 - *Probabilidad de Ausencias*
- **Factor de Velocidad**
- **Índice de Mejora**
- **Protocolo MESI**



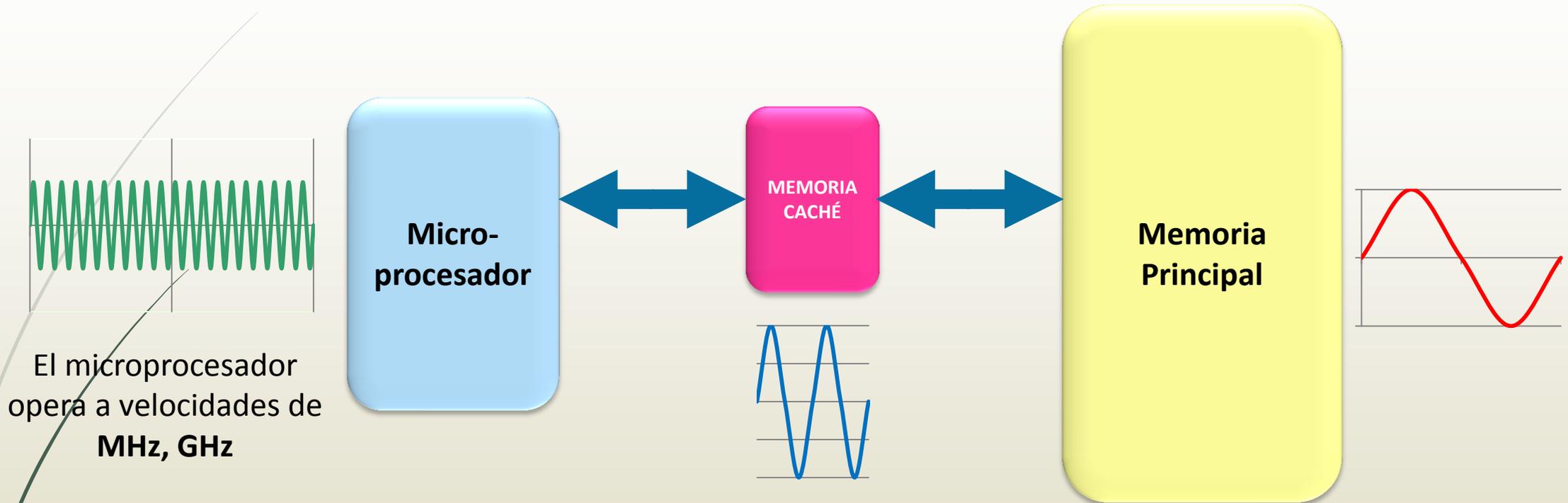
Caché - analogías



Necesidad de la memoria Caché



Memoria Caché



El microprocesador opera a velocidades de **MHz, GHz**

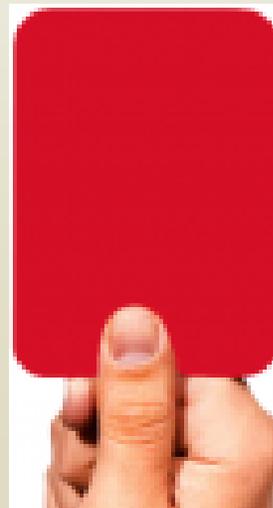
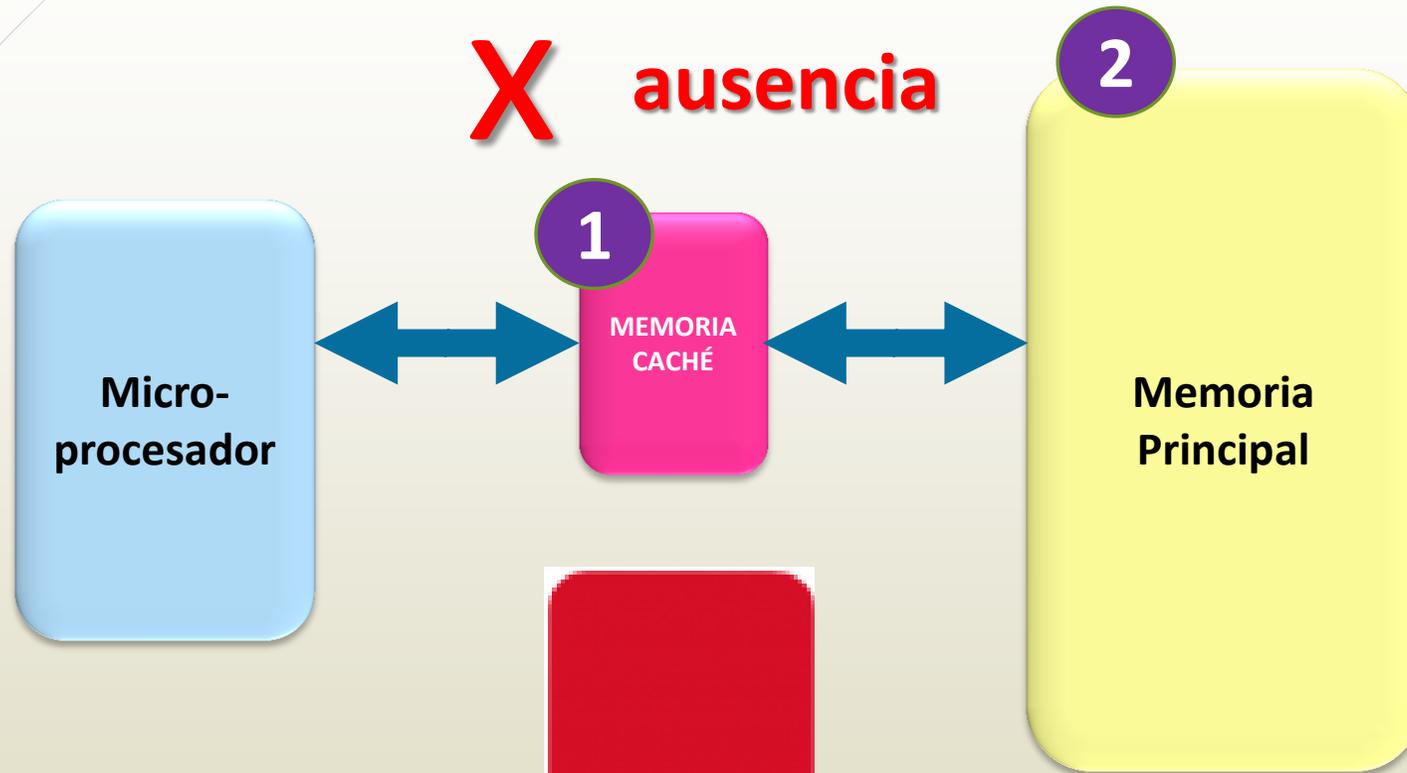
La **memoria caché** es un bloque de **memoria** muy rápida (típicamente **RAM** estática de muy alta velocidad, con **tiempos de acceso** de **15 a 35 ns**) interpuesta entre el microprocesador y la **memoria** principal del sistema.

Tamaño: entre 8 KB y 512 KB

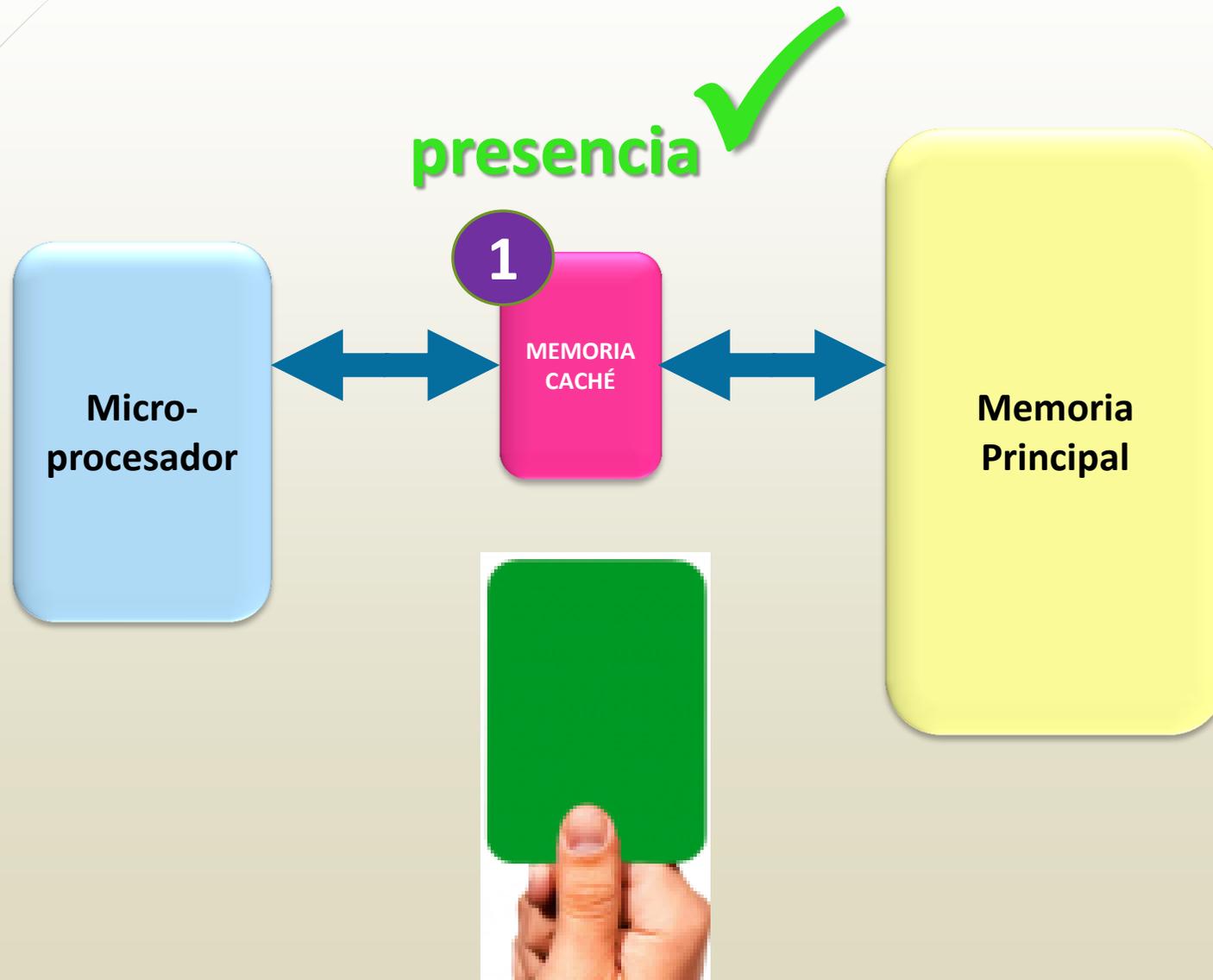
La **memoria principal** del sistema tiene tiempos de acceso que van de **50 ns a 80 ns**.

Tamaño: varios GB

Memoria Caché



Memoria Caché





Objetivo de la Caché

- Dar la impresión de que las referencias a memoria se producen a una velocidad muy cercana a la del procesador.
- Contribuir con el rendimiento general del sistema, haciendo disminuir los tiempos muertos del procesador.
- Acelerar el intercambio de datos.
- Disponer de los datos necesarios en el momento oportuno (inclusive anticiparse a las necesidades de la CPU)

Principio de Vecindad de las Referencias

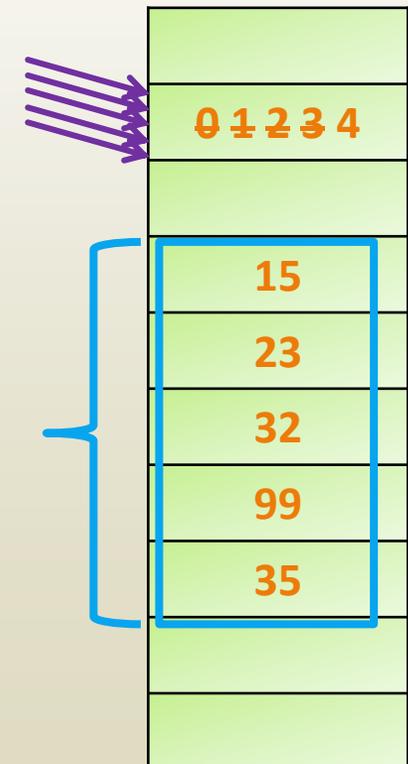
► **Vecindad de Referencias:** La eficiencia de la caché depende de los algoritmos que se utilizan para cargarla con la información que precisará la CPU próximamente. Dichos algoritmos implementan los "**principios de localidad o vecindad**" mediante software.

► **Vecindad Temporal:** Una dirección de memoria que está siendo accedida actualmente tiene muy alta probabilidad de seguir siendo accedida en el futuro inmediato. Un ejemplo de este principio son las variables locales.

```
For i = 0 to 4  
  vector[ i ] = 0;
```

► **Vecindad Espacial:** Si se está accediendo a una dirección determinada de memoria actualmente, la probabilidad de que esta dirección y sus direcciones vecinas sean accedidas en el futuro inmediato es muy alta. Por ejemplo, cuando recorremos un vector.

```
vector[0] = 15;  
vector[1] = 23;  
vector[2] = 32;  
vector[3] = 99;  
vector[4] = 35;
```



Eficiencia de la Caché

- Se denomina *eficiencia de la caché* a la relación entre su Tiempo de Acceso a la Caché (T_C) y el Tiempo de Acceso Medio (T_{medio}) necesario para realizar un acceso en el sistema jerárquico.

$$\text{Eficiencia} = \frac{T_C}{T_{\text{medio}}}$$

- Donde el tiempo de acceso medio al sistema es función de la probabilidad de aciertos que se produzcan en la caché:

$$T_{\text{medio}} = f(h)$$

$$T_{\text{medio}} = h \cdot T_C + (1 - h)(T_C + T_{MP})$$

$$\text{Probabilidad de presencia } (h) = \frac{\text{Número de presencias en caché}}{\text{Número de accesos a caché}}$$

$$\text{Probabilidad de ausencia } (1 - h) = \frac{\text{Número de ausencias en caché}}{\text{Número de accesos a caché}}$$

Tiempo Medio de Acceso

$$T_{medio} = h \cdot T_C + (1 - h)(T_C + T_{MP})$$

Si no hubiera memoria Caché, entonces:

$$T_C = 0 ; h = 0 \text{ y } 1-h = 1$$

$$T_{medio} = h \cdot 0 + (1 - h)(0 + T_{MP})$$

$$T_{medio} = 0 + (1 - 0)(T_{MP})$$

$$T_{medio} = (1)(T_{MP})$$

$$T_{medio} = T_{MP}$$

Si sólo hubiera memoria Caché, entonces:

$$T_{MP} = 0 ; h = 1 \text{ y } 1-h = 0$$

$$T_{medio} = 1 \cdot T_C + (1 - 1)(T_C + 0)$$

$$T_{medio} = T_C + (0)(T_C)$$

$$T_{medio} = T_C$$

Ejemplo 1

- Un sistema posee una memoria principal con un tiempo de acceso de 80 nseg y una caché con un tiempo de acceso de 15 nseg. La tasa de aciertos en caché es del 85%.

Responda:

- a) ¿Cuál es el tiempo medio de acceso de este sistema?
- b) ¿Vale la pena la instalación de la memoria caché? Fundamente.



DATOS:

$$T_{MP} = 80 \text{ ns}$$

$$T_C = 15 \text{ ns}$$

$$h = 85\%$$

INCOGNITAS:

T_{MEDIO}

Eficiencia

SOLUCION:

$$T_{medio} = h \cdot T_C + (1 - h)(T_C + T_{MP})$$

$$T_{medio} = 0,85 \cdot 15ns + (1 - 0,85)(15ns + 80ns)$$

$$T_{medio} = 12,75ns + (0,15)(15ns + 80ns)$$

$$T_{medio} = 27ns$$

$$Eficiencia = \frac{T_C}{T_{medio}}$$

$$Eficiencia = \frac{15ns}{27ns}$$

$$Eficiencia = 55\%$$

RESPUESTA: El tiempo de acceso medio al sistema es de 27 ns. Si vale la pena, porque se consigue una eficiencia del 55 % al incorporar la Caché y se nota una disminución en el tiempo de acceso.

Factor de Velocidad e Índice de Mejora

- Se denomina **Factor de Velocidad** a la relación entre el *Tiempo de Acceso a la Memoria Principal* (T_{MP}) y el Tiempo de Acceso a la Caché (T_C)

$$FV = \frac{T_{MP}}{T_C}$$

- Se denomina **Índice de Mejora** a la relación entre el *Tiempo de Acceso sin Caché* y el *Tiempo de Acceso con Caché*. Nos indica si es conveniente el uso de la Caché y en qué medida.

$$IM = \frac{T_{MP}}{T_{medio}}$$

Ejemplo 2

- En un subsistema de memoria con una Memoria Principal DRAM, que tiene de tiempo de acceso $T_{MP} = 1500$ ns, se incorpora una caché con $T_C = 50$ ns. Se sabe que la probabilidad de ausencia es mínima, del 4%. Calcule: El tiempo de acceso medio del sistema jerárquico, el factor de velocidad, la eficiencia de la caché, la mejora observada.

SOLUCION:

DATOS:

$$T_{MP} = 1500 \text{ ns}$$

$$T_C = 50 \text{ ns}$$

$$1-h = 4\%$$

$$h = 100\% - 4\% = 96\% = 0,96$$

$$T_{medio} = h \cdot T_C + (1 - h)(T_C + T_{MP})$$

$$T_{medio} = 0,96 \cdot 50ns + (0,04)(1550ns)$$

$$T_{medio} = 48ns + 62ns$$

$$T_{medio} = 110ns$$

$$Eficiencia = \frac{T_C}{T_{medio}} = \frac{50ns}{110ns} = 45\%$$

$$IM = \frac{T_{MP}}{T_{medio}} = \frac{1500ns}{110ns} = 13.63$$

$$FV = \frac{T_{MP}}{T_C} = \frac{1500ns}{50ns} = 30$$

INCOGNITAS:

T_{medio}

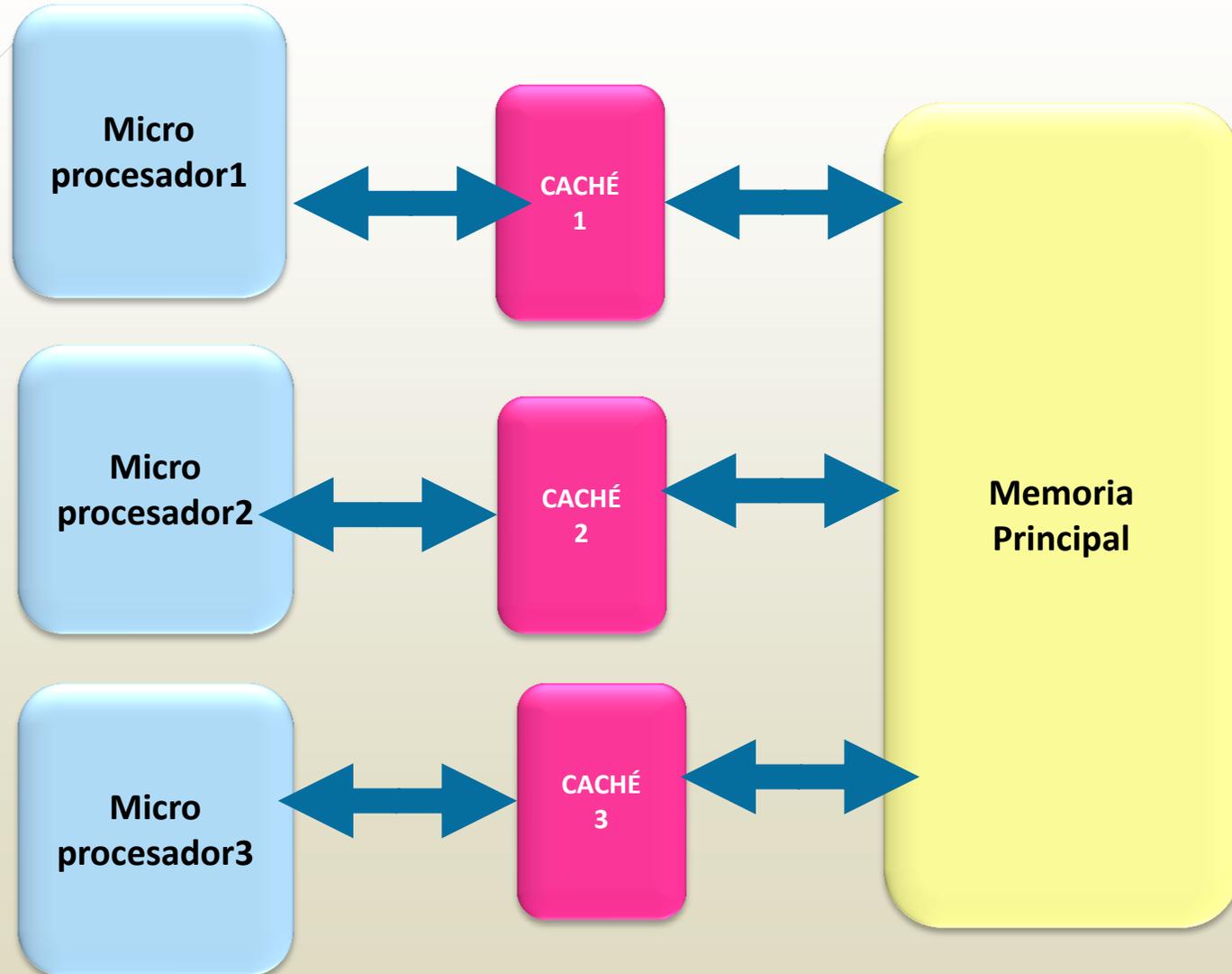
FV

Eficiencia

IM

h

Protocolo MESI



~~W~~XI no alcanza

MESI

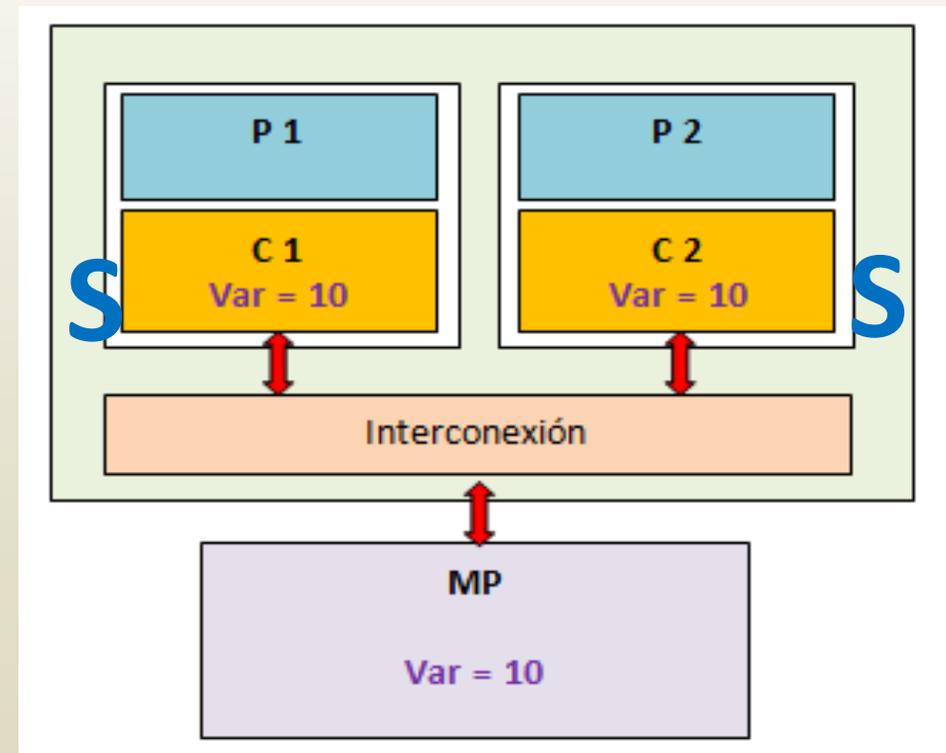
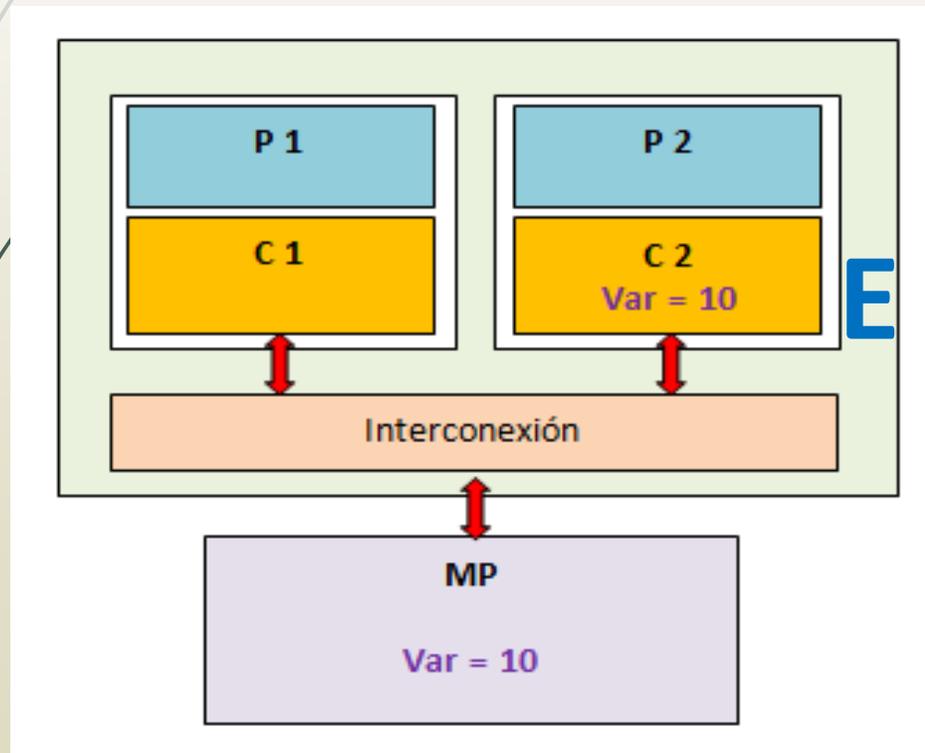
Protocolo MESI

- Es un protocolo de **coherencia** entre la caché y la memoria principal.
- Cuando hay más de una caché, garantiza la coherencia del contenido de las mismas.
- Si hay un procesador y una caché, la coherencia se controla con un indicador de validez.
- Si hay más de un procesador y cada procesador dispone de una caché, puede ocurrir que múltiples cachés compartan datos, lo que puede provocar conflictos.
- El protocolo MESI contiene una descripción del estado compartido.
- Para controlar la coherencia de los datos se usan **4 estados**, se pueden identificar con 2 bits:

ESTADO		DESCRIPCION
00	Modified	Válido, los datos han sido Modificados y son <u>inconsistentes</u> con los datos en la memoria, y los datos solo existen en este caché.
01	Exclusive	Válido, los datos son <u>consistentes</u> con los datos en la memoria y los datos solo existen en este caché.
10	Shared	Válida, los datos son <u>consistentes</u> con los datos en la memoria y los datos existen en muchos cachés.
11	Invalid	Esta fila de datos no es válida.

Ejemplo 3

- Un sistema cuenta 2 procesadores, llamados P1 y P2. Entre cada procesador y la memoria principal se encuentran interpuestas las memorias cachés C1 y C2, respectivamente. A continuación se muestra una secuencia de situaciones. Asigne en cada paso, el estado de caché que corresponde, según el protocolo MESI.



Ejemplo 3

- Un sistema cuenta 2 procesadores, llamados P1 y P2. Entre cada procesador y la memoria principal se encuentran interpuestas las memorias cachés C1 y C2, respectivamente. A continuación se muestra una secuencia de situaciones. Asigne en cada paso, el estado de caché que corresponde, según el protocolo MESI.

