



TÉCNICAS Y ESTRUCTURAS DIGITALES

Ejemplos de Posicionamiento de Memorias

Ejemplo 1

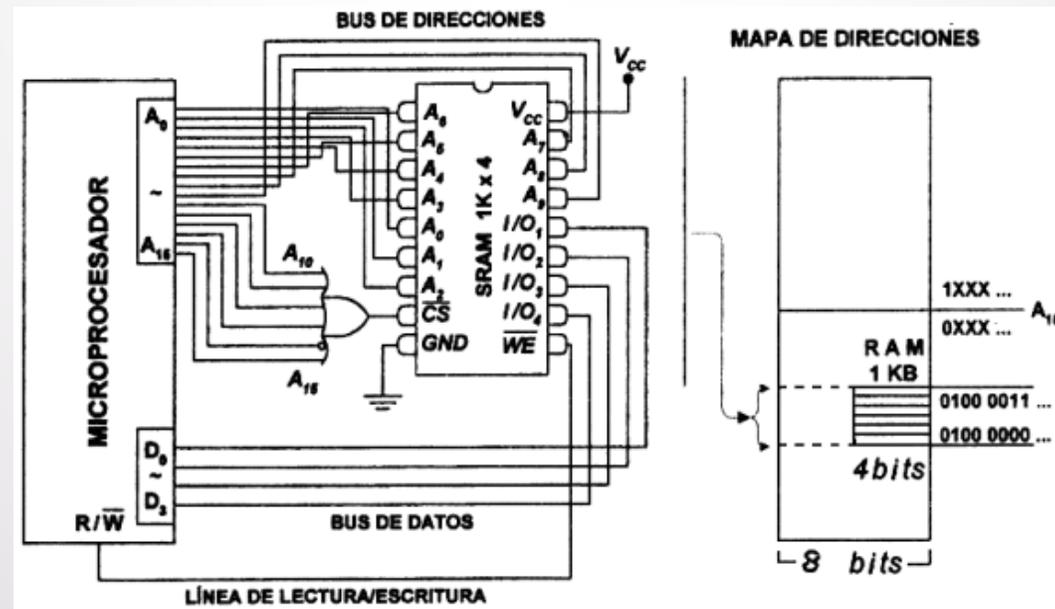
- Dada una CPU anfitriona con un bus de direcciones de 16 bits y un bus de datos de 4 bits, conecte una unidad de memoria RAM de 1 KB x 4 bits a partir de la dirección \$4000 del mapa de direcciones del sistema.

 - Por tratarse de una memoria de 1 KB se sabe que se dispone de diez líneas para el direccionamiento interno de los registros, de A_0 a A_9 . En todos los casos, las líneas de direccionamiento interno de la memoria se conectan a sus homólogas en el bus de direcciones. Restan seis líneas del bus que deberán utilizarse completamente para el posicionamiento del chip.
 - La unidad de memoria de 1 KB representa 1024 Bytes expresados en el sistema decimal y \$400 Bytes expresados en el sistema hexadecimal, que van desde \$000 a \$3FF. Si la posición inicial de la dirección en el mapa para este chip es \$4000, significa que la posición final será \$43FF. Expresado en binario tenemos:

Identificación →	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
Dirección inicial →	\$4				0			0				0				
	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Selección de chip →						← direccionamiento interno									
Dirección final →	0	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
	\$4				3			F				F				

Ejemplo 1

- Como se observa en la tabla anterior, todas las líneas del bus de direcciones que se utilizan para el direccionamiento interno de la memoria asumen todo el rango de valores en el intervalo que ocupará la memoria, mientras que las restantes líneas del bus se mantienen fijas en ese intervalo. Entonces, para que el chip de memoria se active al recibir una dirección comprendida entre \$4000 y \$43FF, debe recibir $\overline{CS} = 0$ cuando $A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} = 010000$, es decir que $\overline{CS} = A_{15} + \overline{A}_{14} + A_{13} + A_{12} + A_{11} + A_{10}$.
- Esquema de Conexión y Mapa de Direcciones



Ejemplo 2

- ▶ Para una CPU anfitriona de 16 líneas en el AB y 8 líneas en el DB, ampliar un segmento de memoria RAM de 16 KB ubicado al principio del mapa de direcciones a 22 KB, utilizando unidades de memorias de 2 KB x 8. La selección de chip es directa. Plantear el mapa de direcciones y dibujar el esquema de conexión resultante.
 - En el sistema anfitrión se dispone de una memoria de 64 KB ($2^{16} = 65.536 \text{ bytes} = 64 \text{ KB}$) por lo que se puede deducir que la ampliación de memoria a 22 KB es factible.
 - Por otro lado, el chip de memoria de 2 KB tiene palabras de 8 bits al igual que el ancho del DB, por lo que no es necesario que las unidades a conectar se dispongan una “al lado” de otra.
 - Además, queremos ampliar la memoria de 16 KB a 22 KB, por lo que es necesario agregar 6 KB más; al contar con unidades de 2 KB, será necesario asociar 3 unidades de memoria al sistema.
 - Teniendo en cuenta que un chip de 2 KB de memoria debe contar con 11 ($2^{11} = 2.048 \text{ bytes} = 2 \text{ KB}$) terminales para direccionamiento interno, y por lo tanto, son 5 (16 líneas AB – 11 líneas de direccionamiento interno = 5) las líneas de selección de chip, procedemos a planificar las ampliaciones propuestas explicitando las direcciones iniciales y finales de los segmentos de memoria existentes y adicionados.

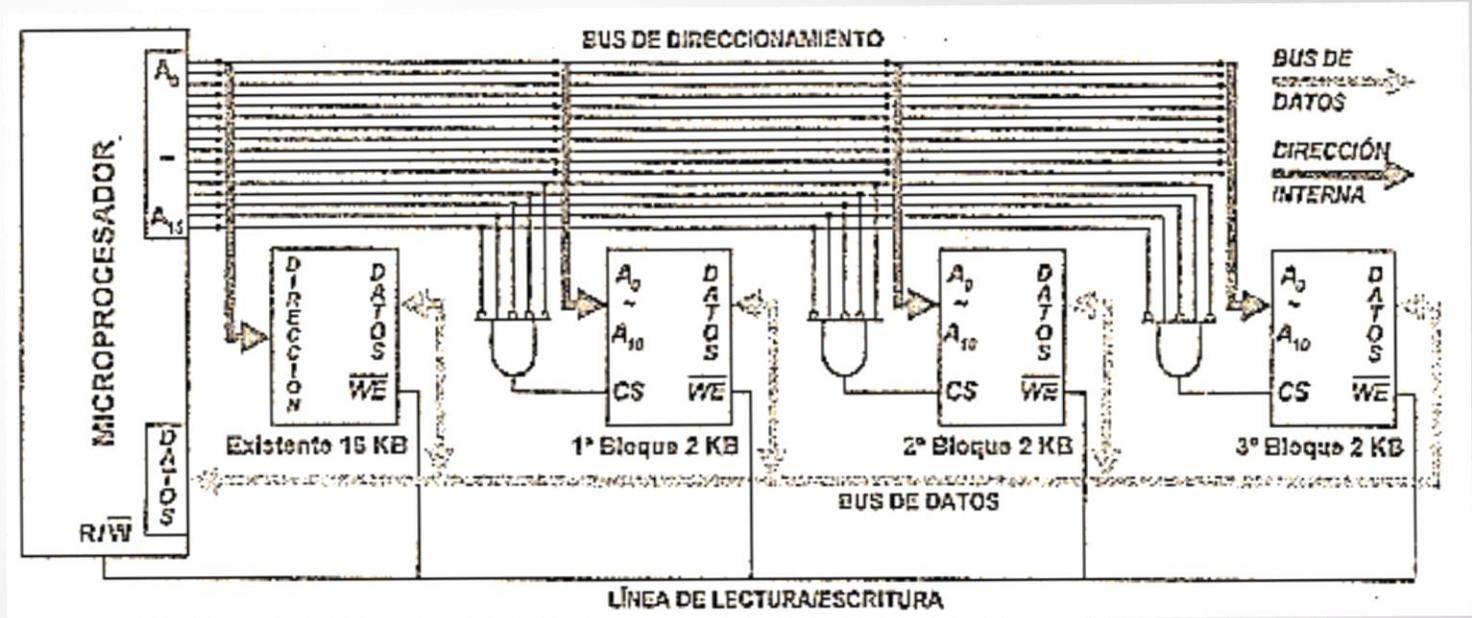
Ejemplo 2

Identificación →		A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
RAM existente 16 KB	Dirección inicial	\$0			0			0			0							
	→	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Selección de chip → ← direccionamiento interno																	
	Dirección final →	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
		\$3			F			F			F							
RAM Adicional 1º bloque 2 KB	Dirección inicial	\$4			0			0			0							
	→	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Selección de chip → ← direccionamiento interno																	
	Dirección final →	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
		\$4			7			F			F							
RAM Adicional 2º bloque 2 KB	Dirección inicial	\$4			8			0			0							
	→	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	
	Selección de chip → ← direccionamiento interno																	
	Dirección final →	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
		\$4			F			F			F							
RAM Adicional 3º bloque 2 KB	Dirección inicial	\$5			0			0			0							
	→	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	
	Selección de chip → ← direccionamiento interno																	
	Dirección final →	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1
		\$5			7			F			F							

Ejemplo 2

- Mapa de Direcciones y Esquema de Conexión

	\$ FFFF
RAM 2 KB x 8	\$ 57FF
RAM 2 KB x 8	\$ 5000
RAM 2 KB x 8	\$ 4FFF
RAM 2 KB x 8	\$ 4800
RAM 2 KB x 8	\$ 47FF
RAM 2 KB x 8	\$ 4000
RAM 16 KB x 8	\$ 3FFF
	\$ 0000



Ejemplo 3

- ▶ Para una CPU anfitriona de 16 líneas en el AB y 8 líneas en el DB, configurar un bloque de memoria RAM de 2 KB x 8 en la primera porción del mapa de direccionamiento, utilizando chips de memoria RAM de 1 KB x 4. La selección de chip de memoria tiene 2 líneas CS₁ y CS₂. Plantear el mapa de direcciones y dibujar el esquema de conexión resultante.
 - Nótese que se combina, además de la ampliación de la cantidad de registros (ejercicio A), la ampliación de la longitud de la palabra. Como se dispone de chips con palabras de 4 bits (D₃, D₂, D₁ y D₀) y DB del sistema es de 8, simplemente se reparte el bus de datos para que cada grupo de líneas sea soportado por un circuito de memoria, a los cuales se direcciona idénticamente. También tienen capacidad de 1 KB, por lo que necesitan 10 líneas de direccionamiento interno (A₀ ~ A₉), con lo cual, 6 líneas se destinan a la selección de chip (A₁₀ ~ A₁₅). Para configurar la memoria de 2 KBx8 será necesario asociar 4 chips de 1 KBx4.

Ejemplo 3

- Mapa de Direcciones y Esquema de Conexión

