



TÉCNICAS Y ESTRUCTURAS DIGITALES

Práctica de Combinacionales Estándar

Circuitos Combinacionales Estándar

➤ Aritméticos

- Sumadores (semisumador, sumador total)
- Restadores (semirestador, restador total)
- Sumadores/restadores por complemento
- Sumadores BCD
- ALU

➤ Transferencia

- Multiplexores
- Demultiplexores

➤ Comparación

➤ Codificación

- Decodificadores (excitadores, no excitadores)
- Codificadores (sin prioridad, con prioridad (a menor, a mayor))
- Conversores de Código

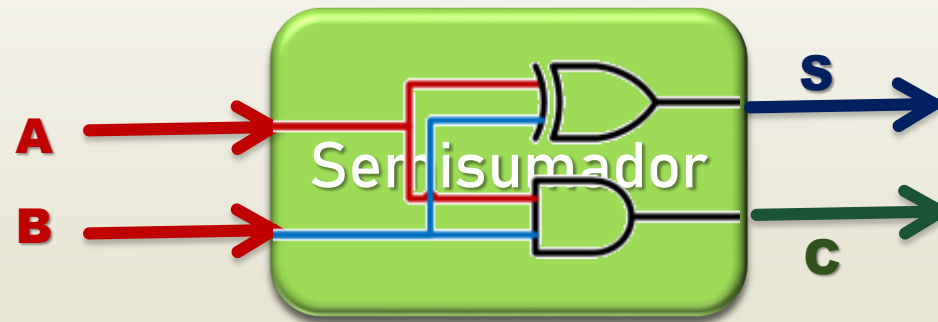
Aritméticos (1)

► Sumadores

$$S(A, B) = \bar{A} \cdot B + A \cdot \bar{B}$$

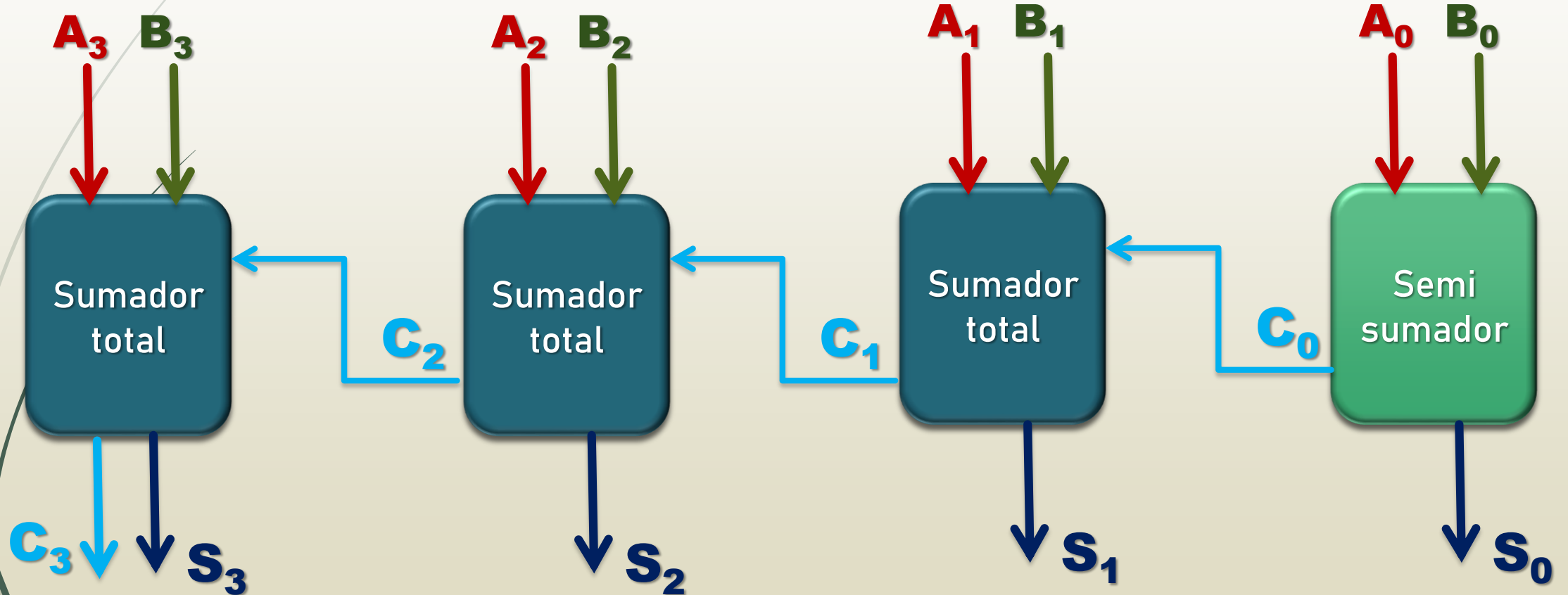
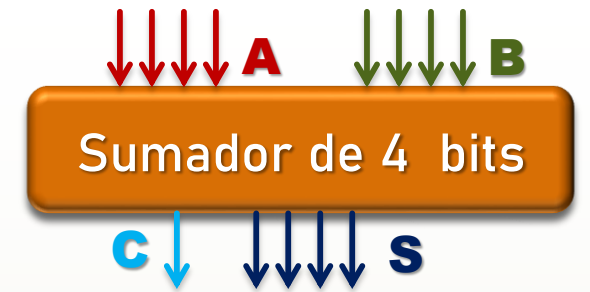
$$C(A, B) = A \cdot B$$

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



Aritméticos (2)

► Sumador de 4 bits



Aritméticos (3)

► Sumadores/restadores por complemento

- Circuitos que realizan restas a través de sumas
- Uno de los valores de entrada debe complementarse (complemento a 1 o 2)

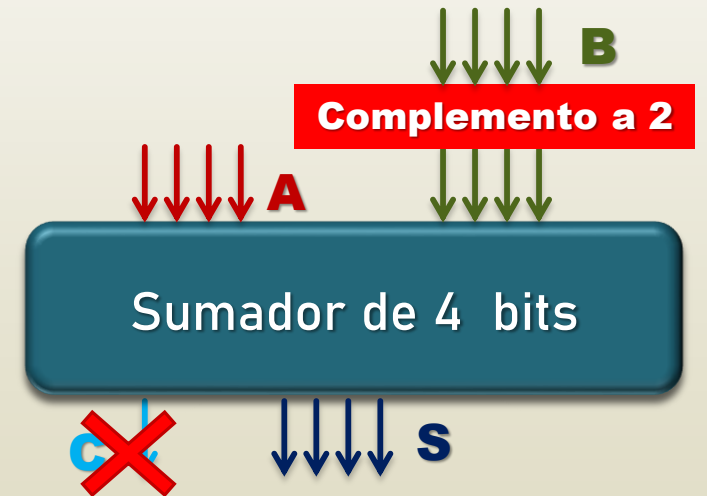
$$\begin{array}{r} 5 \quad 0101 \\ - 3 \quad 0011 \\ \hline 2 \quad 0010 \end{array}$$



0011 → 1100

$$\begin{array}{r} 0101 \\ + 1100 \\ \hline 10001 \\ 0001 \\ + 0001 \\ \hline 0010 \end{array}$$

$$\begin{array}{r} 0101 \\ + 1101 \\ \hline \times 0010 \end{array}$$

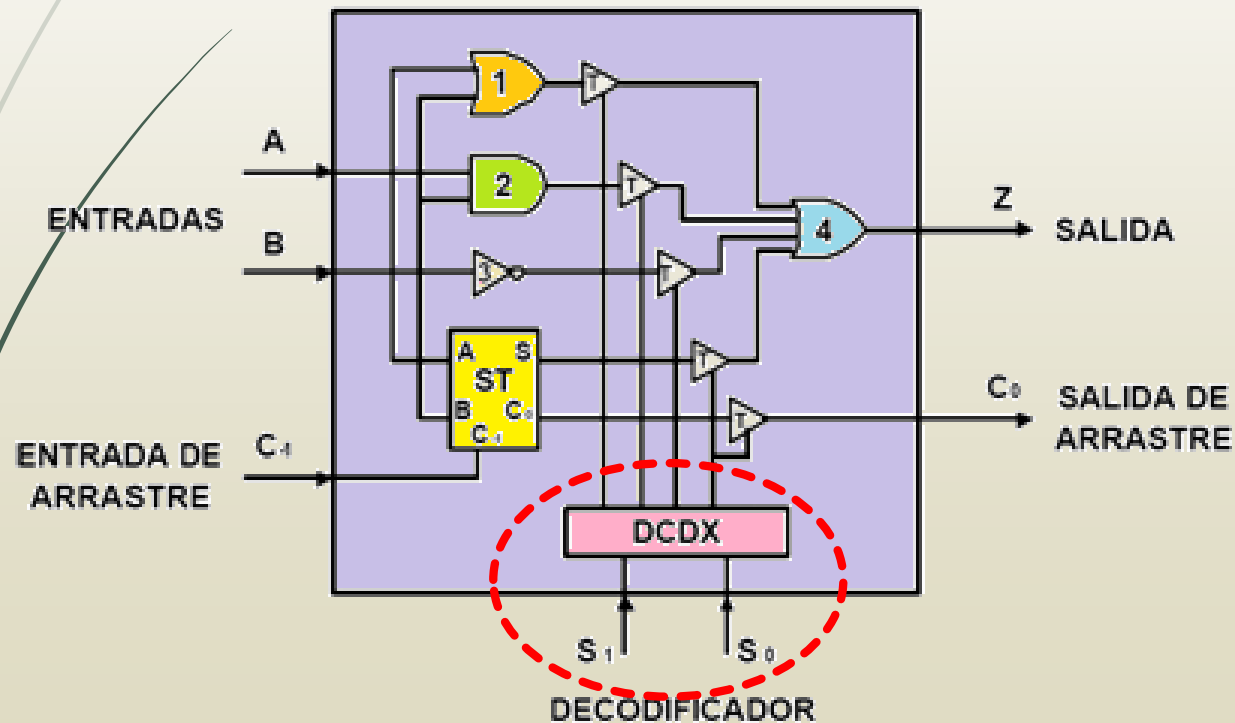


0011 → 1101

Aritméticos (4)

► Unidad Aritmético Lógica

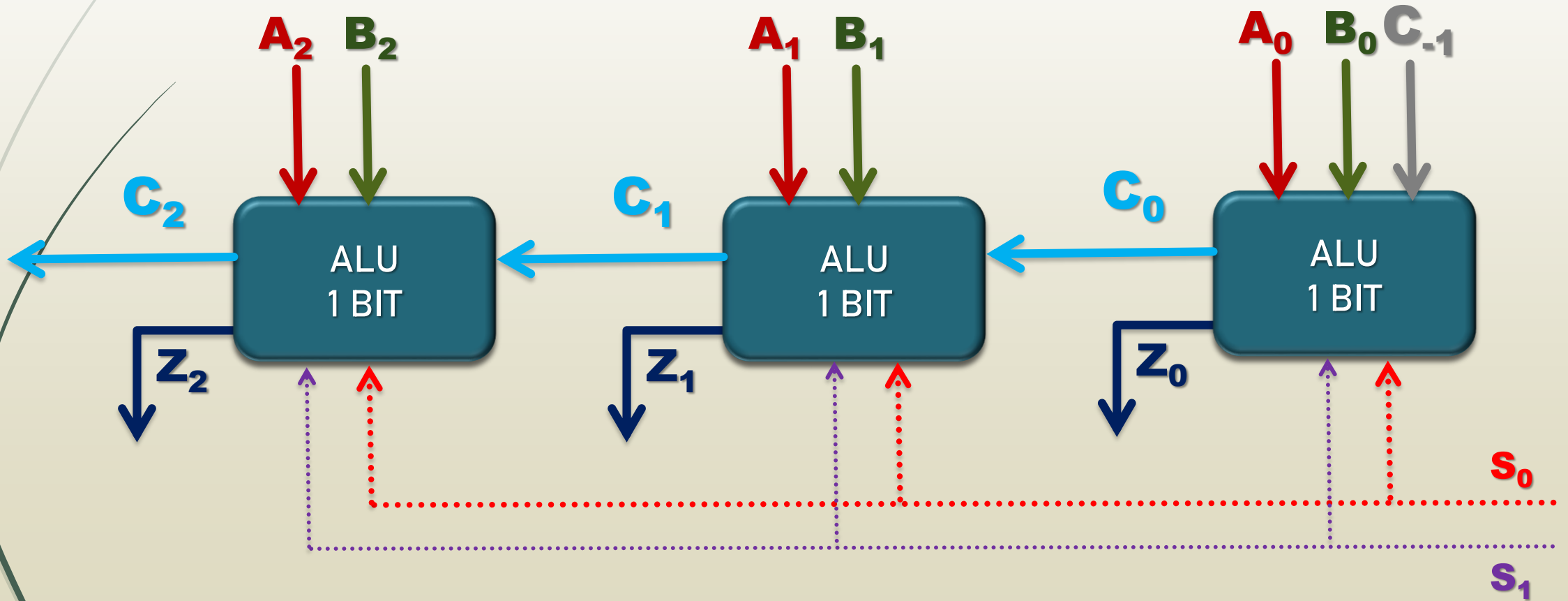
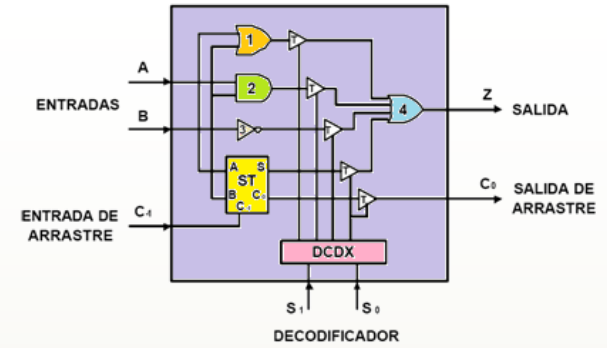
- Circuito combinacional que ejecuta 4 operaciones básicas de acuerdo al valor de líneas de selección.



S1	S0	S	P	N	ST	
0	0	1	0	0	0	OR
0	1	0	1	0	0	AND
1	0	0	0	1	0	NOT
1	1	0	0	0	1	SUM

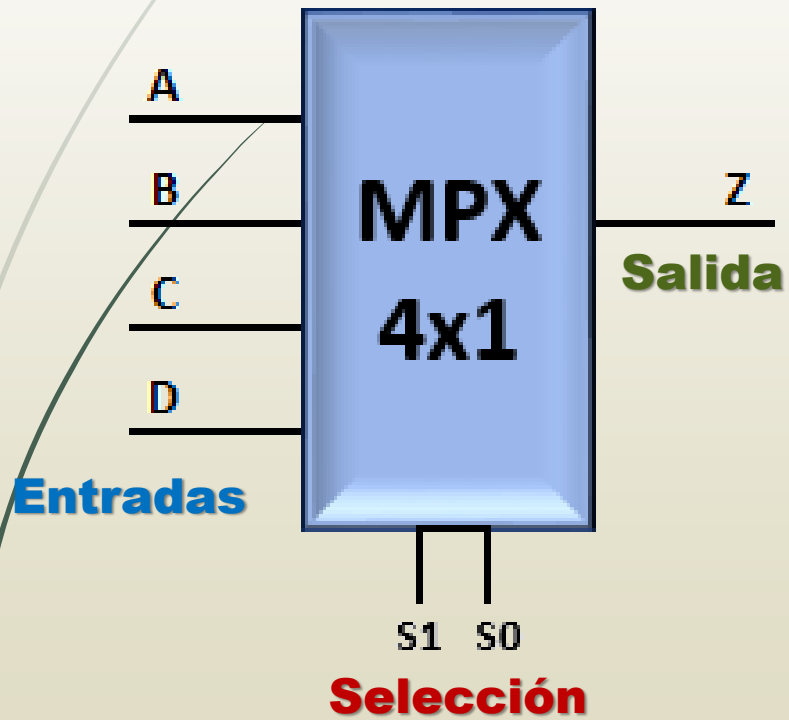
Aritméticos (5)

► Unidad Aritmético Lógica de 3 bits



Transferencia (1)

► Multiplexores (MPX)

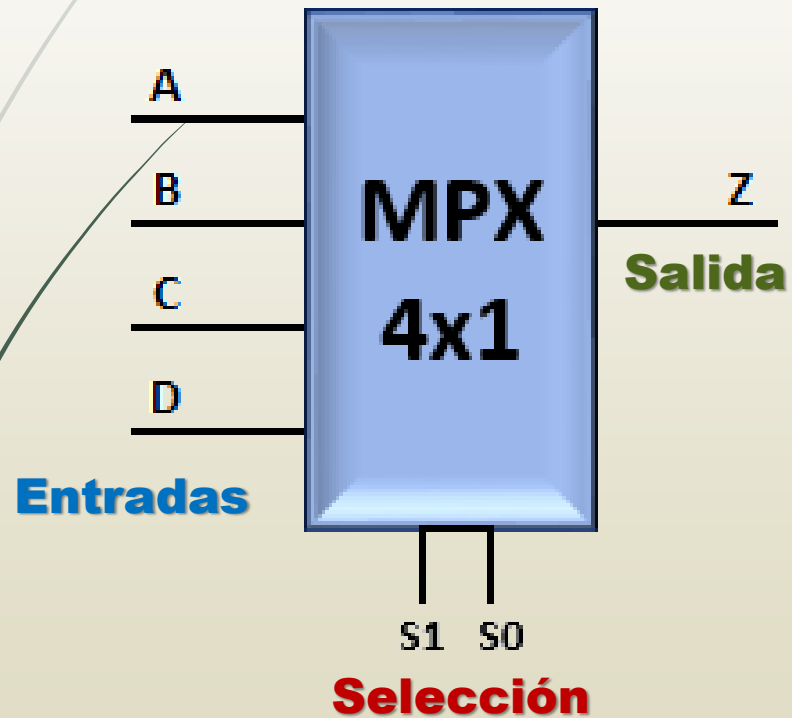


S1	S0	Z
0	0	A
0	1	B
1	0	C
1	1	D



Transferencia (2)

► Construcción de MPX

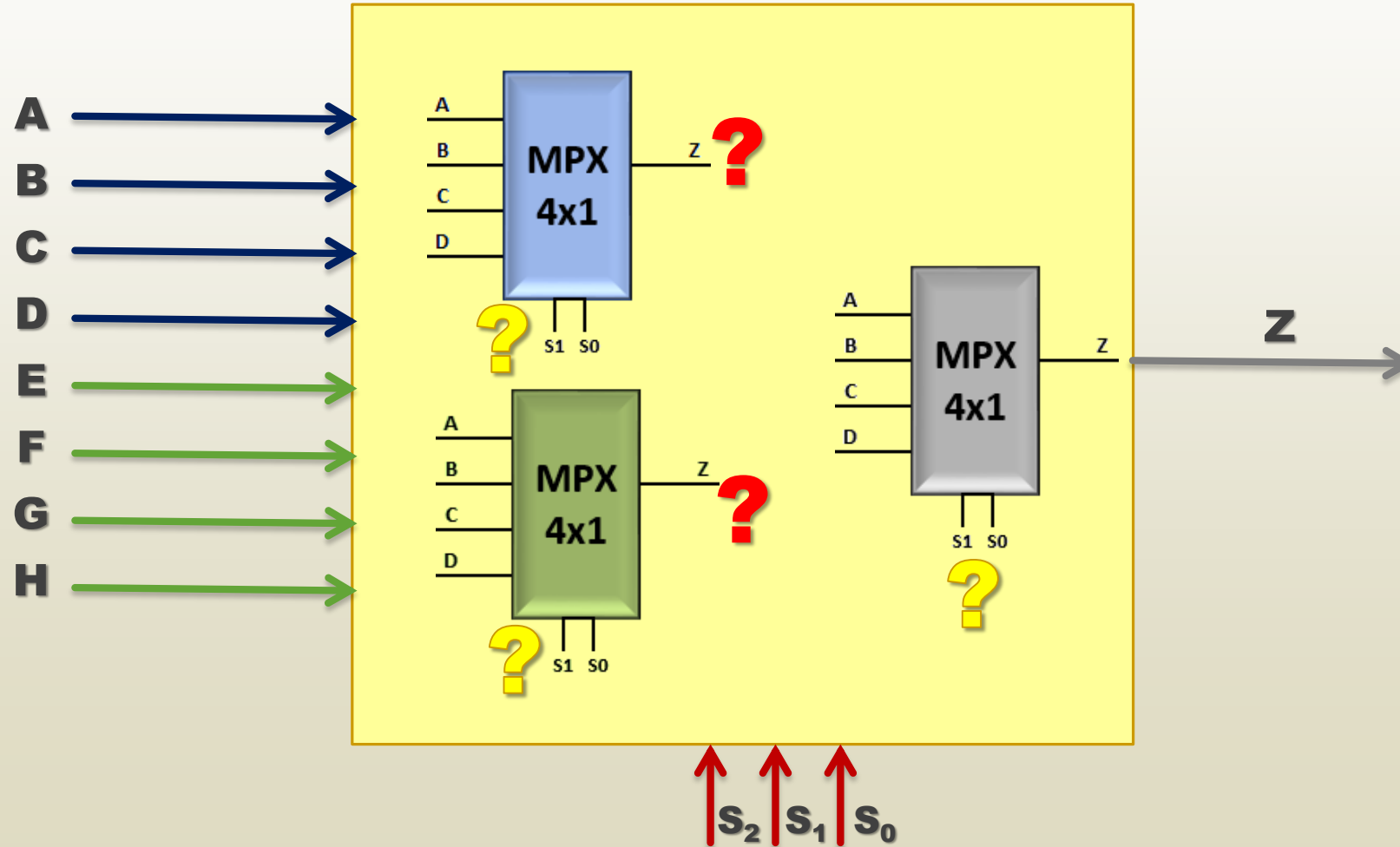
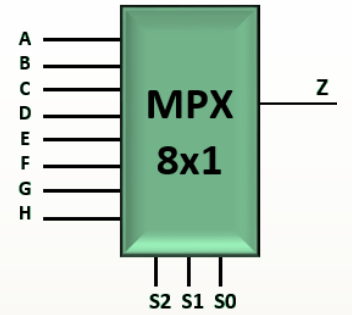


► Construir un MPX 8x1 a partir de MPX 4x1



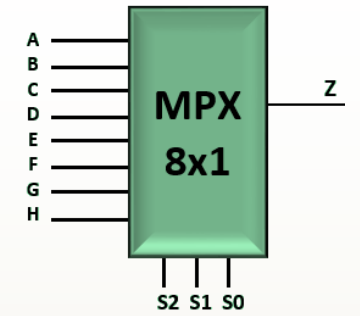
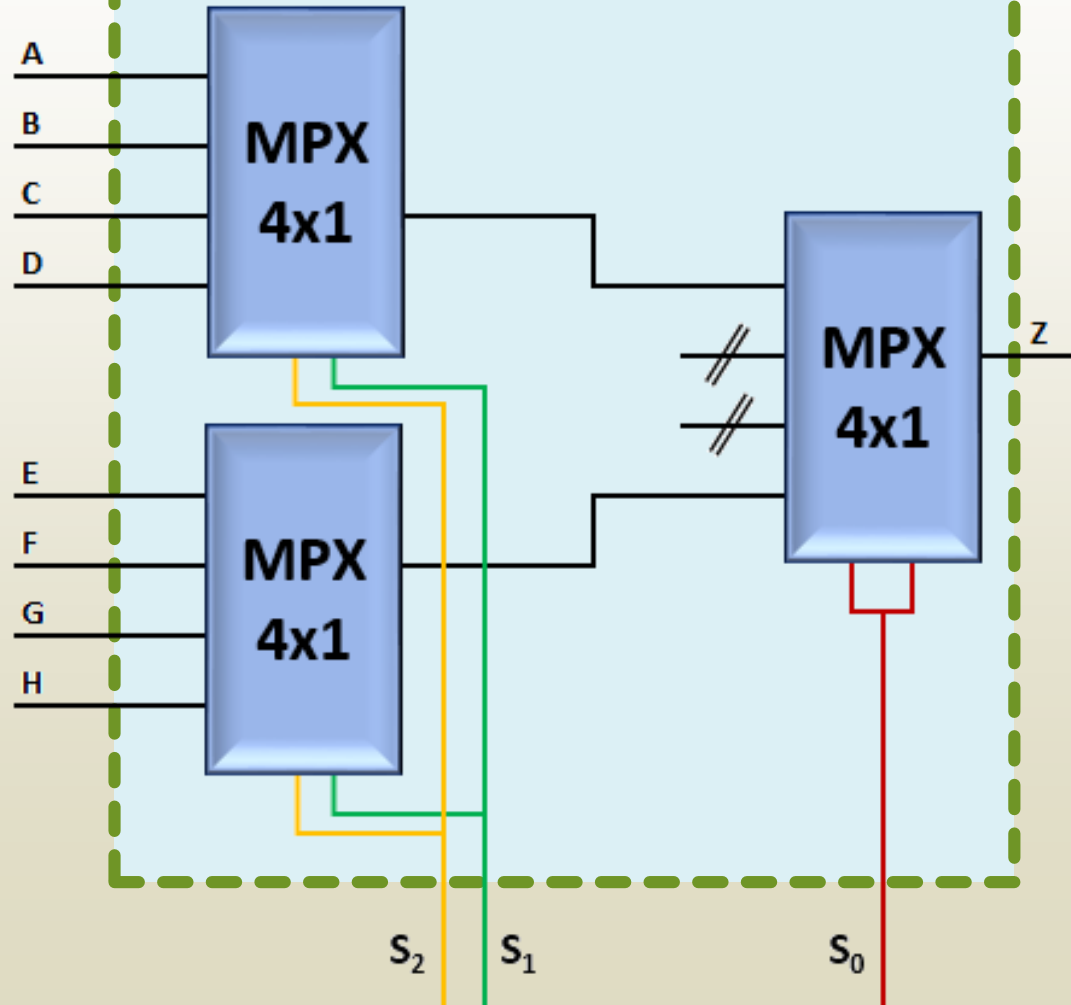
Transferencia (3)

Construcción de MPX



Transferencia (4)

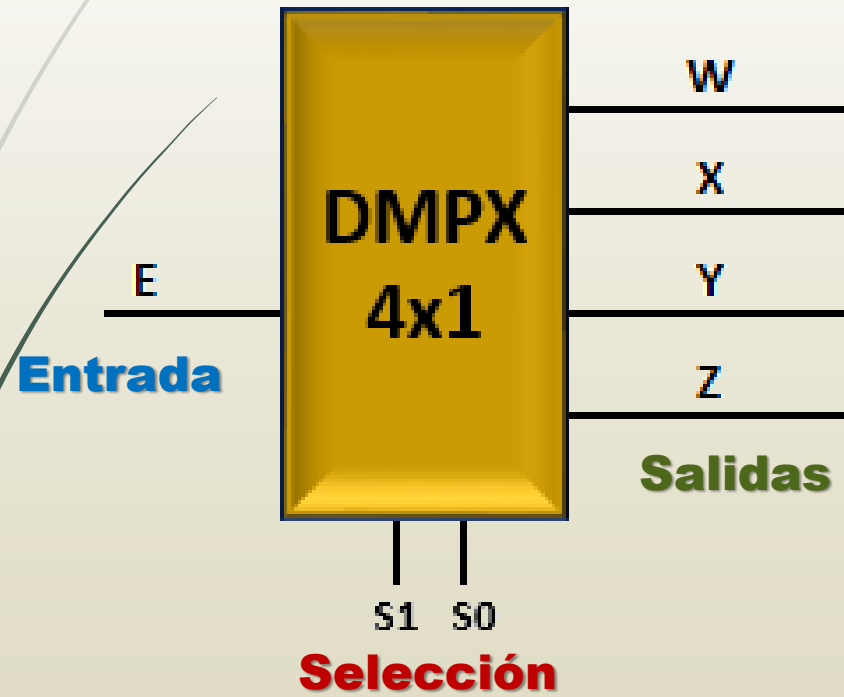
► Construcción de MPX



S ₂	S ₁	S ₀	Z
0	0	0	A
0	0	1	E
0	1	0	B
0	1	1	F
1	0	0	C
1	0	1	G
1	1	0	D
1	1	1	H

Transferencia (5)

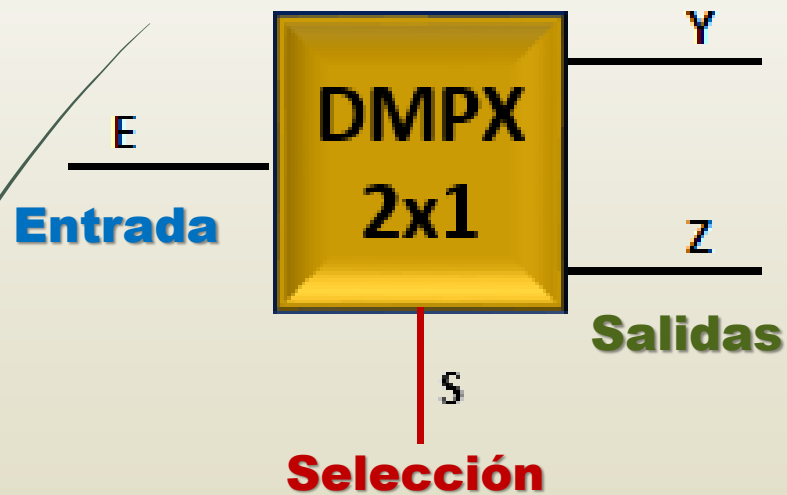
► Demultiplexores (DMPX)



S1	S0	W	X	Y	Z
0	0	E	-	-	-
0	1	-	E	-	-
1	0	-	-	E	-
1	1	-	-	-	E

Transferencia (6)

► Construcción de DMPX

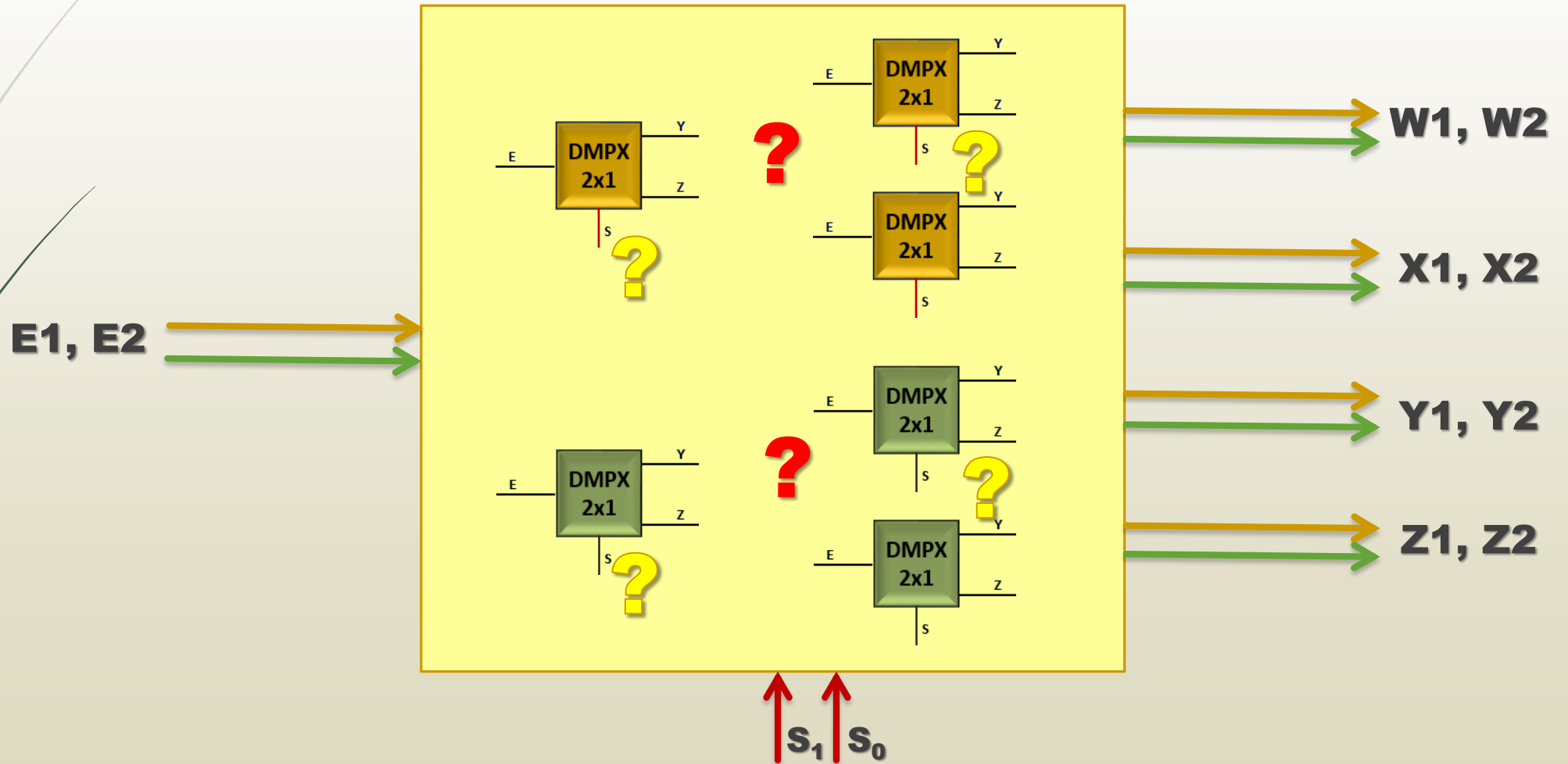
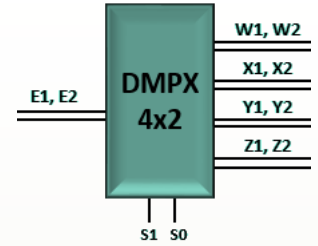


Construir un DMPX 4x2 a partir de DMPX 2x1



Transferencia (7)

Construcción de DMPX

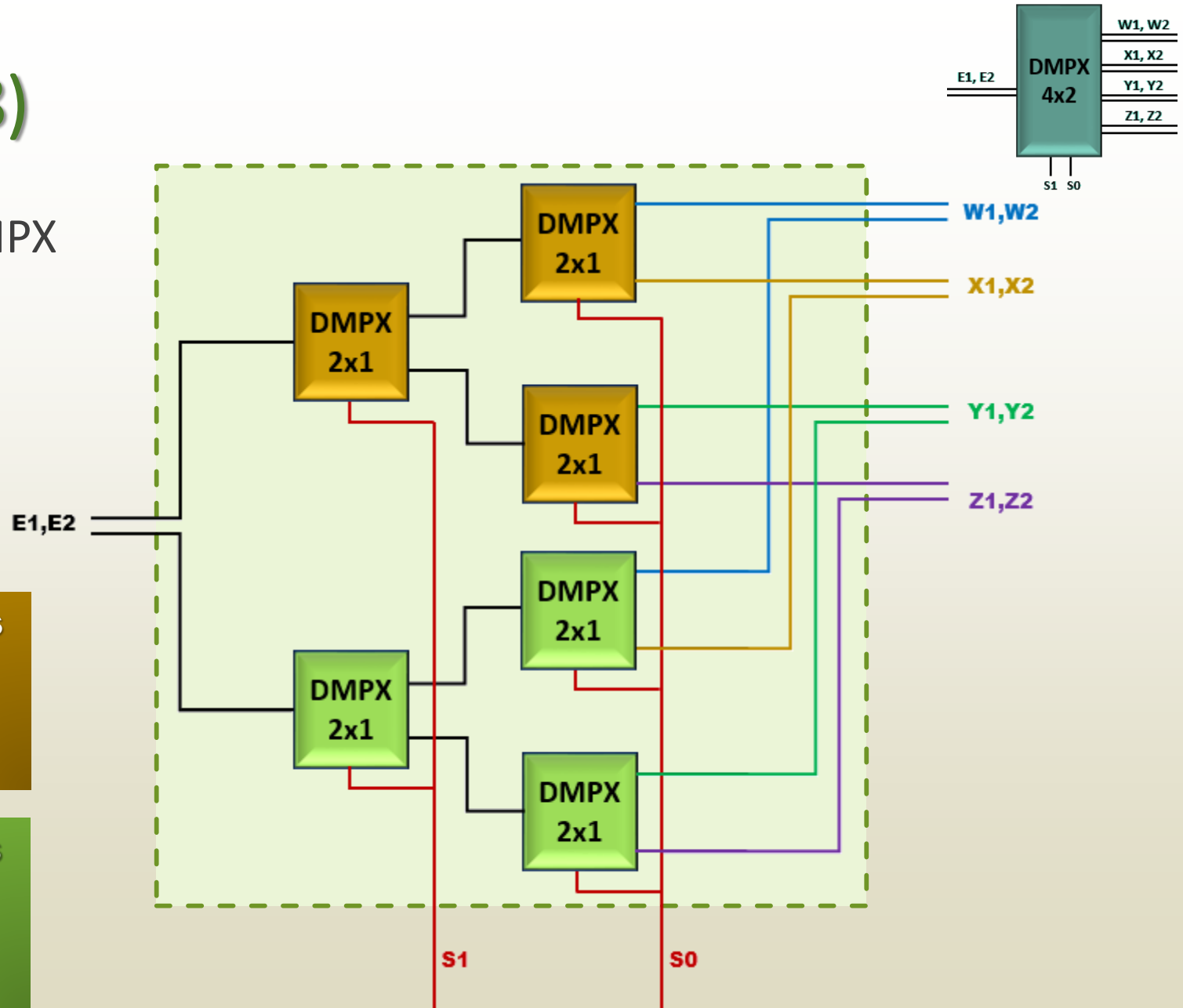


Transferencia (8)

► Construcción de DMPX

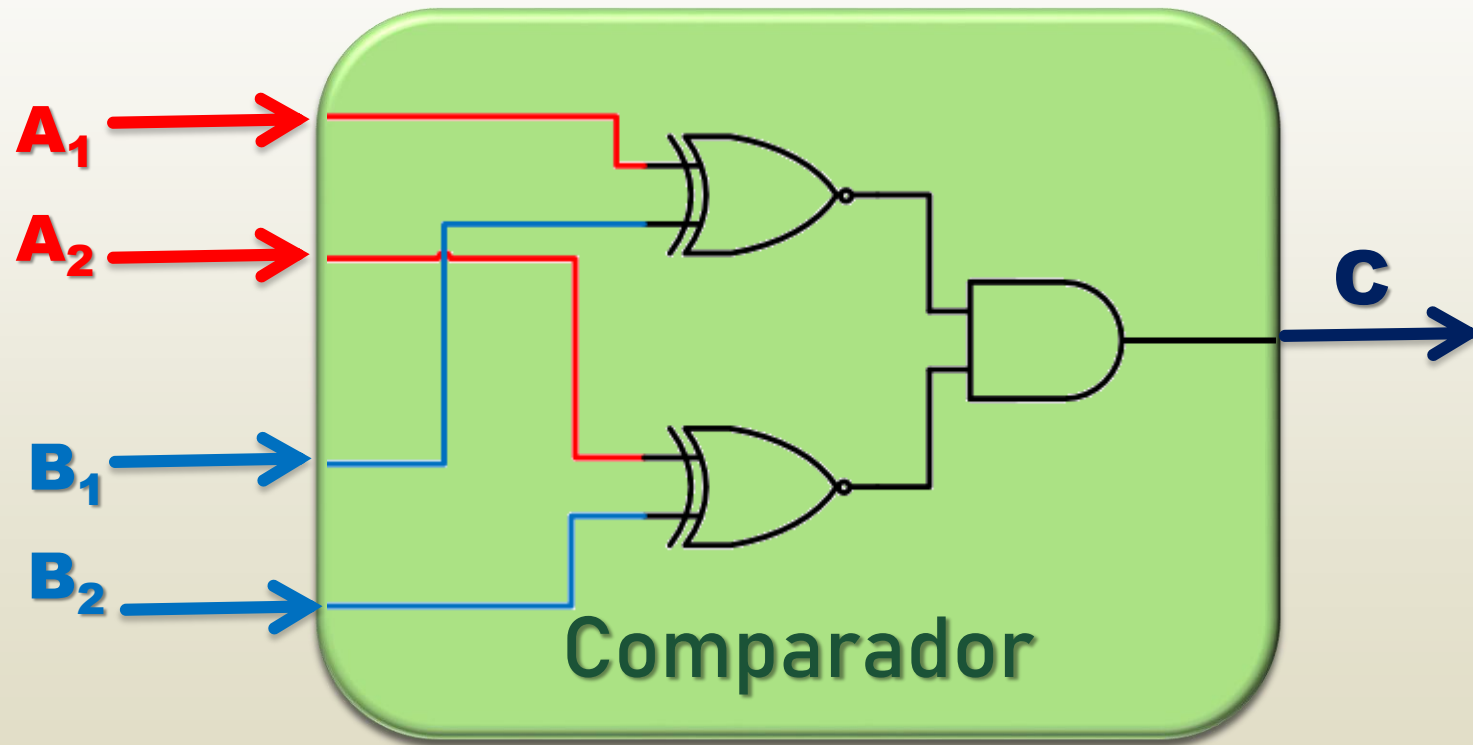
El bit E1 (entrada) es transferido por el primer grupo de DMPX 2x1

El bit E2 (entrada) es transferido por el segundo grupo de DMPX 2x1

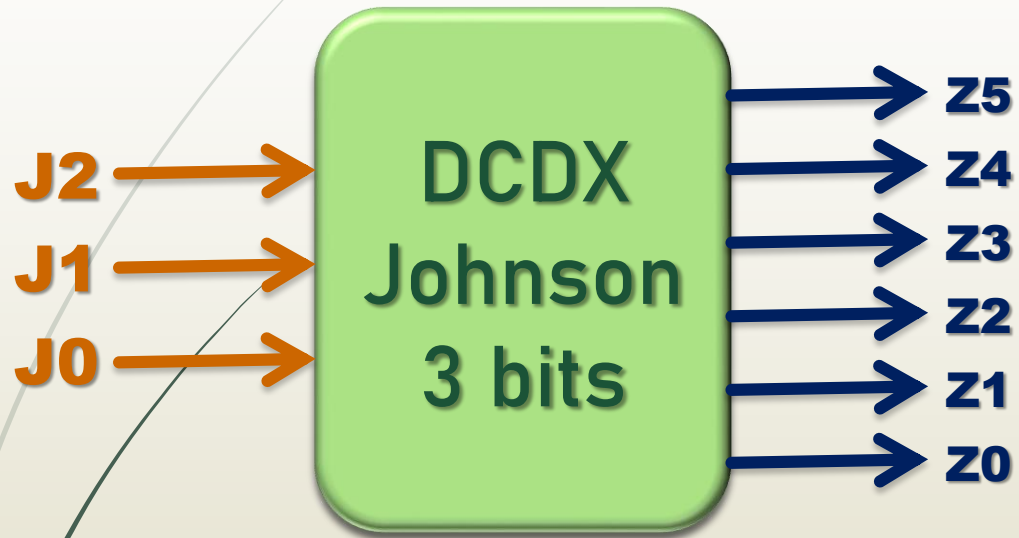


Comparación

- ▶ Comparar 2 números de 2 bits cada uno



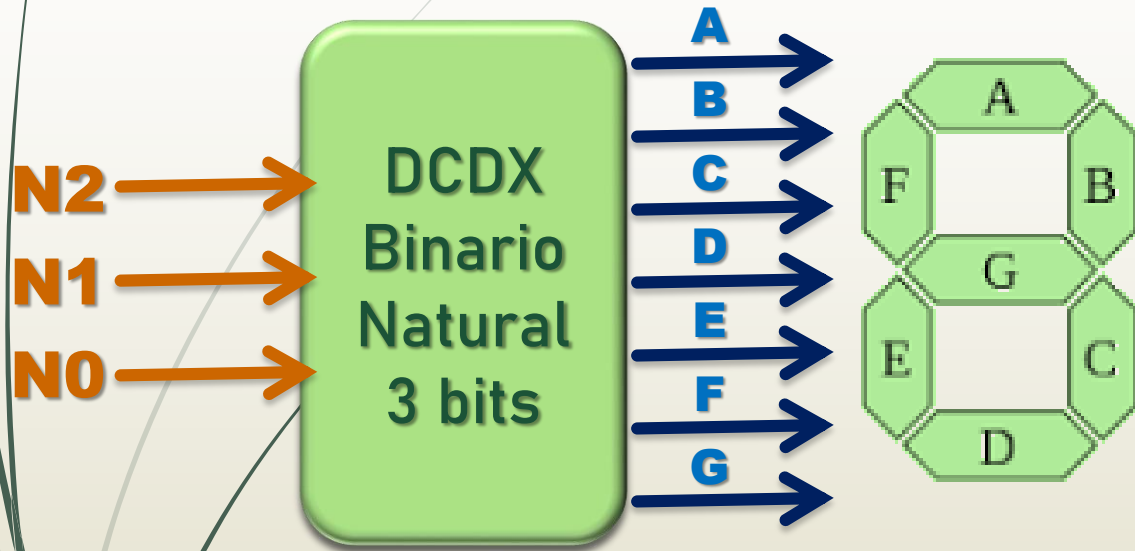
Decodificación (1)



**Decodificador no
excitador**

J2	J1	J0	Z5	Z4	Z3	Z2	Z1	Z0
0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	1	0
0	1	1	0	0	0	1	0	0
1	1	1	0	0	1	0	0	0
1	1	0	0	1	0	0	0	0
1	0	0	1	0	0	0	0	0

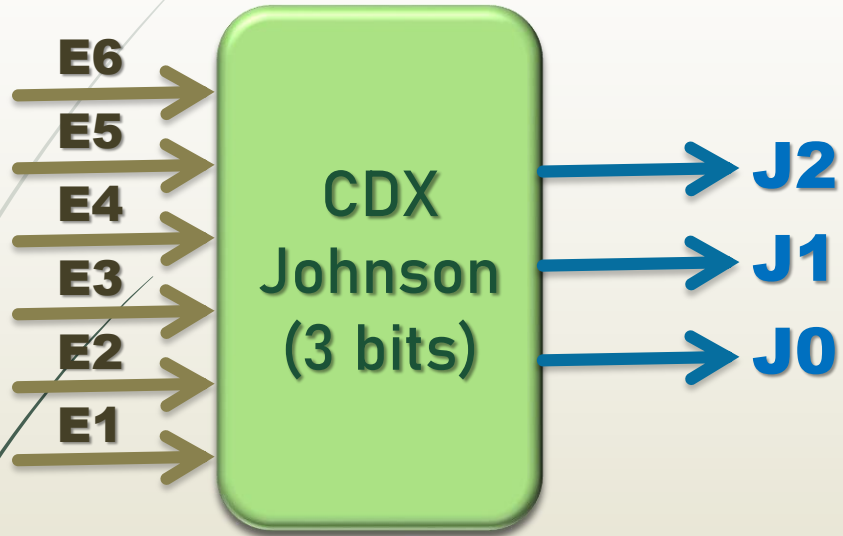
Decodificación (2)



**Decodificador
excitador**

N2	N1	N0	A	B	C	D	E	F	G
0	0	0	1	1	1	1	1	1	0
0	0	1	0	1	1	0	0	0	0
0	1	0	1	1	0	1	1	0	1
0	1	1	1	1	1	1	0	0	1
1	0	0	?	?	?	?	?	?	?
1	0	1	?	?	?	?	?	?	?
1	1	0	?	?	?	?	?	?	?
1	1	1	?	?	?	?	?	?	?

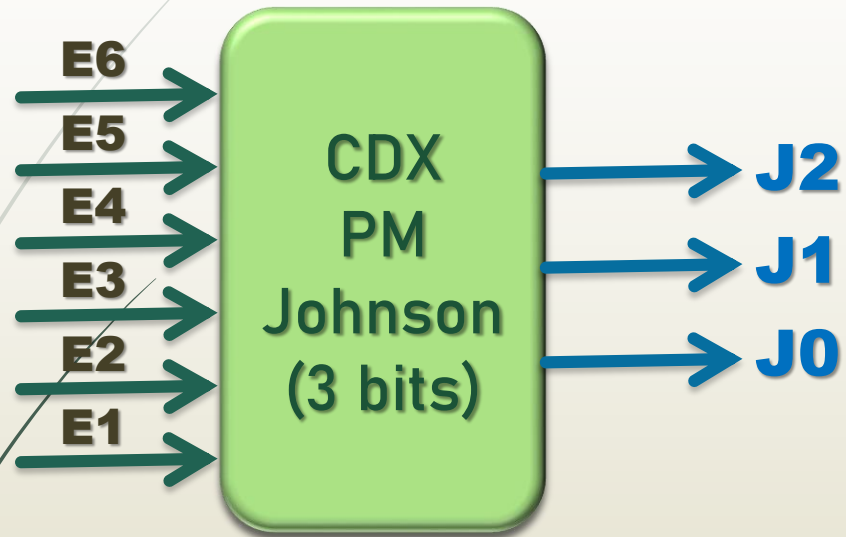
Codificación (1)



**Codificador sin
prioridad**

E6	E5	E4	E3	E2	E1	J2	J1	J0
0	0	0	0	0	1	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	1
0	0	1	0	0	0	1	1	1
0	1	0	0	0	0	1	1	0
1	0	0	0	0	0	1	0	0

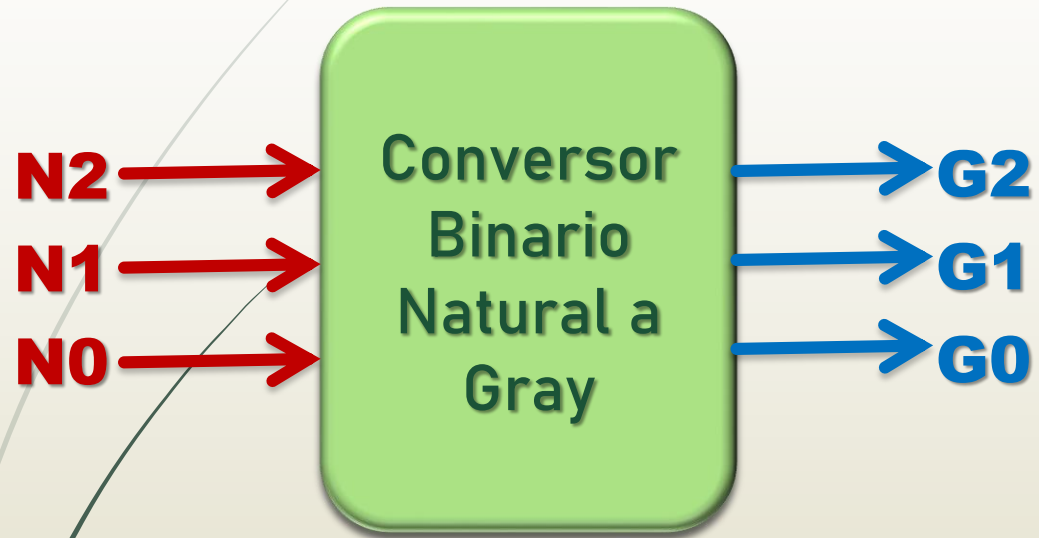
Codificación (2)



**Codificador con
prioridad a mayor**

E6	E5	E4	E3	E2	E1	J2	J1	J0
0	0	0	0	0	1	0	0	0
0	0	0	0	1	X	0	0	1
0	0	0	1	X	X	0	1	1
0	0	1	X	X	X	1	1	1
0	1	X	X	X	X	1	1	0
1	X	X	X	X	X	1	0	0

Conversión



N2	N1	N0	G2	G1	G0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0