

máquina si el funcionamiento del procesador se solapa íntegramente con el de las operaciones de E/S?

**Solución**  
7 ms

**Ejemplo 7.3.** Si en el computador del ejemplo anterior se mejora la velocidad del procesador un 50 %, manteniendo invariables las características operativas de la Unidad de E/S, averiguar el tiempo en desarrollar la tarea mencionada en dicho ejemplo.

**Solución**  
7 ms

La importancia de los periféricos que se conectan a un computador es prioritaria en cuanto a la configuración y la categoría del sistema. Según los periféricos de que disponga un computador se distinguen sus aplicaciones, su rendimiento y su coste. Las principales diferencias entre un supercomputador, un computador, un minicomputador, una estación de trabajo y un microcomputador se basan principalmente en los periféricos que tienen incorporados y en las características de la memoria. En muchos casos, las diferentes máquinas soportan el mismo tipo de procesador.

La Unidad de E/S es una «memoria» especial: «la que contiene la información que proporcionan o reciben los periféricos». Como los periféricos manejan muy lentamente la

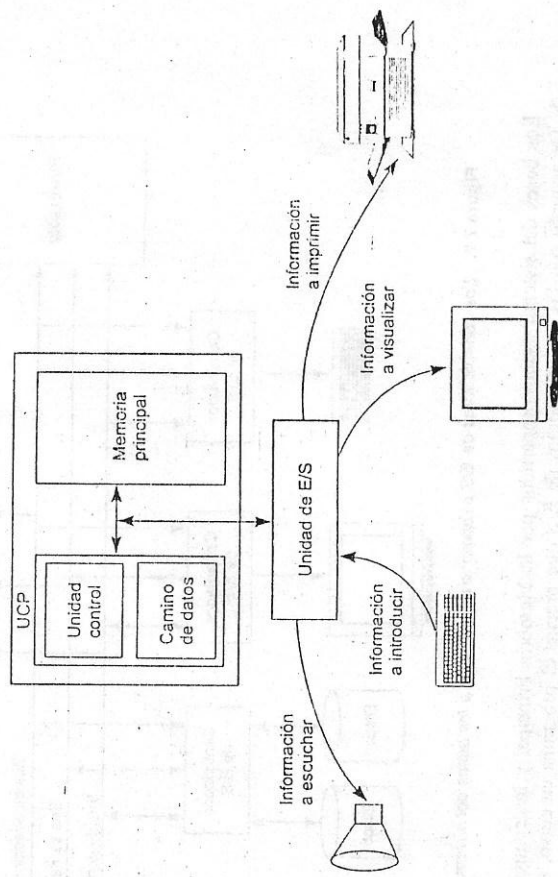


Figura 7.1. Los periféricos envían y reciben información a través de la Unidad de E/S, por lo que se asemejan a dispositivos especiales de memoria.

## 7.1. INTRODUCCIÓN

La principal actividad del computador es el procesamiento de la información, consistente en la manipulación de los datos de acuerdo con las instrucciones para obtener los resultados. Este trabajo lo soportan, en gran medida, el procesador y la Memoria; pero es preciso un tercer bloque, denominado Unidad de Entrada y Salida, que permite intercambiar información con los usuarios de la máquina. En realidad, los usuarios, a través de los periféricos, intercambian información entre el mundo exterior y los registros internos del procesador o la Memoria.

**Ejemplo 7.1.** En una fábrica de muebles, ¿qué elementos realizan la misma función que la Unidad de Entrada y Salida en el computador?

**Solución**

La fábrica de muebles no es independiente del mundo exterior. Para fabricar sus productos necesita PROVEEDORES que le suministren las materias primas. Por otra parte, los muebles que se han fabricado es preciso venderlos a los CLIENTES.

También el computador dispone de todos los recursos necesarios para el procesamiento de la información, pero de nada serviría si no se pudieran aplicar los programas a las aplicaciones prácticas del mundo exterior y no se pudieran manejar cómodamente los resultados que proporciona. Los periféricos del mundo exterior se encargan de introducir información a procesar (proveedores) y de transformar los resultados en el formato que permite su empleo a los usuarios (clientes). La Unidad de Entrada y Salida adapta los periféricos externos al computador.

Para aprovechar el trabajo del computador son imprescindibles los periféricos externos, razón por la que pasan a jugar un papel influyente en el rendimiento de la máquina. La frecuencia de funcionamiento de los procesadores aumenta casi un 50 % anualmente; el tiempo de acceso a los dispositivos de memoria mejora constantemente, pero la potencia de procesamiento de un computador también viene determinada por la velocidad a la que los periféricos transfieren información con el mundo exterior.

En comparación con los otros dos bloques del computador, los avances en la velocidad de la Unidad de Entrada y Salida han sido poco significativos. La gran variedad y complejidad de los periféricos que se conectan al computador ha sido una de las razones. Para evitar el retraso en la manipulación de la información ocasionada por la Unidad de Entrada y Salida se ha intentado solapar el tiempo en que funciona esta última con el del procesador.

**Ejemplo 7.2.** Un computador destina 4 ms a desarrollar el trabajo propio del procesador y 7 ms al proceso de Entrada/Salida (E/S) que conlleva. ¿Cuál es la carga de trabajo que soporta la

El controlador se comunica por los buses con los controladores, los cuales para realizar su labor deben soportar las siguientes funciones:

1. Control y sincronización en la transferencia de datos entre el procesador y la Memoria Principal con los periféricos.
2. Establecimiento del camino de comunicación entre los recursos internos y los periféricos.
3. Detección y manipulación de errores.
4. Almacenamiento temporal de datos.

Para llevar a cabo todas sus funciones, el controlador dispone de una serie de recursos, de los que se muestran los más genéricos y relevantes en la Figura 7.3.

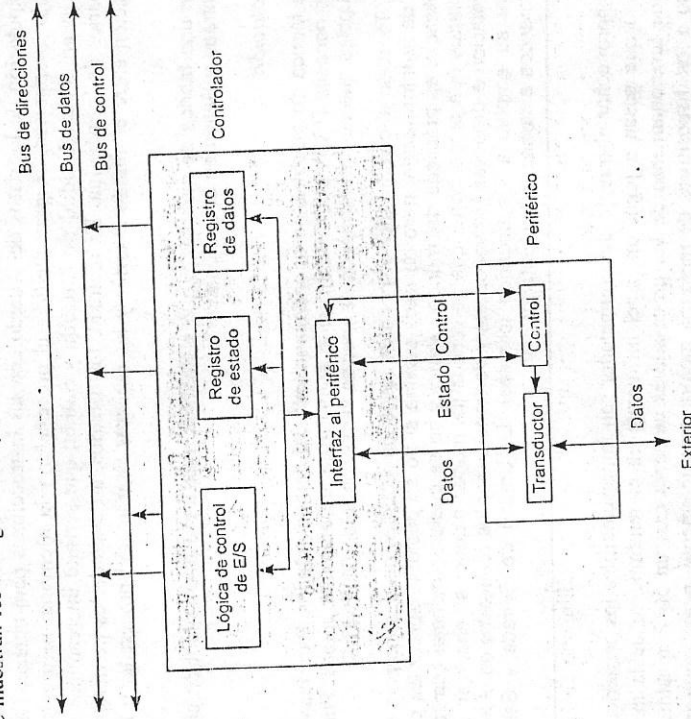


Figura 7.3. Estructura interna simplificada de un controlador de E/S.

La Lógica de Control del controlador, representada en la figura anterior, se encarga de activar y controlar la función que debe desarrollar el controlador. El Registro de Estado guarda la información relevante sobre la forma en que se ha realizado la transferencia de información y los posibles fallos. El Registro de Datos almacena los datos que se manejan en cada transferencia elemental. Finalmente, el Interfaz al Periférico soporta el intercambio de datos con el transductor del periférico y la generación y detección de señales de control y estado.

información al tener que controlar motores, mover dispositivos, etc., es frecuente que la Unidad de E/S disponga de una memoria auxiliar donde guarde la información del periférico. Una impresora, por ejemplo, para realizar su trabajo de impresión de caracteres sobre papel, tiene que controlar la velocidad de motores, regular el movimiento de rodillos y otros dispositivos, por lo que la impresión de un carácter le lleva mucho más tiempo que procesar cualquier tipo de operación al procesador. La memoria intermedia guarda la información pendiente de imprimir hasta que quede libre la impresora.

## 7.2. LOS CONTROLADORES

La extensa variedad de periféricos existentes y sus diferentes modos de funcionamiento exigen un dispositivo intermedio que adapte sus características a las de los buses del sistema. Dichos dispositivos reciben el nombre de controladores y evitan al procesador la tarea de controlar los periféricos para efectuar el intercambio de información con el mismo o con la Memoria.

Los controladores también son indispensables para adaptar la velocidad de transferencia y los formatos de la información propios de los periféricos con los que maneja la UCP.

Existen controladores específicos para determinado tipo de periféricos, así como otros que se adaptan al funcionamiento de varios. En la Figura 7.2 se muestra el esquema de conexión de diversos periféricos a los buses de un sistema mediante los controladores.

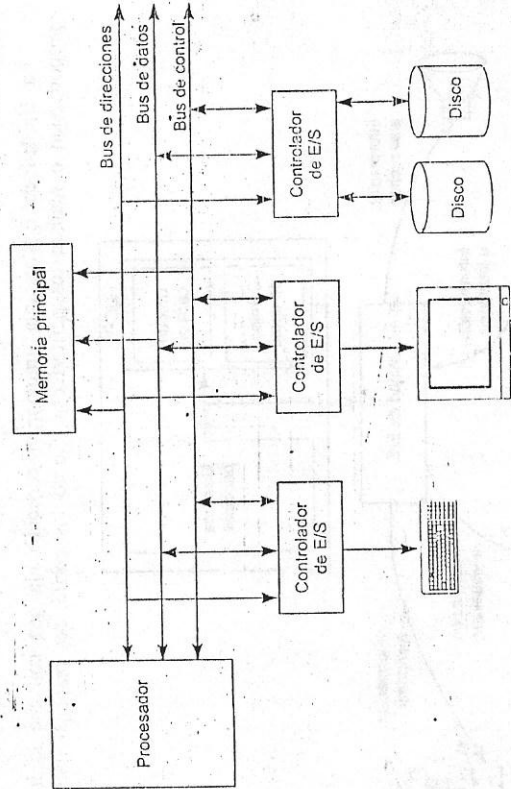


Figura 7.2. Los controladores de E/S adaptan los periféricos a los buses del sistema.

Los buses del sistema están compartidos por la Memoria Principal y los controladores de E/S. De acuerdo con los requerimientos de E/S que precisa el programa en curso, el procesa-



Cuando el procesador precisa transferir datos con un periférico, comienza colocando en el bus de direcciones la dirección del controlador con el que tiene que comunicarse. Después, el controlador informa a la UCP del estado del periférico (ocupado, libre, desconectado, etc.). Si el periférico se encuentra disponible, el procesador solicita la transferencia mediante una orden al controlador. Cuando el periférico es de entrada, como sucede con el teclado, el carácter correspondiente a la tecla pulsada se almacena en el Registro de Datos del controlador y de allí se envía a la UCP. Si es de salida, como una impresora, el carácter a imprimir se envía al procesador por el bus de datos al Registro de Datos del controlador y de allí se manda a la impresora.

### 7.3. MODOS DE DESARROLLAR LAS OPERACIONES DE ENTRADA Y SALIDA

Una de las clasificaciones más utilizadas para las operaciones de E/S tiene en cuenta el grado de participación que toma la UCP en su desarrollo. Cuanta menos implicación tenga la UCP en la operación de E/S, mayor grado de solapamiento o simultaneidad se puede conseguir en el trabajo del procesador y el de la E/S.

Se expone el nombre de las cuatro técnicas fundamentales para realizar las operaciones de E/S ordenadas de mayor a menor dependencia con la UCP.

#### 1. E/S controladas por programa

La UCP controla íntegramente la operación de E/S, impidiendo cualquier tipo de solapamiento en el trabajo de ambos componentes.

#### 2. E/S controladas por interrupciones

Parte del proceso de E/S corre a cargo del controlador, pudiendo trabajar en paralelo el procesador durante dicho tiempo.

#### 3. Acceso Directo a Memoria

La mayor parte de la operación de E/S la soporta el controlador. Puede existir un alto grado de simultaneidad.

#### 4. Procesador de E/S especializado

Todo el peso de la operación de E/S corre a cargo del controlador, que alcanza tal grado de complejidad que actúa como otro procesador dedicado. El paralelismo entre el procesador y la operación de E/S es total.

Con la técnica de «E/S controlada por programa» la responsabilidad y el control de toda la operación recae en el procesador, pues se desarrolla ejecutando las instrucciones necesarias. La UCP inicia la operación, explora el estado del periférico, gobierna la transferencia, detecta posibles errores y finaliza el proceso.

Con esta técnica, cada vez que hay que realizar una operación de E/S el procesador no puede hacer otra cosa que atenderla. Además, como la velocidad de los periféricos es muy

reducida, la UCP se encuentra en un constante estado de espera, que rebaja considerablemente el rendimiento de la máquina.

La atención de la E/S mediante «interrupciones» permite a la UCP, una vez que ha iniciado la operación al controlador, continuar con su actividad normal, siendo responsable de aquél gobernar todas las fases hasta su finalización, momento en el que provoca una interrupción al procesador para que proceda a leer el dato introducido por el periférico de entrada, o bien a enviar un nuevo dato para transmitirlo al periférico de salida.

Aunque mediante interrupciones la UCP inicializa la operación y la termina procediendo a recoger o enviar el dato, el resto del tiempo que dura la transferencia queda libre para otras cosas.

La técnica de «Acceso Directo a Memoria (DMA)» requiere complicados controladores con cierto grado de «inteligencia», que les permite controlar íntegramente la transferencia de información entre periféricos y Memoria Principal. Se consigue un solapamiento casi completo entre la actividad del procesador y la operación de E/S. El DMA es muy efectivo cuando hay que transmitir grandes bloques de datos, como sucede con la Memoria Virtual.

La UCP se encarga de inicializar la operación enviando la dirección de comienzo del bloque en la memoria y el tamaño del mismo, junto a la dirección del periférico. Después, el controlador se encarga de todo el proceso de transferencia y de avisar al procesador su finalización.

El método basado en los «Procesadores de E/S (PE/S)» o «canales» aumenta hasta tal punto la complejidad del controlador, que lo convierte en un procesador especializado en ejecutar un reducido número de instrucciones de E/S, siendo él mismo el que busca y ejecuta el programa de E/S, interrumpiendo al procesador principal cuando termina la operación que se le ha encargado.

Los PE/S se comunican con los controladores mediante un bus independiente, dejando al procesador la posibilidad de continuar su actividad normal durante los procesos de E/S (Figura 7.4).

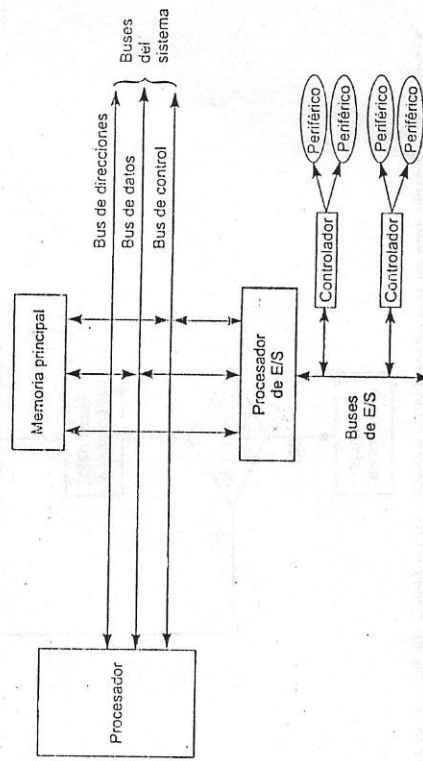


Figura 7.4. El procesador de E/S utiliza buses independientes para desarrollar las operaciones de transferencia con los periféricos, permitiendo el mayor grado de solapamiento con la actividad del procesador.

7.4. E/S CONTROLADAS POR PROGRAMA

El procesador controla el desarrollo íntegro de la operación de E/S, enviando al controlador las órdenes pertinentes derivadas de las instrucciones del programa en ejecución. Son las instrucciones del programa en curso las que soportan la operación de E/S. De la interpretación de dichas instrucciones la UCP envía las órdenes de control, lectura y escritura al controlador. En la Figura 7.5 se muestra un organigrama de las operaciones elementales que el procesador debe transferir al controlador cuando se desea enviar un bloque de datos al periférico.

Las instrucciones de E/S que interpreta y ejecuta el procesador se convierten en órdenes para el controlador del periférico. Cada controlador dispone de una serie de registros internos, que se seleccionan con diferentes direcciones. La orden que genera el procesador debe conllevar la dirección del registro del controlador y la acción de lectura o escritura sobre él.

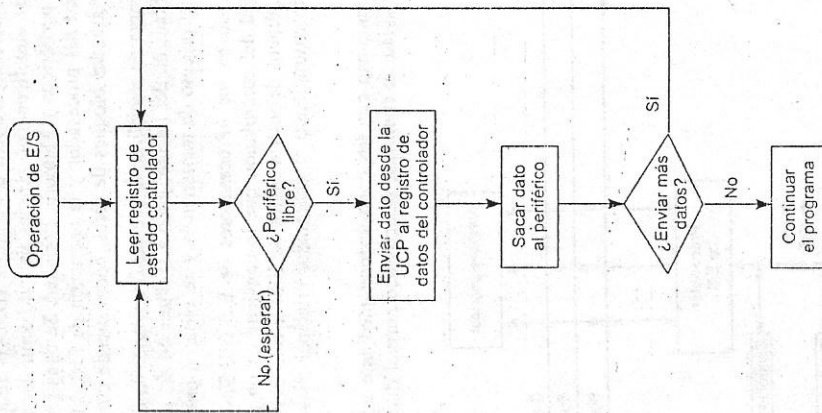


Figura 7.5. Organigrama de una operación de escritura de un bloque de datos a un periférico utilizando la técnica de "E/S controladas por programa".

Para direccionar los elementos de E/S (registros de los controladores) hay dos procedimientos, según se utilice el mismo mapa que la memoria de datos e instrucciones o uno independiente.

1. E/S con Mapa de Memoria Común

Los procesadores que utilizan este sistema manejan un único espacio de memoria para los dispositivos de E/S, para los datos y para las instrucciones de los programas. El conjunto de direcciones se denomina Mapa de Memoria Común. El procesador emplea la misma instrucción para leer o escribir un dato que para leer o escribir un elemento de E/S. Instrucciones típicas que leen o escriben posiciones de Memoria son MOV, LDA, STA, etc. Por ejemplo, si se ejecuta la instrucción LDA 2344 H, se escribe el contenido del Acumulador en la posición que responde a la dirección 2344 H. Dicha posición puede corresponderse con la del Registro de Datos de un controlador de una impresora, lo que significaría que el carácter ASCII contenido en el Acumulador se habrá mandado imprimir.

**Ejemplo 7.4.** Un procesador con un bus de direcciones de 10 líneas y uno de datos de ocho, utiliza el Mapa de Memoria Común para las operaciones de E/S. Distribuir dicho mapa para una aplicación que ocupa 512 posiciones para instrucciones, 256 para datos y otras 256 para elementos de E/S. Las instrucciones deben ocupar la zona inferior del Mapa, o sea, las direcciones más bajas, los datos las siguientes y las posiciones destinadas a E/S las superiores.

**Solución**

Como el bus de direcciones tiene 10 líneas, el mapa de memoria está formado por 1.024 posiciones de 8 bits (Figura 7.6).

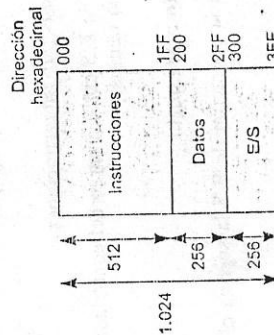


Figura 7.6. Distribución del Mapa de Memoria Común para las instrucciones, los datos y las E/S.

**Ejemplo 7.5.** Teniendo en cuenta la distribución del mapa de memoria de la Figura 7.6, expresar la diferencia que existe entre las siguientes instrucciones:

1. MOV A, 202 H (Mover el Acumulador a la posición 202 H)
2. MOV A, 302 H
3. MOV 203 H, A (Mover el contenido de la dirección 203 H al Acumulador)
4. MOV 303 H, A

*origen destino*



**Solución**

1. Mueve el contenido del Acumulador a la posición 202 H, que corresponde a un dato del programa.
2. Mueve el Acumulador a la posición 302 H, que corresponde a un elemento de E/S.
3. Mueve el contenido del dato depositado en la dirección 203 H al Acumulador.
4. Mueve el contenido del elemento de E/S (registro de un controlador), correspondiente a la dirección 303 H, al Acumulador.

**2. E/S que utilizan un mapa de direcciones independiente**

Hay procesadores, como el 8085, que manejan un mapa de memoria para guardar el código y los datos, y otro, llamado Mapa de E/S, reservado para los diferentes registros de los controladores de los periféricos del sistema.

El procesador utiliza el bus de direcciones para acceder a ambos mapas y el bus de datos para realizar las transferencias de información. También dispone de una señal auxiliar en el bus de control, que indica si la dirección generada por el procesador pertenece al Mapa de Memoria o al de E/S. Dicha señal se denomina en algunos procesadores IO/M, y cuando vale 1 se accede al Mapa de E/S, mientras que si vale 0 se accede al Mapa de Memoria.

Cuando se maneja un Mapa de E/S independiente, la UCP debe poseer unas instrucciones especiales que manejan dicho mapa. Son las instrucciones de Entrada y Salida y se dedican a leer o escribir las posiciones del Mapa de E/S. En el 8085 hay dos instrucciones de E/S, cuyos nemónicos son IN y OUT. La primera lee una posición del Mapa de E/S y la deposita en el Acumulador. La segunda escribe el contenido del Acumulador en una posición del Mapa de E/S. Ambas instrucciones, cuando las interpreta la Unidad de Control, hacen que la señal IO/M = 1.

En la Figura 7.7 se muestra el esquema de un sistema computador que dispone de Mapa de E/S independiente. La señal IO/M discrimina los accesos entre los dos mapas, controlando la activación de la pinta de Selección de Chip (CS) de los dispositivos de memoria y de los controladores de E/S.

Cuando el sistema trabaja con dos mapas, una misma dirección corresponde a una posición diferente en ambos, pero el acceso a cada una lo controla la interpretación de la instrucción

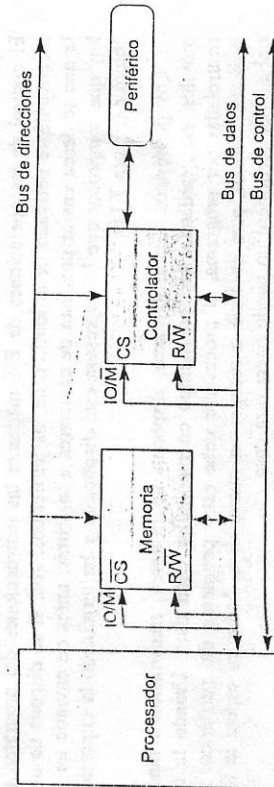


Figura 7.7. El procesador maneja un Mapa de E/S independiente, que es discriminado a nivel hardware mediante la activación de la señal IO/M = 1.

en curso. Si se trata de una instrucción especial de E/S (IN o OUT), la señal IO/M = 1, accediéndose al Mapa de E/S. Si se trata de una instrucción normal (MOV, LDA, STA, etc.), la señal IO/M = 0 y se accede al Mapa de Memoria, donde se hallan las instrucciones y los datos.

**Ejemplo 7.6.** Dibujar la estructura y direccionamiento de los mapas de Memoria y de E/S del 8085, sabiendo que el primero se direcciona con las 16 líneas del bus de direcciones (A0-A15), y el de E/S solamente con las ocho líneas de menos peso (A0-A7).

**Solución**

El Mapa de Memoria dispondrá de  $2^{16} = 65.536 = 64 \text{ K}$  posiciones, pues está direccionado por 16 líneas. El Mapa de E/S tendrá  $2^8 = 256$  posiciones por estar direccionado por sólo ocho líneas.

Como una dirección comprendida entre las 256 primeras posiciones, que en hexadecimal alcanzan de la 00 a la FF H, existe en ambos mapas, para discriminar: al que pertenece hay que tener en cuenta la señal IO/M (Figura 7.8).

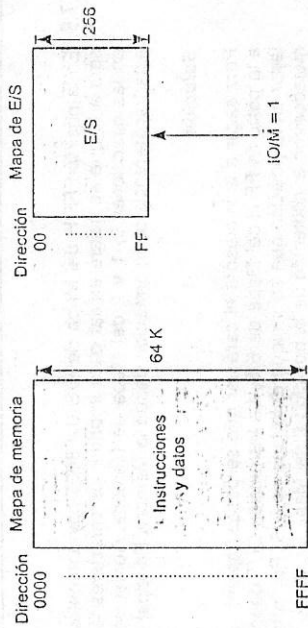


Figura 7.8. Estructura y direccionamiento de los dos mapas del 8085.

**Ejemplo 7.7.** En la posición 1A H del Mapa de E/S del 8085 se ha colocado un controlador que gobierna un conjunto de ocho diodos luminiscentes (LEDS), que están conectados a cada una de las líneas de dicho controlador, según el esquema de la Figura 7.9.

Confeccionar un programa para el 8085, que encienda los cuatro diodos de la izquierda, y mantener apagados los cuatro de la derecha.

**Solución**

MOV A, 0FH  
OUT 1A H

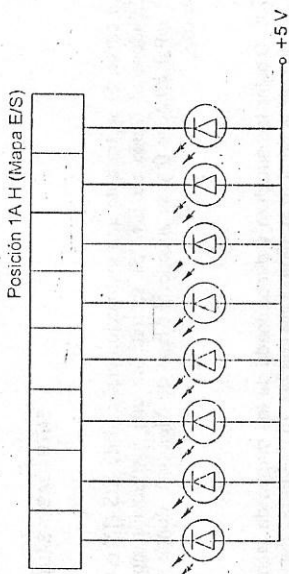


Figura 7.9. Conexión de los ocho diodos LEDS a las ocho líneas del controlador situado en la dirección 1A H del Mapa de E/S del 8085, a través del bus de datos.

Con la primera instrucción se carga el Acumulador con el valor inmediato 0F H = 0000 1111<sub>2</sub>. Después, con la instrucción OUT se lleva dicho valor a la posición 1A H del Mapa de E/S, con lo cual los cuatro diodos de la izquierda reciben por su cátodo un nivel bajo y se encienden por tener sus ánodos conectados a +5 V. Los otros cuatro diodos permanecen apagados, porque quedan con el cátodo y el ánodo al mismo nivel lógico alto.

**Ejemplo 7.8.** En la posición FF H del Mapa de E/S del 8085 hay un controlador que adapta una impresora a la que se quiere enviar para imprimir los caracteres ASCII que se hallan cargados en las direcciones 0, 1 y 2 del Mapa de Memoria. Confeccionar el programa que realice esta transferencia de información desde la Memoria Principal al controlador del periférico.

**Solución**

Para sacar a la impresora el carácter que se desea imprimir, previamente hay que llevarlo a la posición FF H del Mapa de E/S. La instrucción OUT deposita el contenido del Acumulador en la posición que se indique del Mapa de E/S. Por lo tanto, hay que cargar el Acumulador con el contenido de la posición 0 del Mapa de Memoria y luego, con OUT, llevarlo a la posición del controlador.

```
MOV A (0000 H)
OUT FF H
MOV A (0001 H)
OUT FF H
MOV A (0002 H)
OUT FF H
```

En este ejemplo se supone que la impresora es enormemente rápida porque tarda en imprimir el carácter que se le ha enviado menos que la ejecución de dos instrucciones (MOV y OUT) del procesador. En la práctica, el procesador, antes de enviar un nuevo dato a la impresora, lee el Registro de Estado del controlador para saber si ya ha terminado de imprimir el carácter anterior.

**Ejemplo 7.9.** Diseñar el esquema de un microcomputador basado en el 8085, que tenga conectado en la dirección 2B H del Mapa de E/S un controlador de un periférico.

**Solución**

El controlador sólo debe responder a la dirección 2B H del Mapa de E/S, lo que significa que las ocho líneas de menos peso del bus de direcciones tomarán el valor A7-A0 = 0010 1011 y la señal de control IO/M = 1. Se diseña una lógica auxiliar que active la señal CS de funcionamiento del controlador cuando las nueve señales digitales tomen dichos valores (Figura 7.10).

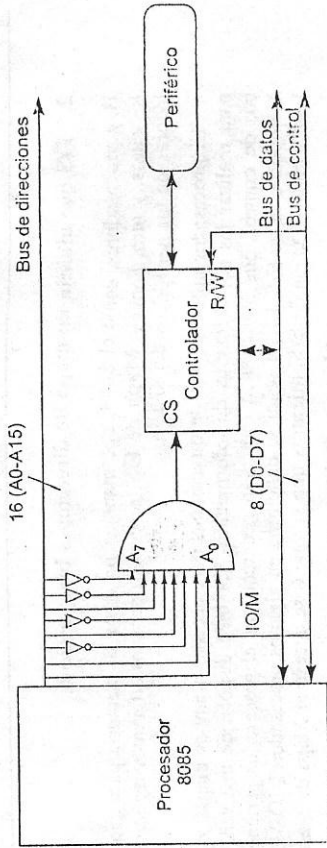


Figura 7.10. Conexión física del controlador que responde a la dirección 2B H del Mapa de E/S del 8085.

El aislamiento del Mapa de E/S facilita la distribución y ordenamiento de los elementos del sistema, pero implica aumentar el juego de instrucciones con las específicas que manipulen dicho mapa (IN y OUT).

**7.5. E/S CONTROLADAS POR INTERRUPCIONES**

El control de las operaciones de E/S mediante las instrucciones del programa tiene un grave inconveniente derivado de la lentitud de los periféricos. Así, si se dispone de una impresora a la que se desea enviar una lista de caracteres a imprimir, antes de enviarle un nuevo carácter hay que comprobar que la impresora está disponible y ha terminado la impresión del carácter anterior (Figura 7.11).

Los periféricos, frecuentemente, disponen de motores, transmisiones mecánicas, partes móviles, etc., tardando bastante tiempo en manipular cada dato. Usando la técnica de E/S controladas por programa, el procesador debe estar pendiente del periférico, sin realizar su actividad normal, para enviarle o recoger un nuevo dato. Mientras espera la finalización del trabajo del periférico, no puede hacer otra cosa.



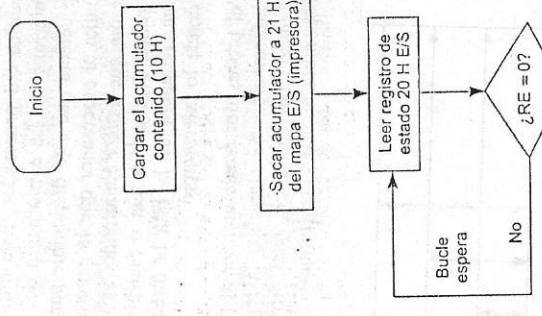


Figura 7.11. Mientras la impresora no acaba de manipular el carácter anterior y queda disponible, el procesador está sumergido en un bucle de espera.

**Ejemplo 7.10.** El controlador de una impresora consta de dos registros: El registro de Estado, situado en la dirección 20 H del Mapa de E/S, y el Registro de Datos, que responde a la dirección 21 H del mismo mapa.

El procesador, para conocer cuándo está la impresora disponible y ha terminado de imprimir el carácter anterior, debe leer el Registro de Estado y comprobar que vale 0.

Confeccionar el organigrama y el programa correspondiente para escribir con la impresora el contenido de las direcciones 10 H y 11 H del Mapa de Memoria.

**Solución**

En la Figura 7.12 se muestra el organigrama.

El programa al que responde el organigrama de la Figura 7.12 es el siguiente:

```

MOV A (10 H) ; Carga en A el contenido de la dirección 10 H.
OUT 21 H ; Saca el valor de A a la impresora.
BUCLE IN 20 H ; Carga en A el Registro de Estado.
CMP 0 ; Comprueba si A = 0.
JNZ BUCLE ; Si A < > 0, se vuelve a leer el Registro de Estado.
MOV A (11 H) ; Carga en A el contenido de la dirección 11 H.
OUT 21 H ; Saca el valor de A a la impresora.
HLT ; Paro.
    
```

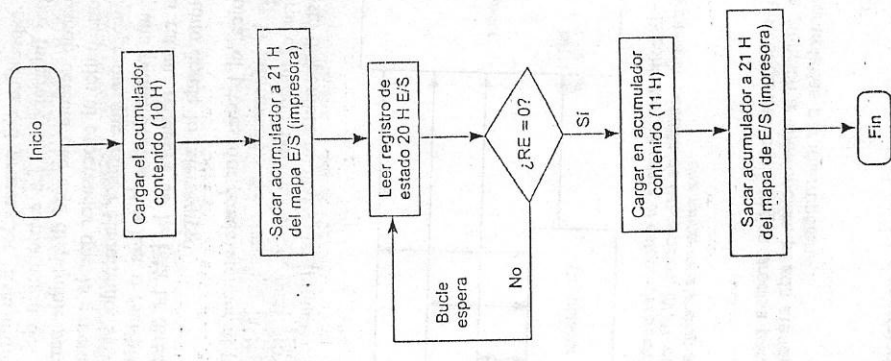


Figura 7.12. Organigrama de la operación de E/S correspondiente a la impresión de dos caracteres situados en las direcciones 10 H y 11 H del Mapa de Memoria.

La técnica de atención de las operaciones de E/S mediante interrupciones evita el bucle de espera en el que permanece el procesador explorando el Registro de Estado del controlador para conocer el momento en que queda disponible el periférico.

Cuando a un procesador se le provoca una interrupción, detiene la ejecución de las instrucciones en curso, guarda en la «pila», que es una zona reservada de la Memoria Principal, la dirección en la que se ha interrumpido el programa, y pasa a ejecutar un programa especial que atiende la causa que ha originado la interrupción. Cuando finaliza la rutina de interrupción, se recupera de la pila la dirección donde se abandonó el programa y se reanuda su ejecución.

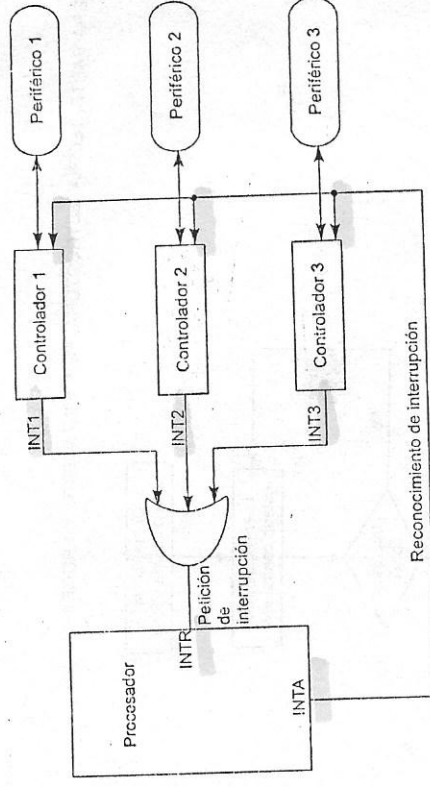


Figura 7.14. Esquema de conexión de tres controladores a la pata INTR de petición de interrupción al procesador. La señal INTA activa el procesador cuando atiende una interrupción.

miento y la asignación de la interrupción al periférico correspondiente. En la Figura 7.15 se muestra un esquema de conexión de un PIC. Cada vez que se asigna una interrupción al controlador de un periférico, el PIC introduce por el bus de datos al procesador los parámetros que le permiten encontrar la rutina de interrupción que hay que ejecutar (vector de interrupción).

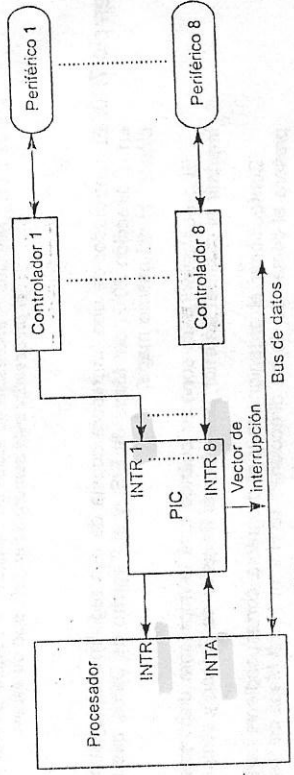


Figura 7.15. Un PIC atiende las peticiones y asignaciones de interrupción de hasta ocho controladores de periféricos diferentes.

7.6. ACCESO DIRECTO A MEMORIA

En las dos técnicas de manejo de las E/S analizadas hasta ahora, la UCP debía encargarse de realizar la transferencia de información entre la Memoria Principal y el periférico, a través del controlador. Esto supone la ejecución de varias instrucciones en cada movimiento de información y el bloqueo del procesamiento del programa en curso.

La interrupción puede considerarse como una «llamada a una subrutina» y se puede solicitar por software, por ejemplo, ejecutando una instrucción que la origina, y por hardware, activando una pata específica del procesador. Esta última alternativa es la que se emplea para atender las E/S por interrupción. La exploración del estado del periférico corre a cargo del controlador, y, cuando detecta que está disponible para recibir o enviar un nuevo dato, se encarga de activar una pata al procesador que le genera una interrupción. Entonces, el procesador abandona el programa que estaba ejecutando, salvando en la pila la dirección de retorno, y pasa a ejecutar una rutina destinada a leer o escribir un dato del o para el periférico. Cuando termina dicha rutina, recupera de la pila la dirección de retorno y regresa al programa principal en el punto donde lo interrumpió.

Con esta técnica, el procesador puede atender al programa principal mientras el periférico está manipulando la información. Se complica la lógica del controlador, en el que recae la misión de explorar el estado del periférico, para provocar una interrupción hardware cuando detecta que ya está disponible nuevamente (Figura 7.13).

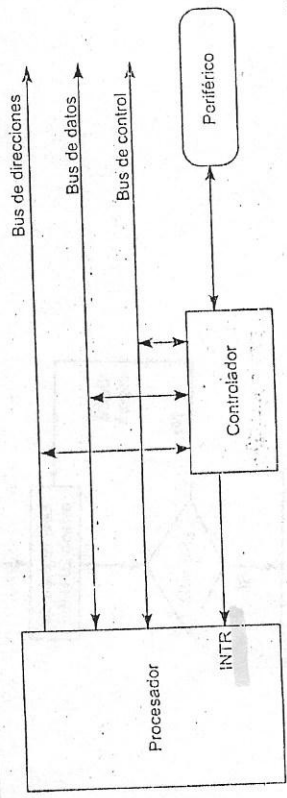


Figura 7.13. El controlador explora el estado del periférico y, cuando detecta que está disponible, activa la pata de petición de interrupción, INTR, del procesador para que pase a realizar una rutina de atención al periférico.

**Ejemplo 7.11.** Diseñar un esquema con la lógica precisa para que un procesador que tiene una pata, INTR, de atención a interrupción, pueda atender a tres controladores mediante la técnica de E/S controladas por interrupción.

**Solución**

Las peticiones de interrupción de los controladores se trasladan a la pata INTR del procesador a través de una lógica (puerta OR), que detecta cuando uno de ellos solicita interrupción. Para avisar al controlador peticionario que se le ha concedido la interrupción, a veces, el procesador dispone de una señal de salida, INTA, que se activa cuando se atiende una interrupción (Figura 7.14).

Para poder atender a muchos controladores de periféricos con una sola línea de petición de interrupción en el procesador, existen unos circuitos integrados, programables, específicos para soportar esta tarea. El **Controlador Programable de Interrupciones (PIC)** es capaz de atender un máximo de ocho controladores diferentes, manejando la prioridad de los mismos en caso de peticiones simultáneas, y encargándose de la petición al procesador: el reconoci-



La técnica de Acceso Directo a Memoria (DMA) utiliza al controlador para realizar las transferencias de información entre el periférico y la Memoria Principal, sin requerir la intervención del procesador.

La forma más sencilla, pero más cara, de implementar el DMA es mediante la implementación de una Memoria Principal Multipuerta, que se caracteriza por tener varias puertas de acceso, una de las cuales se dedica a la UCP, y las restantes, para los controladores de periféricos (Figura 7.16).

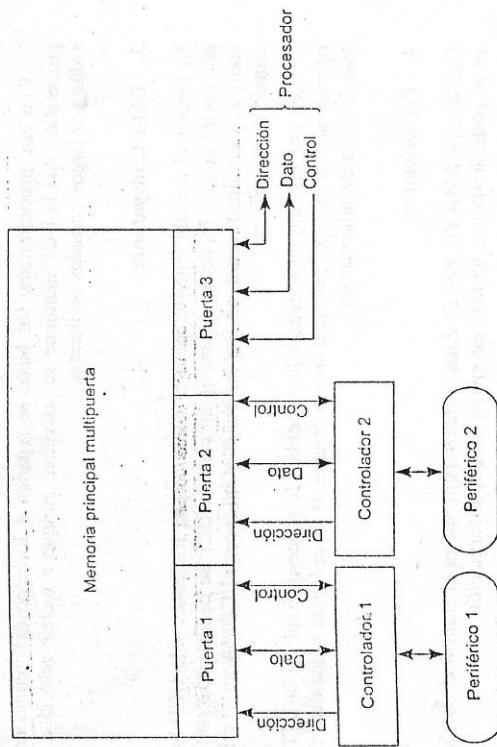


Figura 7.16. Se puede realizar simultáneamente el acceso a diferentes bloques de la Memoria Principal cuando los dispositivos disponen de varias puertas.

La Memoria Multipuerta está organizada internamente en varios bloques de información, para permitir el acceso en paralelo. Sólo se produce «conflicto» cuando se desea acceder al mismo bloque por parte de varias puertas, en cuyo caso hay que implementar un mecanismo de tratamiento de la prioridad. La exigencia de integrar en cada puerta de acceso la lógica para la gestión de prioridades encarece muchísimo el precio de las Memorias Multipuerta, que sólo se utilizan en casos excepcionales.

### 7.6.1. Controlador de DMA (CDMA)

Los controladores capaces de realizar transferencias DMA son especiales y deben disponer de una compleja lógica auxiliar, que les permita asumir las funciones que en las técnicas anteriores soportaba el procesador para transferir información entre la Memoria Principal y los periféricos. Este sofisticado controlador, que abreviadamente se denomina CDMA, tiene que encargarse de controlar los buses de direcciones, datos y control para poder realizar los accesos a la Memoria Principal.

Cuando un periférico trabaja con DMA y tiene que realizar una transferencia con la Memoria, comienza la operación solicitando el CDMA al procesador la liberación de los buses. Cuando se desconecta el procesador de los buses, dejándolos en triestado, toma su gobierno el CDMA. Por el bus de direcciones va apuntando las direcciones de la Memoria a acceder, por el bus de datos se transfiere la información y el bus de control indica si la operación es de lectura o escritura. Los tres buses han quedado bajo el control del CDMA, que, al tener un diseño especializado en realizar transferencias a elevada velocidad, consigue efectuar el intercambio de información Memoria Principal/periféricos en mucho menos tiempo que si lo hiciese el procesador.

Para el manejo de los buses del sistema, el CDMA dispone en su estructura interna de cuatro registros:

#### 1. Registro de Dirección

Contiene la dirección de la Memoria donde se va a transferir la siguiente palabra y se incrementa automáticamente después de cada transferencia. También existe un registro para direccionar el periférico.

#### 2. Contador de Palabras

Contiene el número de palabras a transferir. Se decrementa cada vez que se completa una transferencia y, cuando llega a 0, genera una señal de finalización de la operación de E/S.

#### 3. Registro de Datos

Contiene la palabra a transferir en cada operación elemental.

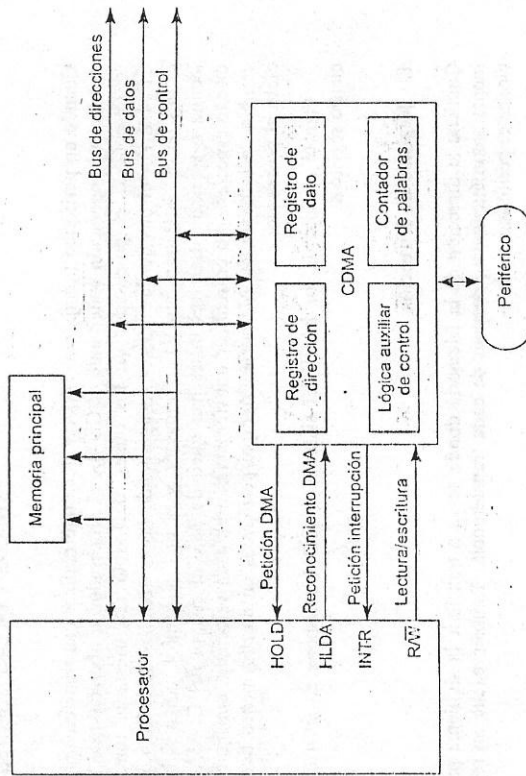
#### 4. Lógica Auxiliar de Control

Es la circuitería encargada de solicitar los buses al procesador, para lo cual activa una señal de petición (HOLD). Cuando el procesador libera los buses, lo comunica activando la señal de reconocimiento (HLDA).

Como la UCP debe ser capaz de leer y escribir los registros del CDMA, cada uno de ellos responde a una dirección del Mapa de E/S. Esta lógica también se encarga de provocar una interrupción al procesador cuando se detectan fallos o errores en la transmisión (Figura 7.17).

Cuando el procesador libera los buses, los deja en triestado. Es como si se desconectase de sus líneas. Es en ese momento cuando el CDMA coloca en el bus de direcciones la dirección que contiene su Registro de Dirección y que corresponde a la posición de la Memoria Principal a acceder. Con el bus de control determina si se va a leer o escribir, y con el bus de datos, se transfiere el dato entre el periférico y la Memoria Principal, o viceversa.

Cuando el procesador libera los buses ante una activación de HOLD, activa la patita de salida HLDA. Mientras el CDMA mantenga activada HOLD, quedan bajo su control los buses del sistema. Al finalizar la transferencia, se desactiva HOLD y el CDMA provoca una petición de interrupción (INTR).



RÁFAGA DE 256 BYTES:  $0,5 \times 256 = 128 \mu s$   
 FINALIZACIÓN RÁFAGA:  $2 \mu s$   
 TOTAL:  $130 \mu s$

2. Por robo de ciclo

Cuando el CDMA dispone de datos a transferir, toma el control de los buses «durante un ciclo de UCP», en el que transmite una palabra. Luego cede los buses a la UCP que continúa con su actividad normal hasta que nuevamente el CDMA «roba» otro ciclo.

Con este procedimiento los buses se reparten a lo largo del tiempo entre el CDMA y el procesador. Así la UCP mantiene su actividad, aunque a menor velocidad, evitando la inactividad por largos periodos de tiempo.

3. DMA transparente

Es similar al método anterior, pero el CDMA roba los buses a la UCP los ciclos en los que ella no los utiliza. Es decir, si durante un ciclo la UCP se dedica a decodificar o interpretar el código de una instrucción, no usa los buses y entonces el CDMA aprovecha la situación para transferir una palabra.

Con este sistema no se rebaja la velocidad de procesamiento de la UCP y se llevan a cabo operaciones de E/S. El principal inconveniente es la reducida velocidad que se alcanza en la transferencia de información.

4. Por demanda

Cuando el CDMA dispone de datos a transferir, solicita el control de los buses y los mantiene en su poder hasta que termina de enviar toda la información.

7.7. PROCESADOR DE E/S

En esta técnica el controlador alcanza tal grado de complejidad que se transforma en un verdadero procesador capaz de interpretar y ejecutar un pequeño repertorio de instrucciones, que manipulan las operaciones de E/S.

Cuando hay que realizar un programa que atiende las E/S, el procesador principal encarga al procesador de E/S (PE/S) que lo desarrolle, pudiendo seguir trabajando los dos en paralelo. El PE/S sólo se comunica con el procesador principal al terminar el programa de E/S activando la patita de petición de interrupción.

Al controlador que interpreta y ejecuta instrucciones de E/S se le denomina canal de E/S. Mientras que si, además, dispone de memoria local, recibe el nombre de procesador de E/S.

El PE/S recibe, en el propio programa de E/S, toda la información necesaria para la asignación del periférico, el tipo de operación (lectura o escritura), la dirección de la Memoria Principal, el número de palabras a transferir y el tratamiento de las situaciones de error. Los PE/S disponen de una arquitectura con diferentes registros, que almacenan todos los parámetros del programa a ejecutar.

7.6.2. Modos de transferencias DMA

Existen diversas formas de realizarse el DMA según la estrategia de control de los buses que exista por parte del CDMA.

1. Por ráfagas

El CDMA no libera los buses hasta que acaba la transferencia de un bloque completo de información.

La ventaja de este sistema reside en la alta velocidad alcanzada en la transferencia. El inconveniente hace referencia al procesador, que permanece inactivo largos periodos de tiempo.

**Ejemplo 7.12.** Un CDMA realiza transferencias a ráfagas y transmite bloques completos de 256 bytes entre la Memoria Principal y el periférico, en ambos sentidos.

Sabiendo que la UCP tarda en programar los registros de trabajo del CDMA (carga del Registro de Direcciones y el Contador de Palabras)  $3 \mu s$  y que al acabar la transferencia del bloque, la interrupción que atiende el procesador dura  $2 \mu s$ , averiguar el tiempo total que ocupará la transmisión de un bloque, si cada byte tarda en enviarse  $0,5 \mu s$ .

**Solución**

INICIALIZACIÓN:  $3 \mu s$



Los canales o PE/S admiten los comportamientos diferentes según la manera de gobernar a los controladores de periféricos. Cuando el PE/S está dedicado únicamente a atender en cada momento un controlador, recibe el nombre de canal selector. Esta estructura es apropiada para la atención de periféricos rápidos.

Cuando los periféricos son lentos, se puede gobernar simultáneamente a varios, en cuyo caso el PE/S se denomina canal multiplexor. En la Figura 7.18 se muestra un sistema computador con un canal selector y otro multiplexor que atienden a diversos periféricos.

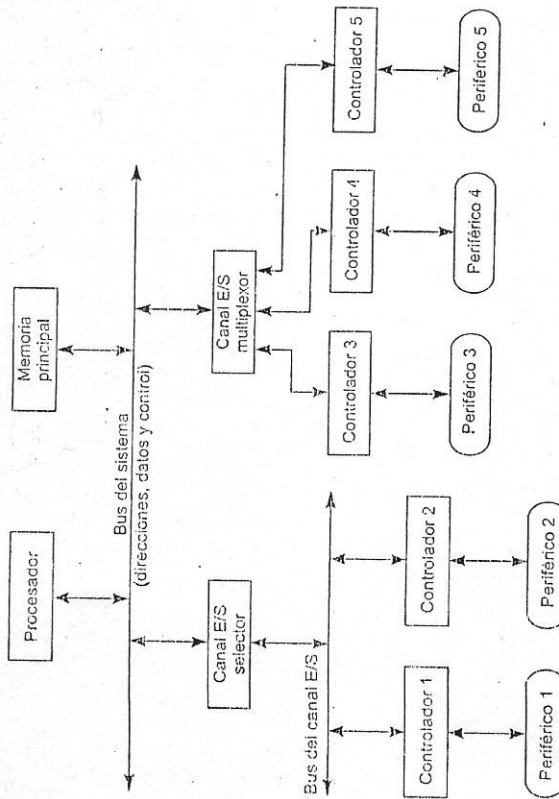


Figura 7.18. Arquitectura de un sistema computador que controla a sus periféricos a través de un canal selector y otro multiplexor.

**TRABAJO PERSONAL MANEJANDO EL COMPUTADOR:**

Completado el estudio de este capítulo, se recomienda al lector que resuelva los ejercicios y programas propuestos para el mismo en el Manual de Usuario de la M+, utilizando un computador donde funcionen los programas que simulan el comportamiento de dicho computador.

**EJERCICIOS Y PROBLEMAS**

**7.1** El microprocesador 6809 de Motorola dispone de un bus de direcciones de 16 bits y un bus de datos de 8 bits; utilizando el Mapa de Memoria común para las operaciones de E/S, realizar un esquema con la distribución de dicho mapa, sabiendo que el código ocupa las 4 K primeras posiciones, los datos las 16 K posiciones finales, y para los elementos de E/S se reserva 1 K posiciones situadas a partir de la dirección 5000 H.

**7.2** Un sistema microcomputador basado en el microprocesador 8085, que tiene un Mapa de Memoria de 64 K posiciones de 8 bits y un Mapa de E/S de 256 posiciones, tiene destinado en este último la dirección 2A H para una puerta de entrada que recibe la información de ocho interruptores, que cuando están abiertos, introducen un nivel alto y, cuando se cierran, bajo (Figura 7.19).

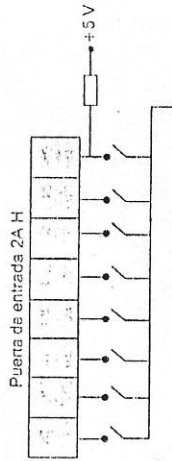


Figura 7.19. La posición 2A H del Mapa de E/S recibe la información de ocho interruptores, que, cuando se cierran, introducen un nivel bajo.

Confeccionar un programa que explore la puerta de entrada 2A H y que, cuando detecte que todos los interruptores están cerrados, cargue la posición de la Memoria 05FF H con el valor FF H.

**7.3** En el microprocesador del ejercicio anterior se añade una puerta de salida en la posición 2B H del Mapa de E/S, en la que hay conectados ocho diodos LED (Figura 7.20).

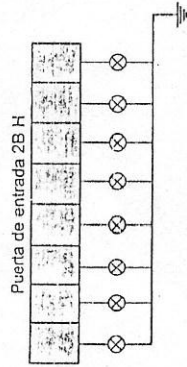


Figura 7.20. La puerta 2B H del Mapa de E/S se conecta a ocho diodos LED, que se iluminan cuando se aplica un nivel alto.

- c) Dirección virtual: Número de página virtual (11 bits) – Desplazamiento (9 bits).  
 Dirección virtual: 00000001000 – 100100010 (20 bits).  
 Dirección física: Número de página física (5 bits) – Desplazamiento (9 bits).  
 Dirección física: 00011 – 100100010 (14 bits).

**6.11**

La Memoria Principal, en cada momento debe contener, por lo menos, un registro de datos de 256 KB, otro de pila de 64 KB y otro de código, que en el peor de los casos será el mayor de 512 KB. Luego su tamaño mínimo será de 512 KB + 256 KB + 64 KB = 832 KB.

**CAPÍTULO 7**

**7.1**

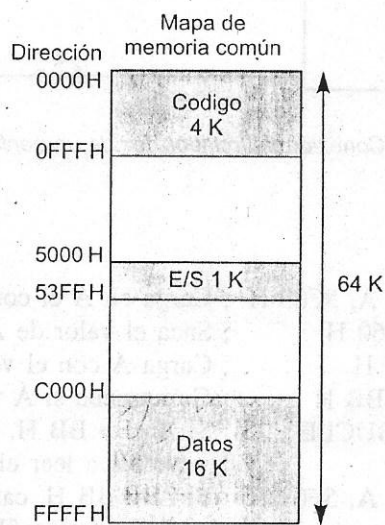


Figura S7.1. Distribución del Mapa de Memoria Común.

**7.2**

INICIO: IN 2A H ; Carga en A el estado de los interruptores  
 CMP 0 ; Compara A con el valor 0  
 BNE INICIO ; Si A <> 0 vuelve a explorar  
 MVI A, FF H ; Si A = 0, carga A = FF H  
 LDA 05FF H ; Carga A en la posición 05FF H

**7.3**

INICIO: IN 2A H ; Carga en A la puerta 2A H  
 CMP FF H ; Compara A con el valor FF H  
 BNE INICIO ; Si A <> FF H vuelve a explorar la puerta



OUT 2B H ; Si A = FF H, saca dicho valor por la  
 ; puerta 2BH y enciende los diodos LED.

7.4

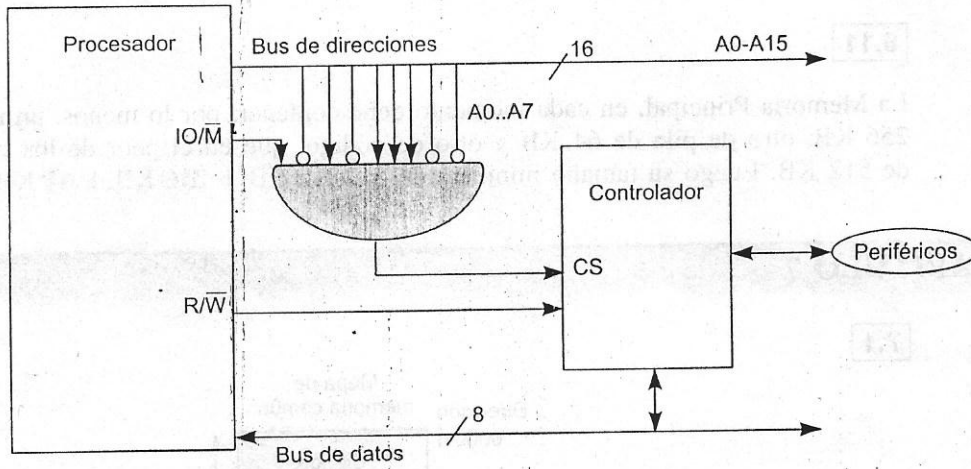


Figura S7.4. Conexión del controlador de un periférico a la dirección 5C H del Mapa de E/S.

7.5

```

MOV A, 5F00 H ; Carga en A el contenido de la dirección 5F00 H
OUT 60 H ; Saca el valor de A al Registro de Datos para su impresión
BUCLE: IN 5F H ; Carga A con el valor del Registro de Estado
CMP BB H ; Comprueba si A = BB H
JNZ BUCLE ; Si A <> BB H, todavía no ha acabado de imprimir
; y vuelve a leer el Registro de Estado
MOV A, 5F01 H ; Si A = BB H, carga en A el contenido
; de la dirección 5F01 H
OUT 60 H ; Saca el valor de A a la impresora
HLT ; Paro
    
```

7.6

INICIALIZACIÓN:	2 μs
RÁFAGA DE 1 KB:	1.024 · 0,250 = 256 μs
INTERRUPCIÓN FINAL:	1,5 μs
<b>TOTAL:</b>	<b>259,5 μs</b>

7.7

- a) La RAM necesita para funcionar que CS = 1, para lo cual AND1 obliga a que A10/A15 = 1 y que IO/M = 0, pues esta señal pasa por un inversor.

Dirección	A15	A14	A13	A12	A11	A10	A9	A8	A7	A1	A0
FC00 H	1	1	1	1	1	1	0	0	0	0	0
FFF H	1	1	1	1	1	1	1	1	1	1	1

b) CONTR 1 funciona cuando su CS = 1, lo que exige que las entradas de la AND2 tengan nivel alto. A0-A7 = 1 e IO/M = 1. Esta última señal coloca al controlador en el Mapa de E/S.

La dirección del Mapa de E/S donde está situado el CONTR 1 es la FF H.

c) CONTR 2 funciona cuando la salida de la NOR 3 es 1, para lo cual todas sus entradas deben valer 0. A0-A7 = 0 e IO/M = 1 porque pasa por un inversor.

Luego el CONTR 2 está situado en la dirección 00 H del Mapa de E/S.

**7.8**

CONTR 1, al estar en el Mapa de E/S, debe recibir la señal IO/M = 1 y la dirección binaria 01010011 por las 8 líneas de menos peso del bus de direcciones, con las que se controla el Mapa de E/S (Figura S7.8a).

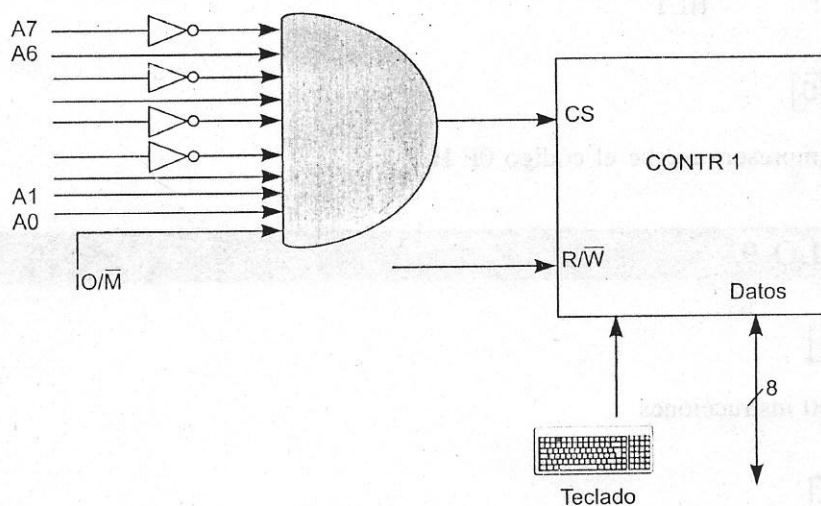


Figura S7.8a. Lógica auxiliar para que el CONTR 1 responda a la dirección 56 H del Mapa de E/S.

Para que el CONTR 2 responda a la dirección 77 H del Mapa de Memoria común, se lo conecta como se muestra en la Figura S7.8b.

**7.9**

INICIO: IN FF H ; Se carga en A el carácter del teclado  
 CMP AA H ; Se comprueba que A = AA H  
 BEQ FIN ; Si A = AA H, se salta a FIN



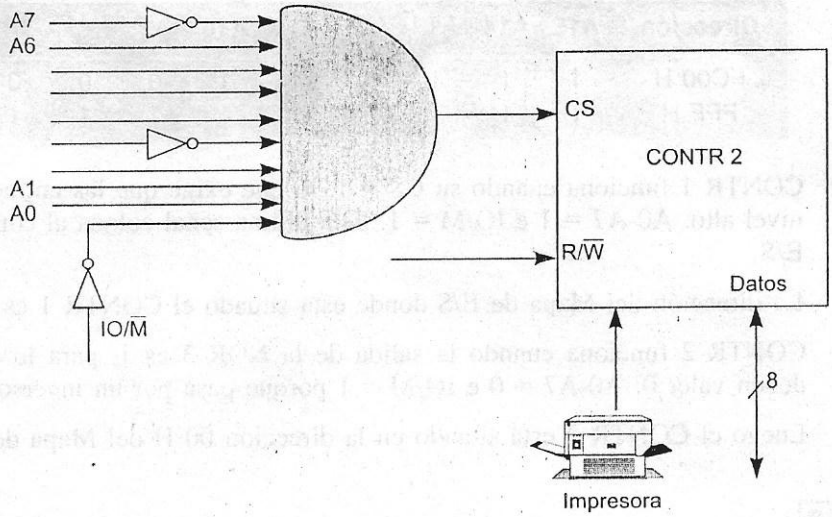


Figura S7.8b. Conexión del CONTR 2 a la dirección 77 H del Mapa de Memoria Común.

```

OUT 00 H      ; Si A <> AA H, se escribe en la impresora
JMP INICIO   ; Salto al comienzo del programa
FIN:         HLT
    
```

**7.10**

La impresora recibe el código 0F H.

**CAPÍTULO 9**

**9.1**

6.000 instrucciones

**9.2**

120  $\mu$ s

**9.3**

W = 01010101b

**9.4**

TMR0 = 39h