

**INGENIERÍA INFORMÁTICA**  
**LICENCIATURA EN SISTEMAS**

**TÉCNICAS Y**  
**ESTRUCTURAS**  
**DIGITALES**



**UNIDADES DE**  
**E/S**

# CONCEPTO

La principal actividad de una computadora es el procesamiento de la información, consistente en la manipulación de los datos de acuerdo con las instrucciones para obtener los resultados. Este trabajo lo soportan, en gran medida, el procesador y la memoria, pero es preciso un tercer bloque denominado Unidad de Entrada y Salida, que permite intercambiar información con los usuarios de la máquina. En realidad los usuarios, a través de los periféricos, intercambian información entre el mundo exterior y los registros internos del procesador o la memoria.

La potencia de procesamiento de una computadora está supeditada a la velocidad a la que los periféricos transfieren información con el mundo exterior.

A diferencia del procesador y la memoria, los avances en la velocidad de la Unidad de E/S no son significativos. Gran parte debido a la variedad y complejidad de los periféricos que se conectan al procesador. Para evitar retrasos en la manipulación de la información por la Unidad de E/S se ha intentado solapar el tiempo en que funciona esta última con el del procesador.

La Unidad de E/S es una “memoria” especial: “la que contiene la información que proporcionan y reciben los periféricos”.

# CONTROLADORES

La gran variedad de periféricos existentes y sus diferentes modos de funcionamiento exigen un dispositivo intermedio que adapte sus características a las de los buses del sistema. Dichos dispositivos intermedios reciben el nombre de **controladores** y evitan al procesador la tarea de controlar los periféricos para efectuar el intercambio de información con él mismo o con la memoria

También son indispensables para adaptar la velocidad de transferencia y los formatos de la información propios de los periféricos con los que maneja la CPU.

Los buses de sistema están compartidos por la Memoria Principal y los controladores de E/S. De acuerdo a los requerimientos de E/S que precisa el programa en curso, el procesador se comunica por los buses con los controladores, los cuales para realizar su trabajo soportan las siguientes funciones:

- Control y sincronización en la transferencia de datos entre el procesador y la memoria principal con los periféricos.
- Establecimiento del camino de comunicación entre los recursos internos y los periféricos.
- Detección y manipulación de errores.
- Almacenamiento temporal de datos.

# CONTROLADORES

Para llevar a cabo sus funciones, el controlador dispone de una serie de recursos (Ver Fig. 1).

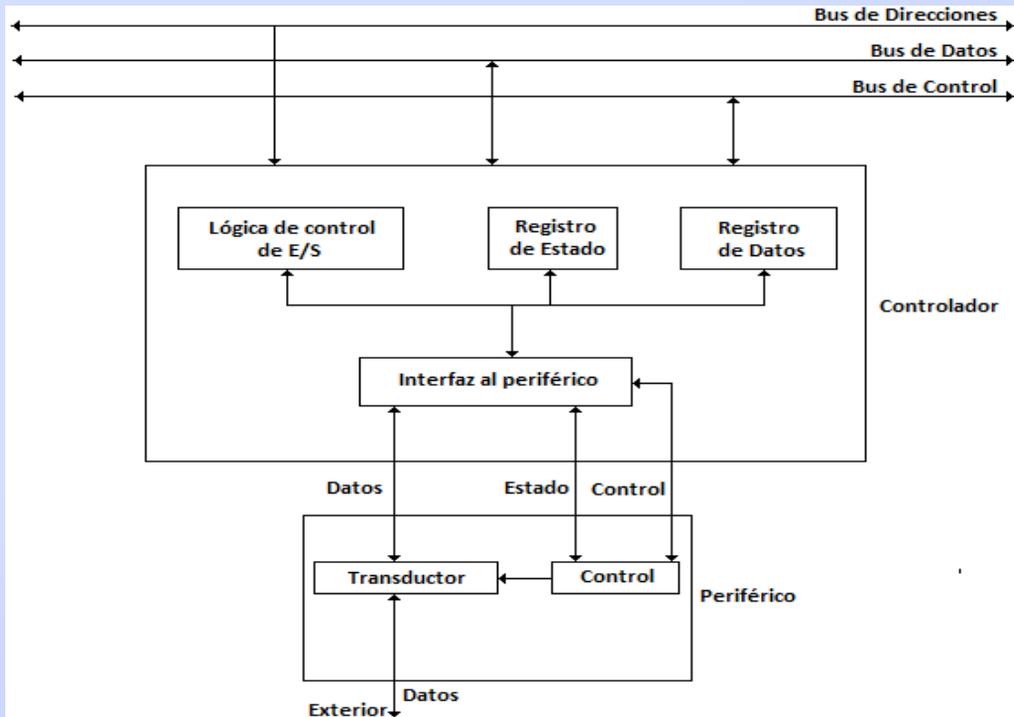


Figura 1. Estructura interna simplificada de un controlador de E/S.

La **Lógica de Control** del controlador, se encarga de activar y controlar la función que debe desarrollar el controlador. El **Registro de Estado** guarda la información relevante sobre la forma en que se ha realizado la transferencia de información y los posibles fallos. El **Registro de Datos** almacena los datos que se manejan en cada transferencia elemental. Finalmente, la **Interfaz al Periférico** soporta el intercambio de datos con el transductor del periférico y la generación y detección de señales de control y estado.

# DESARROLLO

Una de las clasificaciones más reconocidas, para las operaciones de E/S, tiene en cuenta el grado de participación que toma la CPU en su desarrollo. Cuanta menos implicación tenga la CPU en la operación de E/S, mayor grado de solapamiento o simultaneidad se puede conseguir entre el trabajo del procesador y el de la E/S.

Las técnicas para realizar operaciones de E/S, ordenadas de mayor a menor dependencia con la CPU, son:

## **1. E/S controladas por programa.**

La CPU controla, íntegramente, la operación de E/S, impidiendo cualquier tipo de solapamiento en el trabajo de ambos componentes.

## **2. E/S controladas por interrupciones.**

Parte del proceso de E/S corre a cargo del controlador, pudiendo trabajar en paralelo el procesador durante dicho tiempo.

## **3. Acceso Directo a Memoria (DMA).**

La mayor parte de la operación de E/S la soporta el controlador. Puede existir un alto grado de simultaneidad.

## **4. Procesador de E/S especializado.**

Todo el peso de la operación de E/S corre a cargo del controlador, que alcanza tal grado de complejidad que actúa como otro procesador dedicado. El paralelismo entre el procesador y la operación de E/S es total.

# E/S Controladas por Programa

El procesador controla el desarrollo íntegro de la operación de E/S, enviando al controlador las órdenes pertinentes derivadas de las instrucciones del programa en ejecución. Son las instrucciones del programa en curso las que soportan la operación de E/S. De la interpretación de dichas instrucciones, la CPU envía las órdenes de control, lectura y escritura al controlador.

Las instrucciones de E/S que interpreta y ejecuta el procesador se convierten en órdenes para el controlador del periférico. Cada controlador dispone de una serie de registros internos que se seleccionan con diferentes direcciones. La orden que genera el procesador debe contener la dirección del registro del controlador y la acción de lectura o escritura sobre él.

Para direccionar los elementos de E/S (registros de los controladores) hay dos procedimientos, según se utilice el mismo mapa que la memoria de datos e instrucciones o uno independiente.

## **1. E/S con Mapa de Memoria Común**

Los procesadores que utilizan este sistema manejan un único espacio de memoria para los dispositivos de E/S, para los datos y para las instrucciones de los programas. El conjunto de direcciones se denomina Mapa de Memoria Común. El procesador emplea la misma instrucción para leer o escribir un dato que para leer o escribir un elemento de E/S (Ver Fig. 2).

# E/S Controladas por Programa

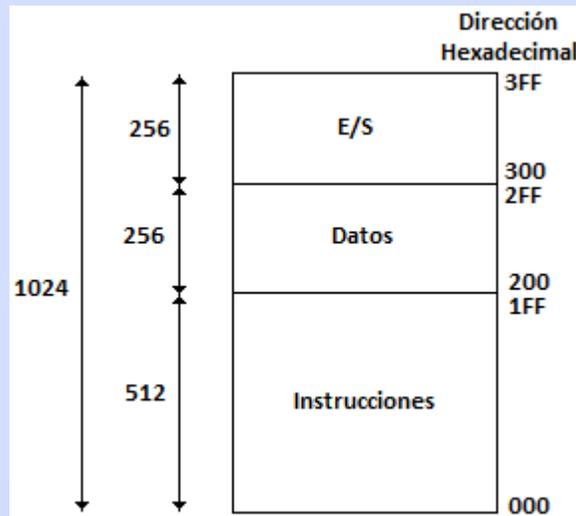


Figura 2. Distribución del mapa de Memoria Común para las instrucciones, los datos y las E/S.

## 2. E/S que utilizan un mapa de direcciones independientes

Hay procesadores, como el 8085, que manejan un mapa de memoria para guardar el código y los datos, y otro, llamado Mapa de E/S, reservado para los diferentes registros de controladores de los periféricos del sistema.

El procesador utiliza el bus de direcciones para acceder a ambos mapas y el bus de datos para realizar las transferencias de información. También dispone de una señal auxiliar en el bus de control, que indica si la dirección generada por el procesador pertenece al Mapa de Memoria o al Mapa de E/S. Dicha señal se denomina en algunos procesadores IO/M!, y cuando vale 1 se accede al Mapa de E/S y cuando vale 0 se accede al Mapa de Memoria.

# E/S Controladas por Programa

Cuando se maneja un Mapa de E/S Independiente, la CPU debe poseer unas instrucciones especiales que manejan dicho mapa. Son las instrucciones de E/S y se dedican a leer o escribir en el Mapa de E/S. Por ejemplo, se utilizan las instrucciones IN y OUT. La primera lee una posición del Mapa de E/S y la deposita en el acumulador. La segunda escribe el contenido del acumulador en una posición del Mapa de E/S. Ambas instrucciones, cuando la interpreta la Unidad de Control, hacen que la señal  $IO/M!=1$ .

Cuando el sistema trabaja con dos mapas, una misma dirección corresponde a una posición diferente en ambos, pero el acceso a cada una lo controla la interpretación de la instrucción en curso. Si se trata de una instrucción especial de E/S (IN o OUT), la señal  $IO/M!=1$ , accediéndose al Mapa de E/S. Si se trata de una instrucción normal (MOV, ADD, etc.), la señal  $IO/M!=0$ , accediéndose al Mapa de Memoria, donde se encuentran las instrucciones y los datos (Ver Fig. 3).

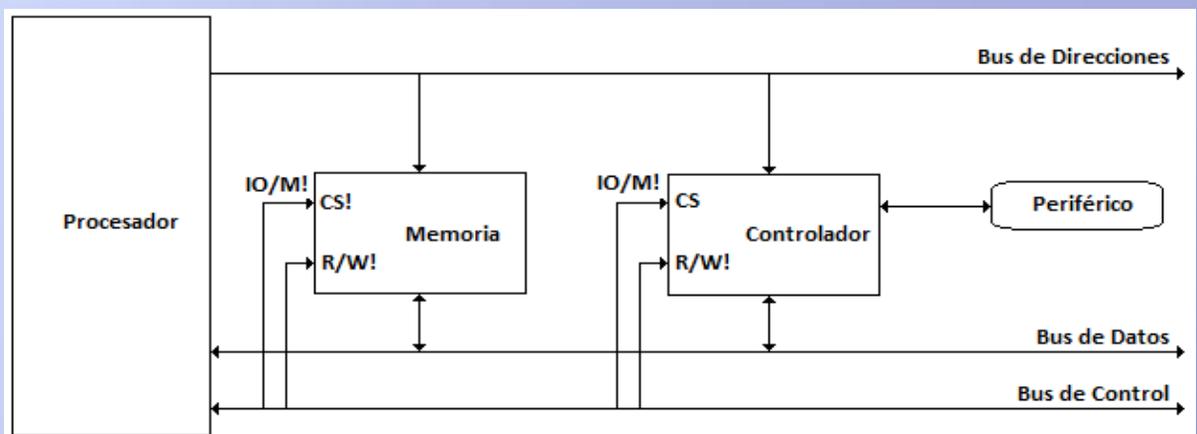


Figura 3. El procesador maneja un Mapa de E/S independiente.

# E/S Controladas por Interrupciones

La técnica de atención de las operaciones de E/S mediante interrupciones evita el bucle de espera en el que permanece el procesador explorando el Registro de Estado del controlador para conocer el momento en que queda disponible el periférico.

Cuando a un procesador se le provoca una interrupción, detiene la ejecución de las instrucciones en curso, guarda en la pila la dirección en la que se ha interrumpido el programa, y pasa a ejecutar un programa especial que atiende la causa que ha originado la interrupción. Cuando finaliza la rutina de interrupción, se recupera de la pila la dirección donde se abandonó el programa y se reanuda su ejecución.

Con esta técnica el procesador puede atender al programa principal mientras el periférico está manipulando la información. Se complica la lógica del controlador, en el que recae la misión de explorar el estado del periférico, para provocar una interrupción hardware cuando detecta que ya está disponible nuevamente (Fig. 4).

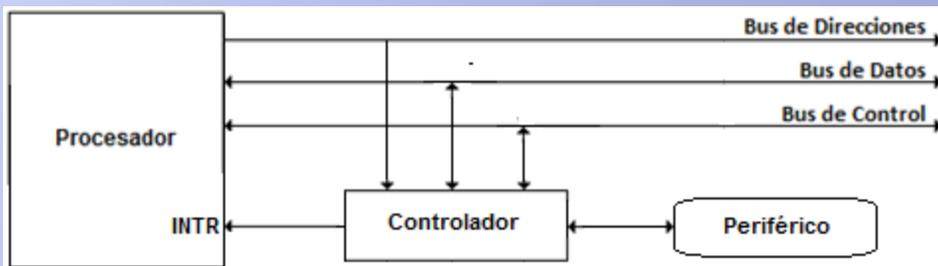


Figura 4. El controlador explora el estado del periférico y, cuando detecta que está disponible, activa la patita INTR del procesador para que pase a realizar una rutina de atención al periférico.

# E/S Controladas por Interrupciones

Para poder atender a muchos controladores de periféricos con una sola línea de petición de interrupción en el procesador, existen unos circuitos integrados, programables, específicos para soportar esta tarea.

El Controlador Programable de Interrupciones (PIC) es capaz de atender un máximo de ocho controladores diferentes, manejando la prioridad de los mismos en caso de peticiones simultáneas, y encargándose de la petición al procesador; el reconocimiento y la asignación de la interrupción al periférico correspondiente (Fig. 5).

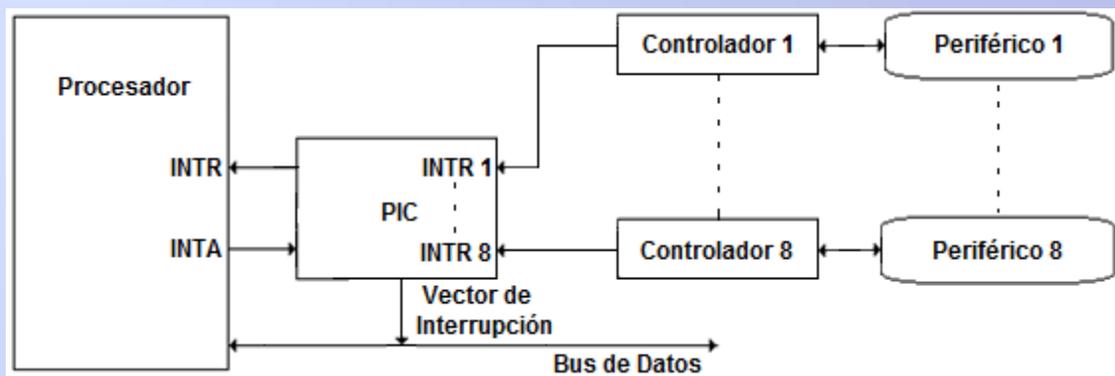


Figura 5. Un PIC atiende las peticiones y asignaciones de interrupción de hasta ocho controladores de periféricos diferentes.

# DMA

La técnica de Acceso Directo a Memoria (DMA) utiliza al controlador para realizar las transferencias de información entre el periférico y la Memoria Principal, sin requerir la intervención del procesador.

## **Controlador de DMA (CDMA)**

Los controladores capaces de realizar transferencia DMA son especiales y deben disponer de una compleja lógica auxiliar, que les permite asumir las funciones que en las técnicas anteriores soportaba el procesador para transferir información entre la Memoria Principal y los periféricos. Este sofisticado controlador, que abreviadamente se denomina CDMA, tiene que encargarse de controlar los buses de direcciones, datos y control para poder realizar los accesos a Memoria Principal. Cuando un periférico trabaja con DMA y tiene que realizar una transferencia con la Memoria. Comienza la operación solicitando el CDMA al procesador la liberación de los buses. Cuando se desconecta el procesador de los buses, dejándolos en triestado, toma su gobierno el CDMA. Por el bus de direcciones apuntando las direcciones de la Memoria a acceder, por el bus de datos se transfiere la información y el bus de control indica si la operación es de lectura o escritura. Los tres buses han quedado bajo control del CDMA, que, al tener un diseño especializado en realizar transferencia a elevada velocidad, consigue efectuar el intercambio de información Memoria Principal/periféricos en mucho menos tiempo que si lo hiciese el procesador.

# DMA

Para el manejo de los buses del sistema, el CDMA dispone en su estructura interna de cuatro registros:

## **Registro de Dirección**

Contiene la dirección de la Memoria donde se va a transferir la siguiente palabra y se incrementa automáticamente después de cada transferencia. También existe un registro para direccionar el periférico.

## **Contador de Palabras**

Contiene el número de palabras a transferir. Se decrementa cada vez que se completa una transferencia y, cuando llega a 0, genera una señal de finalización de la operación de E/S.

## **Registro de Datos**

Contiene la palabra a transferir en cada operación elemental.

## **Lógica Auxiliar de Control**

Es la circuitería encargada de solicitar los buses al procesador, para lo cual activa una señal de petición (HOLD). Cuando el procesador libera los buses, lo comunica activando la señal de reconocimiento (HLDA).

Como la CPU debe ser capaz de leer y escribir los registros del CDMA, cada uno de ellos responde a una dirección del Mapa de E/S. Esta lógica también se encarga de provocar una interrupción al procesador cuando se detectan fallos o errores de transmisión.

# DMA

Cuando el procesador libera los buses ante una activación de HOLD, activa la patita de salida HLDA. Mientras el CDMA mantenga activada HOLD, quedan bajo su control los buses del sistema. Al finalizar la transferencia, se desactiva HOLD y el CDMA provoca una petición de interrupción (INTR) (Fig. 6).

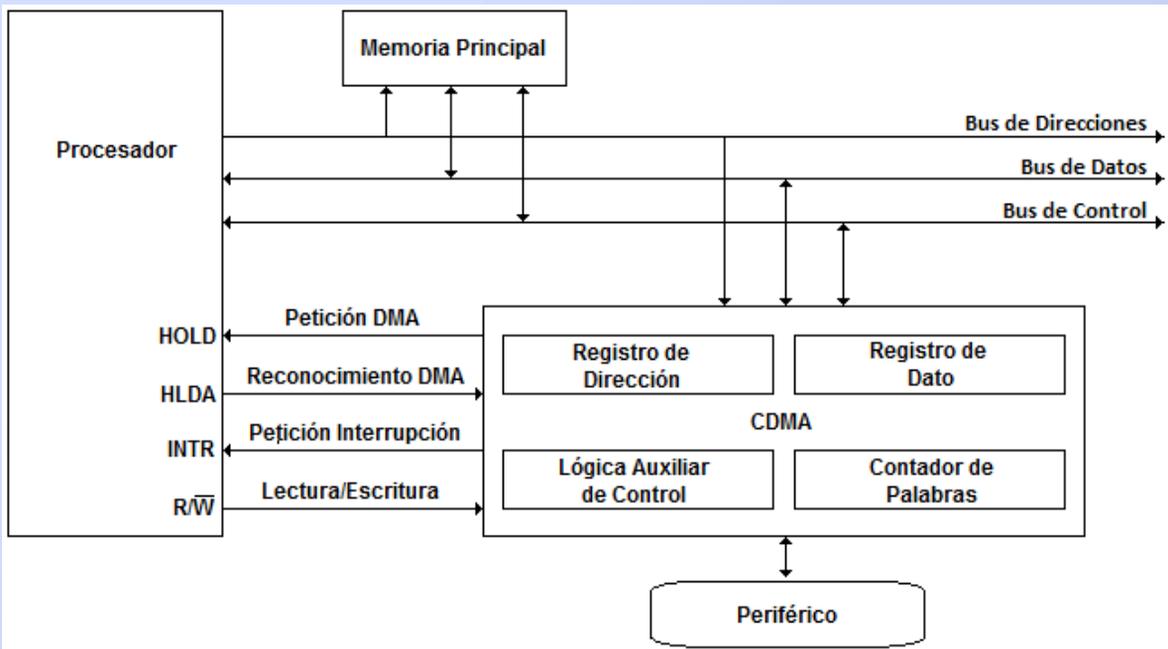


Figura 6. Cuando el periférico necesita transferir datos a la Memoria Principal, el CDMA activa la señal HOLD; entonces el procesador libera los buses y lo comunica activando la señal HLDA. A continuación, el CDMA toma el control de los buses y desarrolla la transferencia de información.

# DMA

## MODOS DE TRANSFERENCIA DMA

Existen diversas formas de realizarse el DMA según la estrategia de control de los buses que exista por parte del CDMA.

### Por ráfagas

El CDMA no libera los buses hasta que acaba la transferencia de un bloque completo de información. La ventaja de este sistema reside en la alta velocidad alcanzada en la transferencia. El inconveniente hace referencia al procesador, que permanece inactivo largos periodos de tiempo.

### Por robo de ciclo

Cuando el CDMA dispone de datos a transferir, toma el control de los buses “durante un ciclo de CPU”, en el que transmite una palabra. Luego cede los buses a la CPU que continua con su actividad normal hasta que nuevamente el CDMA “roba” otro ciclo.

### DMA transparente

Es similar al método anterior, pero el CDMA roba los buses a la CPU los ciclos en los que ella no los utiliza. Es decir, si durante un ciclo la CPU se dedica a decodificar o interpretar el código de una instrucción, no usa los buses y entonces el CDMA aprovecha la situación para transferir una palabra.

### Por demanda

Cuando el CDMA dispone de datos a transferir, solicita el control de los buses y los mantiene en su poder hasta que termina de enviar toda la información.

# PROCESADOR DE E/S

En esta técnica el controlador alcanza tal grado de complejidad que se transforma en un verdadero procesador capaz de interpretar y ejecutar un pequeño repertorio de instrucciones, que manipulan operaciones de E/S.

Cuando hay que realizar un programa que atienda las E/S, el procesador principal encarga al **procesador de E/S (PE/S)** que lo desarrolle, pudiendo seguir trabajando los dos en paralelo. El PE/S solo se comunica con el procesador principal al terminar el programa de E/S activando la patita de petición de interrupción.

Al controlador que interpreta y ejecuta instrucciones de E/S se le denomina **Canal de E/S**, mientras que si, además, dispone de memoria local, recibe el nombre de **Procesador de E/S**.

El PE/S recibe, en el propio programa de E/S, toda la información necesaria para la asignación del periférico, el tipo de operación (lectura o escritura), la dirección de la Memoria Principal, el número de palabras a transferir y el tratamiento de las situaciones de error. Los PE/S disponen de una arquitectura con diferentes registros, que almacenan todos los parámetros del programa a ejecutar.

En resumen, todo el peso de la operación de E/S corre a cargo del controlador, que alcanza tal grado de complejidad que actúa como otro procesador dedicado. El paralelismo entre el procesador y la operación de E/S es total.

El método basado en los Procesadores de E/S (PE/S) o Canales aumenta hasta tal punto la complejidad del controlador, que lo convierte en un procesador especializado en ejecutar un reducido número de instrucciones de E/S, siendo él mismo el que busca y ejecuta el programa de E/S, interrumpiendo al procesador principal cuando termina la operación que se le ha encargado.

Los PE/S se comunican con los controladores mediante un bus independiente, dejando al procesador la posibilidad de continuar su actividad normal durante los procesos de E/S (Fig. 7).

# PROCESADOR DE E/S

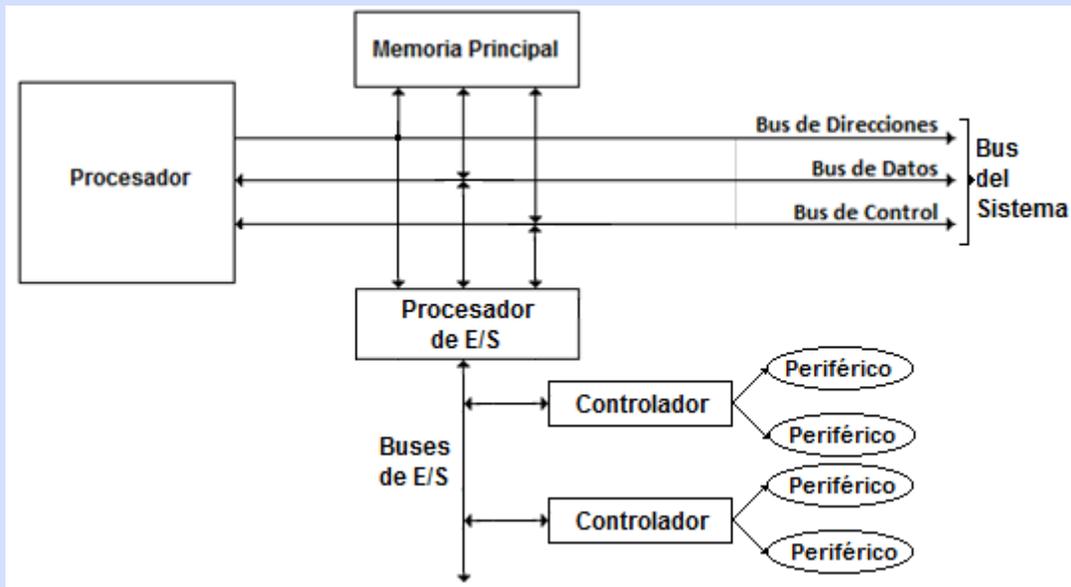


Figura 7. El procesador de E/S utiliza buses independientes para desarrollar las operaciones de transferencia con los periféricos, permitiendo el mayor grado de solapamiento con la actividad del procesador.